实验八 加法器及其应用

范玥瑶 PB18000341

2020年7月7日

1 实验目的

1. 掌握组合逻辑电路的设计方法，理解半加器和全加器的逻辑功能。
2. 掌握中规模集成电路加法器的工作原理及其逻辑功能。

2 实验原理

* 1. 加法器

在数字系统中，经常需要进行算术运算，逻辑操作及数字大小比较等操作，实现这些运算功能的电路是加法器。加法器是一种组合逻辑电路，主要功能是实现二进制数的算术加法运算。

* 1. 半加器

半加器完成两个一位二进制数相加，若只考虑两个加数本身，而不考虑来自相邻低位的进位，称为半加，实现半加运算功能的电路称为半加器。半加器的电路如图2.2.1，符号如图2.2.2。Ai和Bi为输入值，Si可以认为是Ai和Bi的和的第i位，Ci则为进位。



图2.2.1 半加器电路



图2.2.2 半加器符号

半加器的真值表如表2.1.



表2.1 半加器真值表

由真值表可得出半加器的逻辑表达式：

* 1. 全加器

两个多位数相加是每一位都是带进位相加，仅靠两半加单元，低位的进位不可以和高位相加，不可实现两位数的加法。此时需依次将低位的进位输出接到高位的输入，构成多位加法器（全加器）。全加器是一种由被加数、加数和来自低位的进位数三者相加的运算器。基本功能是实现二进制加法。

全加器的逻辑图如图2.3.1，曾用符号如图2.3.2，国际符号如图2.3.3。其真值表如表2.2，Ai­和Bi为输入的数字，Ci-1用于接受前一位输入的进位，Si为Ai、Bi相加的第i位，Ci为进位。

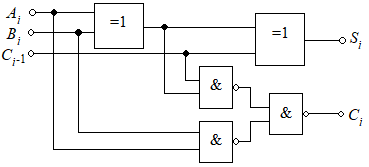


图2.3.1 全加器逻辑图

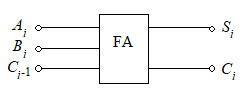


图2.3.2 全加器曾用符号

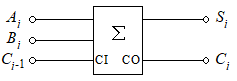


图2.3.3 全加器国际符号



表2.2 全加器真值表

由真值表可得全加器逻辑表达式：





* 1. 串行进位加法器

将全加器封装、串联可得串行进位加法器。图2.4.1即为一个四位串行进位加法器，它可以进行的运算。串行进位加法器的特点为结构简单、运算速度慢。

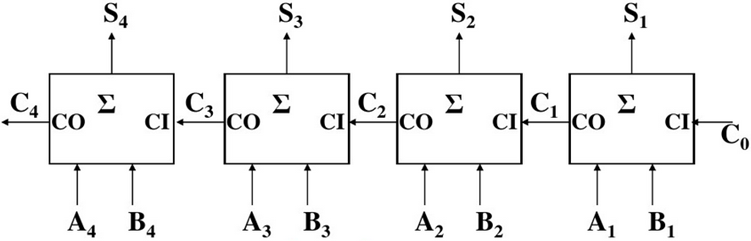


图2.4.1 四位串行进位加法器

* 1. 并行加法器

为提升进位加法器的运算速度可以使用并行加法器。

2.5.1 进位链

把n个加法器单元电路按一定方式互联起来即构成n位的并行加法器。其由两部分组成：一、并行成分，指两个操作数的所有位同时并行加入加法器运算；二、链结构。

虽然操作数各位同时加入加法器进行运算，但并非所有位和数都同时产生，它存在进位的产生与传送问题，进位的产生与传送称为进位链，它的结构是影响加法器速度的关键。

2.5.2 先行进位

先行进位也称并行进位，指加法器各位的进位是各自独立且同时产生的，高一位的进位不依赖低位的进位产生与传送。

并行加法器任何一位的进位：

它可以分为两个部分：和。前者仅与这一位的两个操作数有关，与低位的进位无关，称它为本地进位或进位生成函数，记为；后者不仅与操作数有关，还与低位的进位有关，称它为传递进位，称或为传递函数，记为。因此可写成:

以16位加法器为例，在行波进位器中有如下进位关系：

……

由此，可递推出各位进位直接与C0的关系：

……

* 1. 超前进位并行加法器

超前进位电路构成的快速进位的4位全加器电路74LS283，可实现两个四位二进制的全加。74LS283集成芯片实际引脚图如图2.6.1，逻辑图如图2.6.2。它可以进行的运算得到5位的结果。

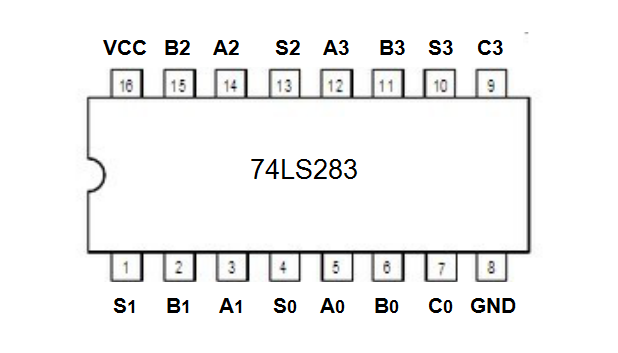


图2.6.1 74LS283集成芯片引脚图

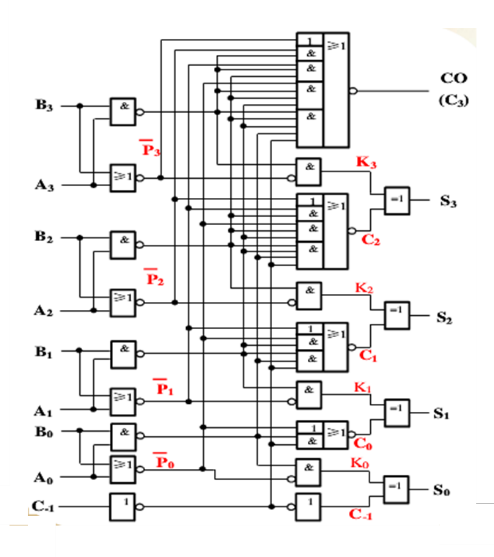


图2.6.2 74LS283集成芯片逻辑图

加进位输入C0（图2.6.2的C-1）和进位输出C3主要用来扩大加法器字长，作为组间行波进位之用，如两74LS283串接计算8位加法时，一个74LS283集成芯片的C0接在另一个74LS283集成芯片的C3上。当74LS283集成芯片处理最低的4位加法，其C0需要接地。由于它采用超前进位方式，所以进位传送速度快。

处理位数较少的加法时74LS283集成芯片和并行加法器并无明显差别。

3 实验内容与步骤

3.1 并行加法器的设计与测试

用一片74LS283实现并行四位全加，将A置为1001，B置为0000~1001，依次计算A+B，记录结果如表3.1。

|  |  |
| --- | --- |
| B | A+B |
| 0000 | 01001 |
| 0001 | 01010 |
| 0010 | 01011 |
| 0011 | 01100 |
| 0100 | 01101 |
| 0101 | 01110 |
| 0110 | 01111 |
| 0111 | 10000 |
| 1000 | 10001 |
| 1001 | 10010 |

表3.1 并行加法器实验数据记录

仿真电路图如图3.1.1。

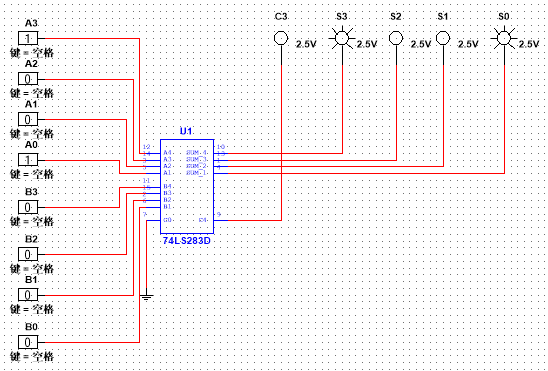


图3.1.1 并行加法器仿真电路图

3.2 数据比较电路的设计与测试

用一片74LS283实现数据比较功能，要求输入（四位二进制）<11时输出一位低电平，≥11时输出一位高电平。仿真电路图如图3.2.1，记录结果如表3.2。

|  |  |  |
| --- | --- | --- |
| 输入（二进制） | 输入（十进制） | 输出 |
| 0000 | 0 | 0 |
| 0001 | 1 | 0 |
| 0010 | 2 | 0 |
| 0011 | 3 | 0 |
| 0100 | 4 | 0 |
| 0101 | 5 | 0 |
| 0110 | 6 | 0 |
| 0111 | 7 | 0 |
| 1000 | 8 | 0 |
| 1001 | 9 | 0 |
| 1010 | 10 | 0 |
| 1011 | 11 | 1 |
| 1100 | 12 | 1 |
| 1101 | 13 | 1 |
| 1110 | 14 | 1 |
| 1111 | 15 | 1 |

表3.2 数据比较电路实验数据记录

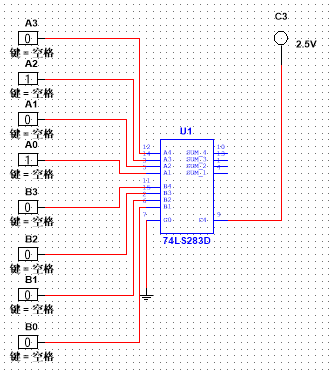


图3.2.1 数据比较电路仿真电路图

3.3 8421BCD码求和电路设计

用两片74LS283和必要的门电路实现两个8421BCD码（即十进制0~9的二进制数）求和运算，将8421BCD码表示的结果用数码管输出。仿真电路图如图3.3.1。

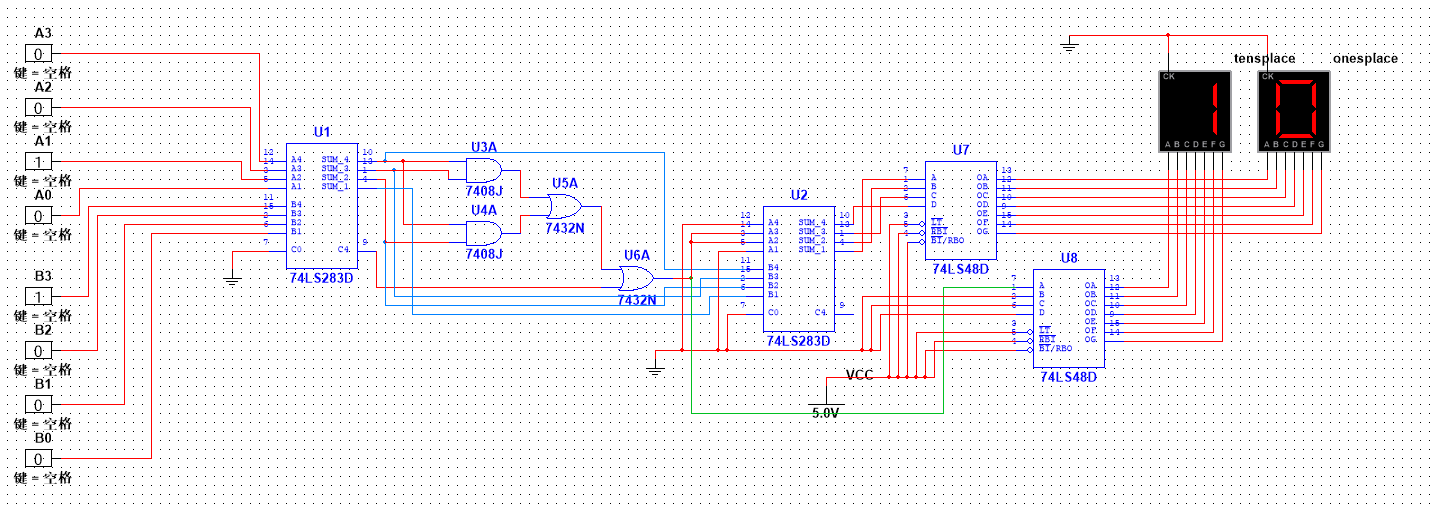


图3.3.1 8421BCD码并行加法器仿真电路图

4 实验分析

4.1 并行加法器的设计与测试

设计思路：74LS283即并行加法器，为实现二进制输出，只接数字电源输入和灯泡输出即可。

4.2 数据比较电路的设计与测试

设计思路：由于输入四位数，可以利用进位位C3实现电路的数据比较功能。

输出的灯接C3引脚，取定A，输入B<11时输出C3为0，B≥11时输出1.所以十进制下A=24-11=5，二进制为0101.

4.3 8421BCD码求和电路设计

设计思路如下：

1.逻辑问题：输入四位0000~1001的二进制数A、B，用二进制分别输出十进制下A+B的个位与十位。

将问题拆解为用74LS283实现的全加问题：A、B为四位二进制数的时候A+B范围为00000~10010，C3=0，1。输入A+B，第一片74LS283输出一个四位二进制数S和进位C。C=1时。C=0时，由于S在0000~1111即0~15，所以(A+B)个位

S (S<10)

S'=

S - 1010 (S≥10)

减法用加法溢出产生。(S-1010)与(S+0110)的最低四位相同，所以

S (S<10)

S'=

S +0110 (S≥10)

记为，

0 (S<10且C=0)

C'’=

1 (S≥10或C=1)

该功能在不限制74LS283芯片数量时可用3.2节所要求数据比较电路实现；由于限制芯片数量，在不考虑运算速率时不妨用简单的逻辑门组合代替自行组装并行加法芯片。

而（A+B）十位恰有，所以仅需设计电路解决逻辑问题：输入S，输出

0 (S<10)

C'’=

1. (S≥10)。

2.逻辑真值表：逻辑真值表如表4.1

|  |  |
| --- | --- |
| 输入（二进制） | 输出 |
| 00000 | 0 |
| 00001 | 0 |
| 00010 | 0 |
| 00011 | 0 |
| 00100 | 0 |
| 00101 | 0 |
| 00110 | 0 |
| 00111 | 0 |
| 01000 | 0 |
| 01001 | 0 |
| 01010 | 1 |
| 01011 | 1 |
| 01100 | 1 |
| 01101 | 1 |
| 01110 | 1 |
| 01111 | 1 |
| 10000 | 1 |
| 10001 | 1 |
| 10010 | 1 |

表4.1 C’’电路真值表

3.简化逻辑表达式：由表4.1，C’’逻辑表达式为

4.逻辑电路图：由于仅有二输入或门，如图4.3.1。

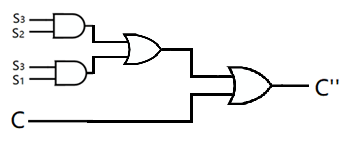


图4.3.1 C’’电路逻辑电路图

8421BCD码加法器最终设计的电路如图4.3.2.

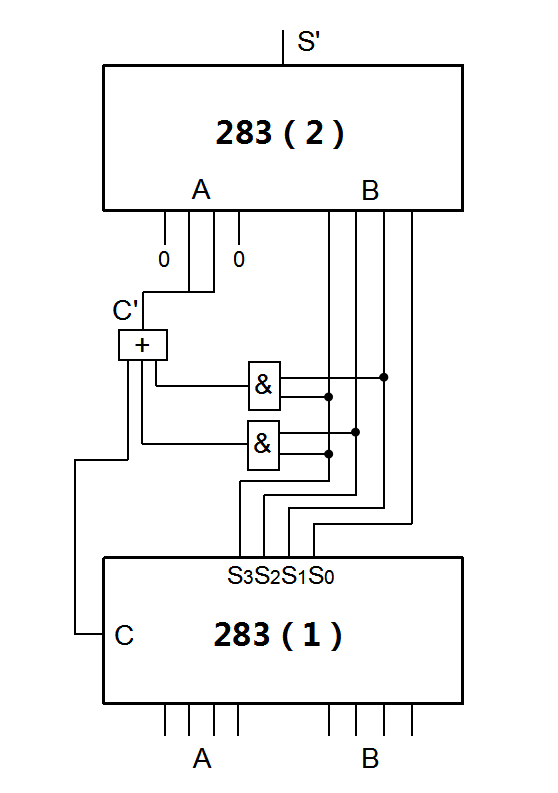


图4.3.2 8421BCD码加法器最终设计电路图

5 实验思考题

全部采用与非门设计，实现一位全加器。

答：设计思路如下：

1.逻辑问题：输入两个一位二进制数，输出其数值和。

2.逻辑真值表：设输入Ai、Bi，上一位进位为Ci-1；输出为二位二进制数，个位Si十位Ci，逻辑真值表如表5.1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | 输出 | |
| Ai | Bi | Ci-1 | Ci | Si |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

表5.1 一位全加器逻辑真值表

1. 逻辑表达式：

已知∀满足

以及∀满足

非门等价于单输入的与非门。

Multisim14.0狭义与非门有二输入、三输入、四输入。考虑元件要求，将逻辑表达式改写为与非形式：

1. 仿真电路图如图5.1.1.

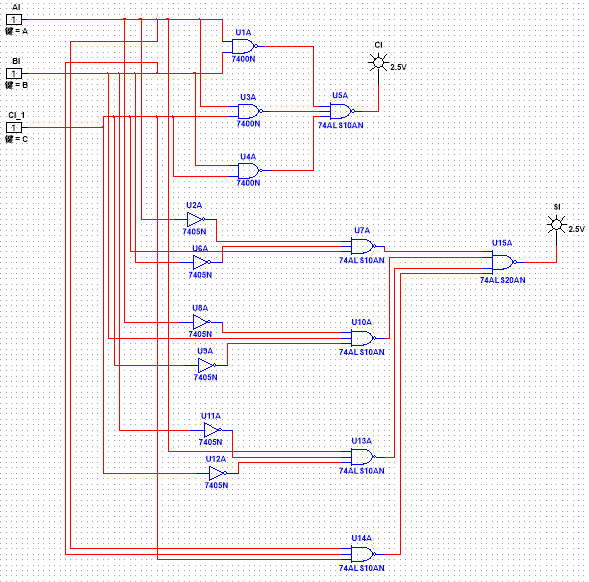


图5.1.1 与非门一位全加器仿真电路图

6 实验总结

1. 用门电路实现半加器和全加器的方法总结如下：
2. 列出半加器/全加器的真值表；
3. 根据真值表写出逻辑表达式；
4. 根据逻辑表达式组装电路。
5. 用四位二进制全加器74LS283设计代码转换电路（即第二片74LS283）的方法总结如下：
6. 确定输出的结果是十位为0或1的十进制数；
7. 求出输出十位C’、输出个位S’和输入值最低四位S、进位C的修正关系，引入逻辑模块C’’=C’；
8. 求出输入为S、C，输出为C’的电路的真值表；
9. 根据真值表求出C’的逻辑表达式；
10. 根据逻辑表达式组装电路。

3．收获：本实验中实验者掌握了组合逻辑电路的设计方法，理解了半加器和全加器的逻辑功能；学习了中规模集成电路加法器的工作原理及其逻辑功能；还巩固了此前实验中学到的逻辑电路设计方法，体会了机器语言层面的模块化编程思想。