实验十 抢答器

范玥瑶 PB18000341

2020年7月19日

1 实验目的

1. 综合运用D触发器、门控时钟、计数器等。
2. 用数码管显示抢答成功的组号。
3. 了解小型综合数字系统实验的分模块调试和故障排除方法。

2 实验原理

2.1 抢答器

功能要求：抢答组数分为四组，优先抢答者按下开关，该组对应的数字编号立即锁存在数码管显示器上，同时封锁其他组号。主持人另有一个手动开关，用于抢答结束后复位。电路设有计时器，可对答题时间实现倒计时，并在计时结束后自动锁存。（亦可实现抢答时间倒计时）

四路抢答器电路图如图2.1.1。四路抢答器电路可分为三大模块：抢答显示模块、计时模块、锁存模块。线下实验实物图如图2.1.2，线下实验另连有声响模块，可实现中任意一组抢答成功后蜂鸣器发声约0.5s。

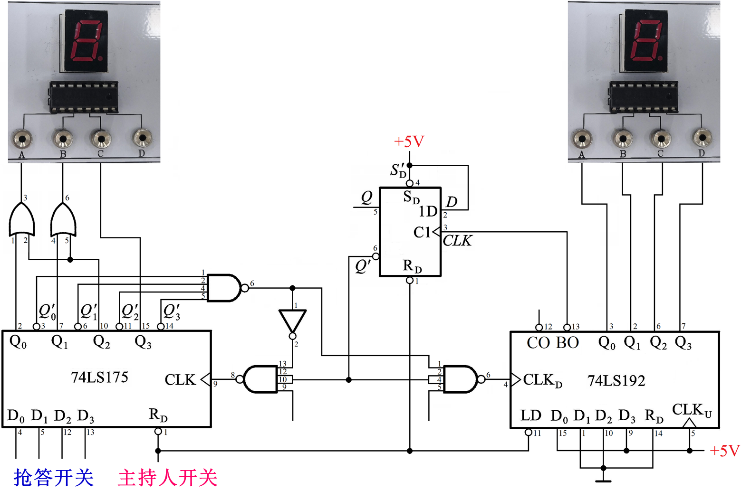


图2.1.1 四路抢答器电路图

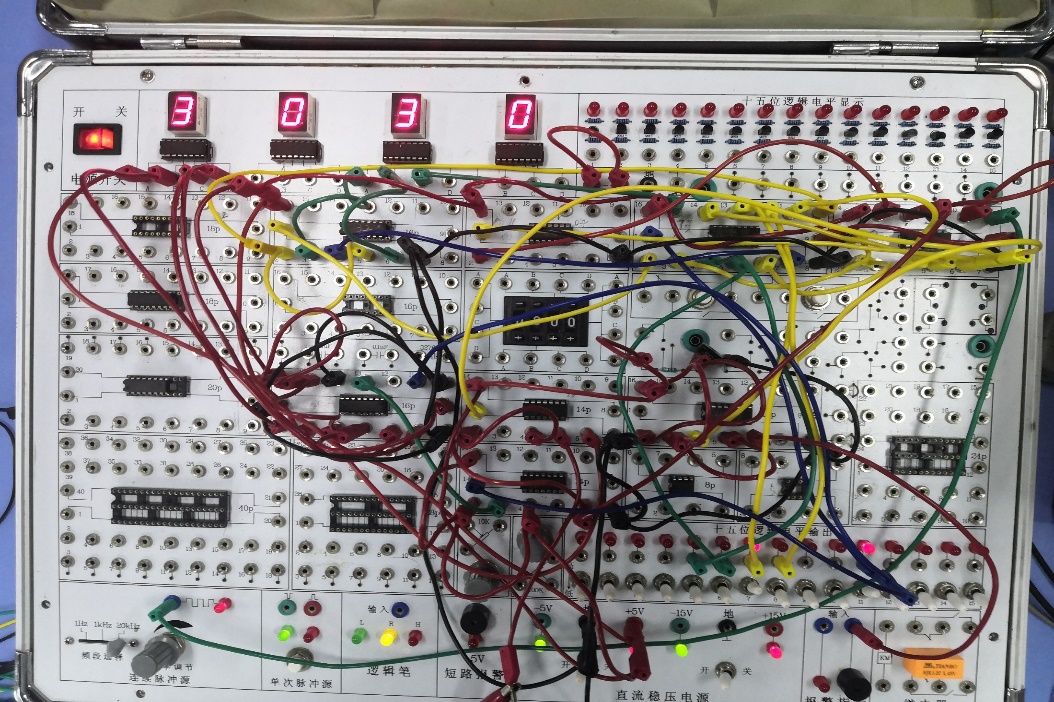


图2.1.2 线下实验实物图

2.2 边沿D触发器

此前的实验学习到的组合逻辑电路结构上无反馈回路，不具备记忆功能，即某时刻的输出状态仅取决于该时刻的输入状态，与过去的电路状态无关。但是在复杂的逻辑电路中，不仅需要对输入信号进行算术运算和逻辑运算，还需要在运算过程中将信号和运算结果存储起来。为此，需要在逻辑电路中引入存储单元、锁存器和触发器。锁存器和触发器是大多数时序电路的基本部件。触发器与锁存器的不同在于除置一、归零输入端外还有一个触发信号输入端，即时钟信号。只有时钟信号到来时触发器才能按输入信号置成相应状态并保持下去。

时钟触发信号的工作方式分为电平触发、边沿触发、主从触发。本实验中所用方式为边沿触发中上升沿触发的D触发器，其逻辑图形符号如图2.2.1，其特性表如表2.1。图2.2.1中D为输入、CLK为时钟信号、Q和Q’为输出。结合表2.1可得上升沿触发器的次态Q\*仅仅取决于CLK上升沿到达时刻D的状态，即D=1次态Q\*=1, D=0次态Q\*=0。

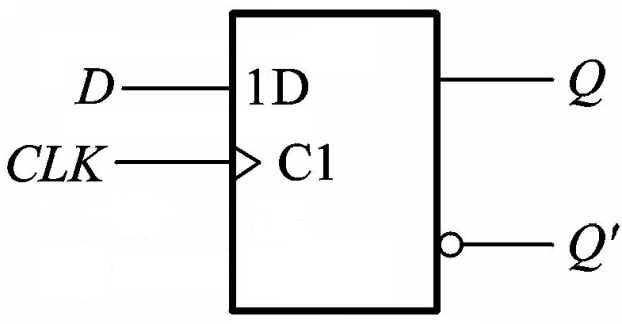


图2.2.1 边沿D触发器逻辑图形符号

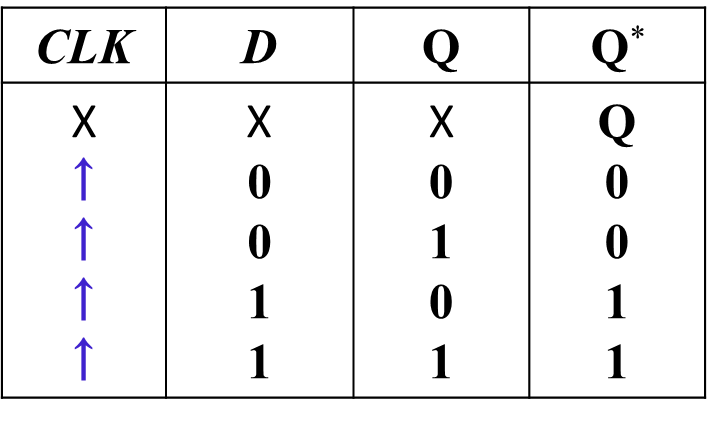


表2.1 边沿D触发器的特性表

如图2.2.2，通常为了实现异步置位、复位功能即置一、置零功能，D触发器会引入*S*D和*R*D信号。

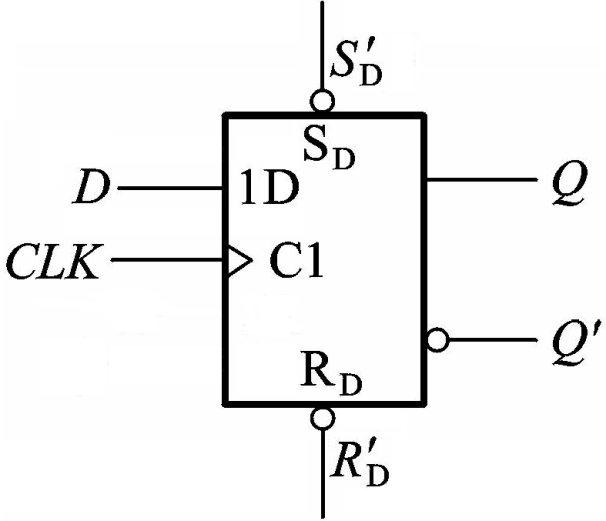


图2.2.2 引入*S*D和*R*D信号的边沿D触发器逻辑图形符号

2.3 抢答显示模块

抢答模块电路图如图2.3.1。其中74LS175有4个D触发器，它们共用时钟信号CLK和信号RD。D0~D­3为74LS175的输入端，Q0~Q3为74LS175的输出端。74LS175的功能表如表2.2.RD为公共的异步复位端，异步指无需CLK上升沿到来而只需RD=0，即有输出Q0~Q3为0000。RD=1在CLK上升沿输出Q0~Q3等于输入D0~D­3。RD=1，CLK为高、低电平时输出Q0~Q3保持不变。

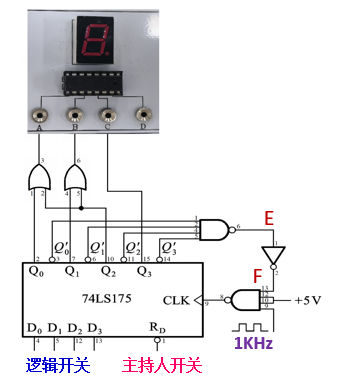


图2.3.1 抢答模块电路图

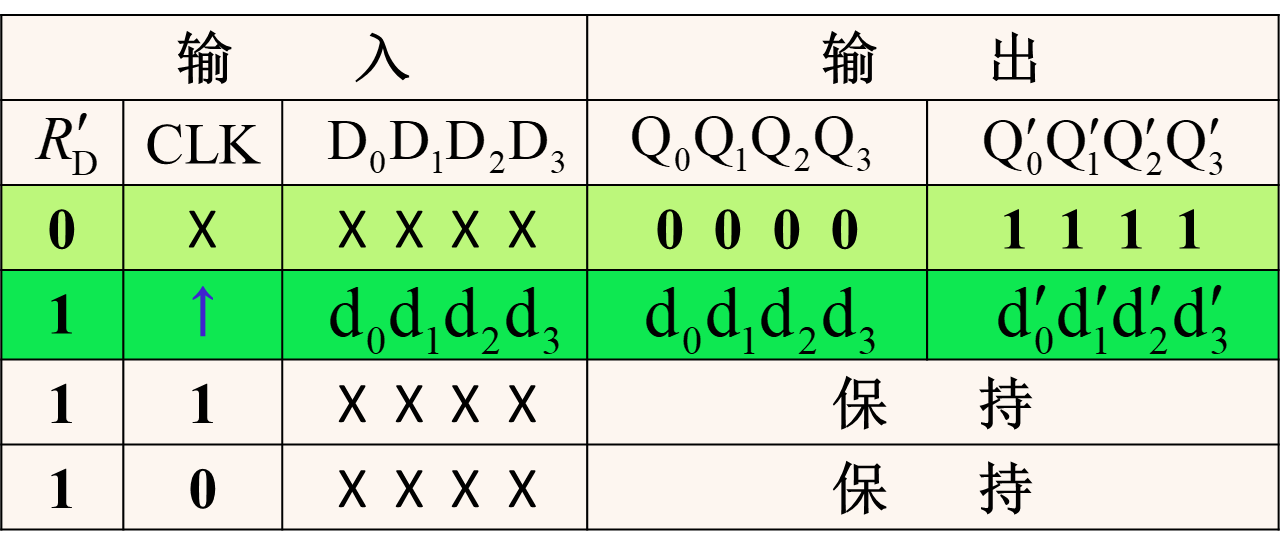


表2.2 74LS175功能表

抢答显示模块原理如下：抢答开始前，由主持人按下RD复位开关令RD为0，74LS175的Q0~Q3的输出为0000，Q0’~Q3’为1111，此时F=1。输出接CLK的四输入与非门可用三输入与非门代替（线下实验中，由于三输入与非门使用不如四输入多，多将四输入与非门的两输入端连在一起以代替三输入与非门）。该四输入与非门三个输入接高电平一个接时钟信号，输出信号与时钟信号是反相的。开始抢答前RD变为高电平，再当抢答开始后，反应最快的参赛者按下开关，数码管显示对应组号，此时F=0,CLK=1，切断了74LS175的时钟信号（74LS175处于保持状态）。无论余下选手输入如何，Q0~Q3不再变化，电路不再接受其他参赛者的抢答，直到主持人按下复位开关才会重新开始下一轮抢答。

以下解释如何用数码管显示1~4的组号：图2.3.1中从A~D输入二进制数，数码管显示对应十进制数，则74LS175输出结果与组号对应关系如表2.3所示。故A = Q0 + Q2，B = Q1 + Q2，C = Q3。

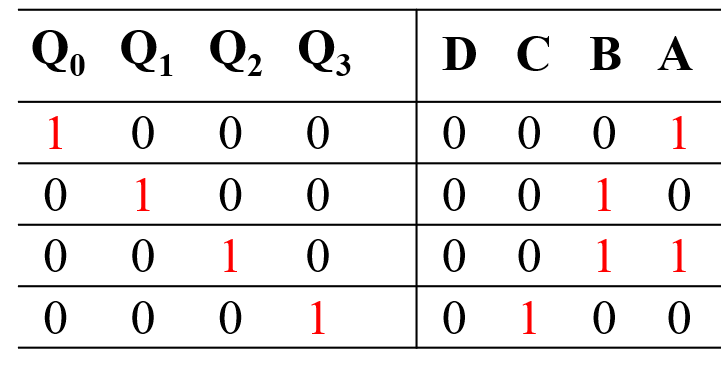


表2.3 输出结果与组号对应关系

2.4 计时模块

计时模块电路图如图2.4.1。电路中74LS192的功能表如表2.4。计数器是数字系统中使用最多的时序电路，不仅用于对时钟脉冲的计数，还用于分频、定时以及进行数字运算等。74LS192为双时钟十进制加减计数器，本实验使用其减计数功能，计数脉冲输入至CLKD端，在脉冲上升沿时计数；另外还使用了预置数功能，LD=0时Q0~Q3等于预先置好的数。其清零端高电平有效，因此接地。

单独测试计时部分：当复位开关LD=0时输出Q0~Q3等于输入D0~D­3的值即1001，此处Q0~Q3无需变换直接接在显示译码器A~D上，数码管显示9。再将LD置一，M接逻辑开关，图2.4.1中与非门起控制1Hz时钟脉冲的作用，当M=1时，74LS192倒计时，CLKD的输入信号与1Hz脉冲反相。74LS192倒计时到M=0时CLKD为高电平，计数器不计时。

计时部分测试正常后，再与抢答显示电路相连接。

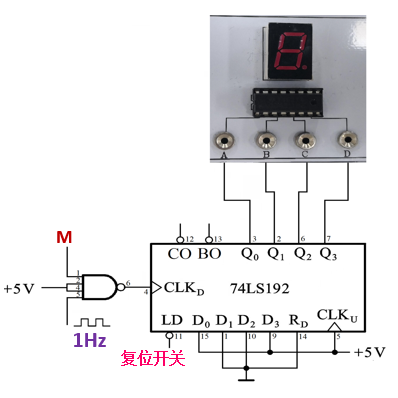


图2.4.1 计时模块电路图

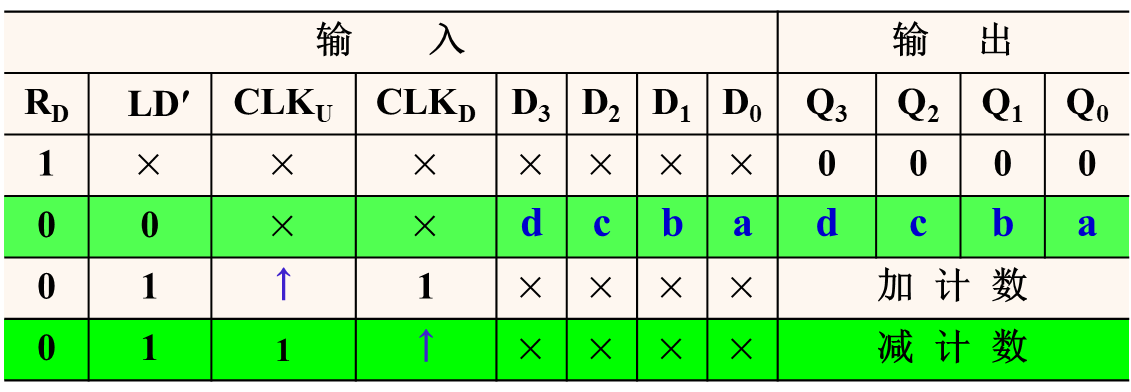


表2.4 十进制计数器74LS192功能表

2.5 抢答和倒计时模块级联调试

抢答和倒计时模块级联后的电路图如图2.5.1。M与E相连，实现答题时间倒计时；M与F相连，实现抢答时间倒计时。

M接E时，当任意路抢答成功后，E=1，同时开始9~0倒计时，即抢答成功的组需在10秒内回答问题否则会被取消抢答权。加锁存模块前，当倒计时结束时会重复9~0的倒计时，但可通过主持人的复位开关及时复位。

M接F时，无人抢答时E=0，F=1即主持人复位后74LS192开始抢答时间倒计时，即在限定的10s内必须有人抢答，若无人抢答则该题作废。由于没加锁存模块，当倒计时结束时会重复9~0的倒计时，但同样可通过主持人的复位开关及时复位。若倒计时未结束时有人抢答，倒计时停止，右上数码管显示当前剩余时间，左上数码管则显示抢答成功的组号。

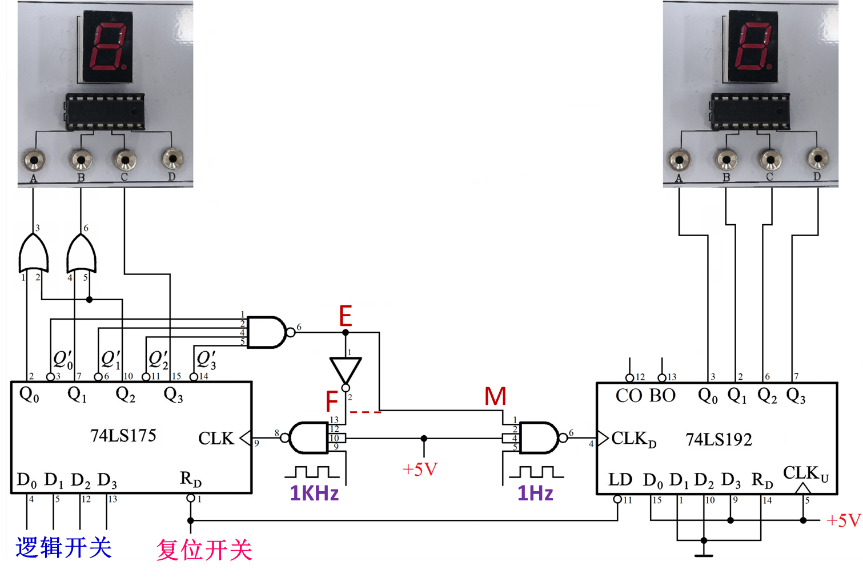


图2.5.1 抢答和倒计时模块电路图

2.6 锁存模块

添加锁存模块后，抢答器电路图如图2.6.1。计数器在倒计时完后BO产生一个负脉冲，使74LS74的6脚Q′输出低电平，从而封锁1kHz和1Hz脉冲，计时显示锁存在“9”直至主持人按下复位开关。

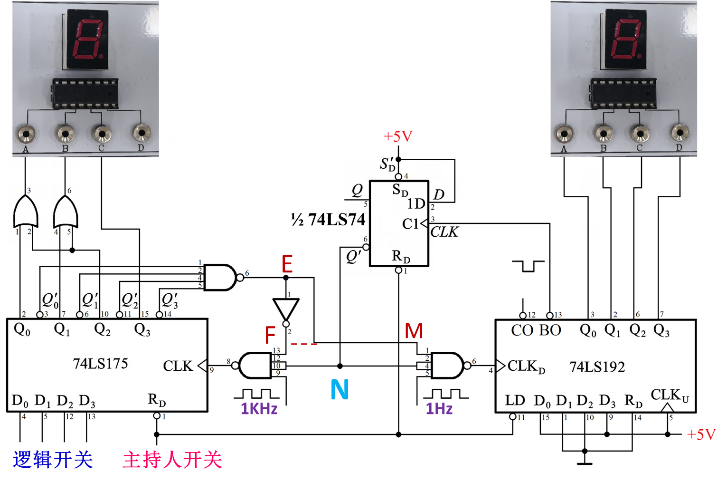


图2.6.1抢答器电路图

用于制造锁存器的74LS74功能表如表2.5。74LS74为一个双D触发器，由于本实验只使用1个D触发器因此图2.6.1上标注74LS74。

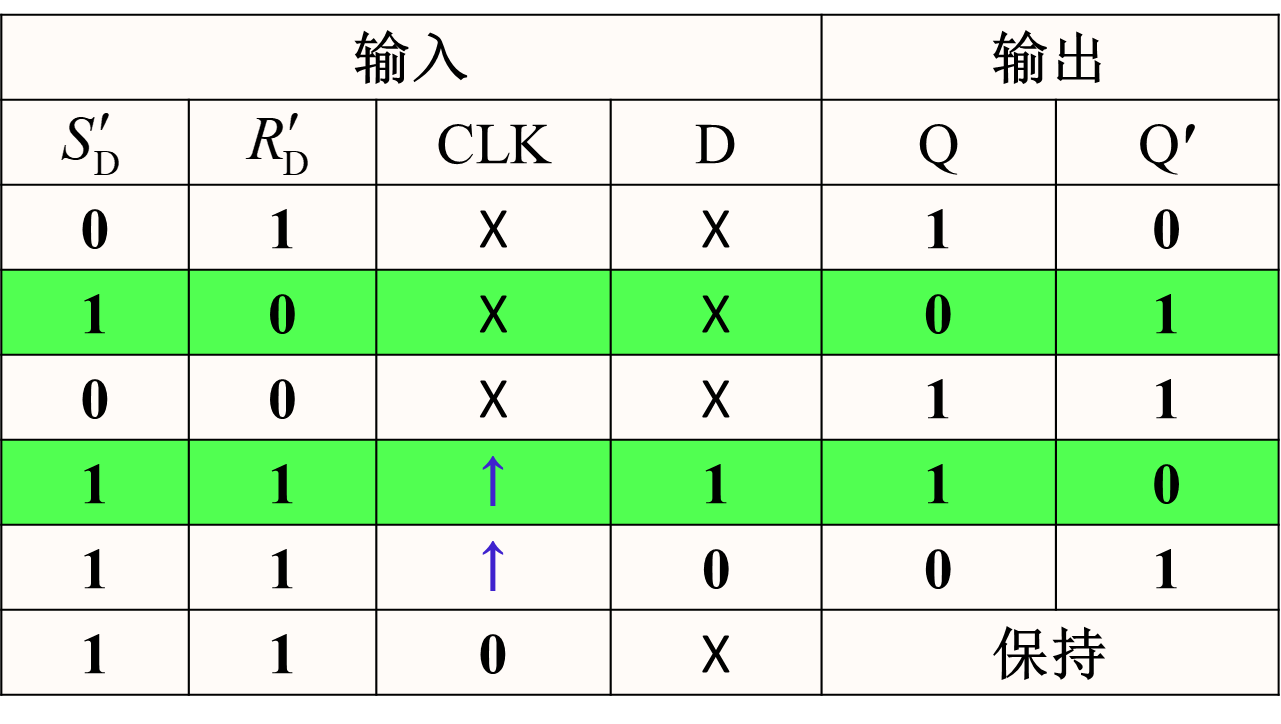


表2.5 74LS74功能表

复位时74LS74的RD=0,Q=0,Q’=1,N=1,对门控时钟电路无影响，可进行抢答操作。BO为74LS192借位输出端，无论M接E或F，在倒计时9~0过程中BO均输出高电平。倒数至0后BO输出低电平，又迅速回到高电平，相当于输入了一个负脉冲至74LS74的CLK端使Q=D=1，则Q’=N=0，将抢答模块的1kHz时钟信号和计时模块的1Hz时钟信号都封锁住了。此时计时模块锁定显示0之后的9，实现自动锁存的功能。

2.7 数码显示模块

实验箱上数码显示模块是在实验箱内部连接好的，电路图如图2.7.1。其中显示译码器为CD4511，驱动的是共阴极数码管，7个300Ω电阻为限流电阻。CD4511的4个输入A~D中D为高位，A为低位。输入0000~1001数码管依次显示0~9，若DCBA输入1010~1111则数码管7个灯都不亮，即处于“消除”状态。实验中所用数码管DCD\_HEX的四个引脚中，左边是高位右边是低位。

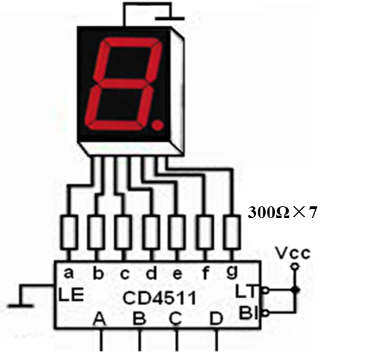


图2.7.1 数码显示模块电路图

3 实验内容

* 1. 测试抢答模块电路功能

测试抢答模块电路功能（时钟信号接实验箱上连续脉冲源，取频率约1kHz）。

连接抢答模块电路，仿真电路图如图3.1.1.

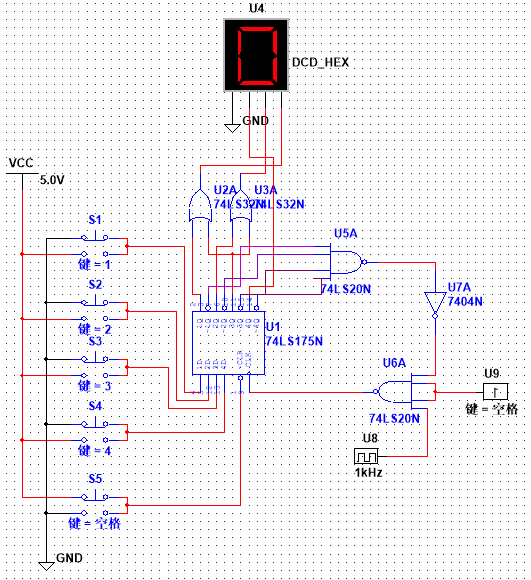


图3.1.1 抢答模块仿真电路图

测试结果：

1. 如图3.1.2，按下S1后数码管显示1，在按下主持人开关S5前按下剩余任意一个开关，数码管显示不变。若按下S5则显示0，再按S1~S4之中任一开关会显示该开关代表的组号。

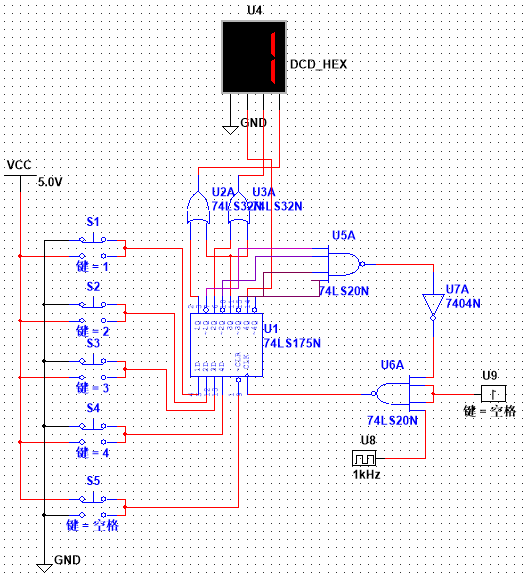


图3.1.2 按下S1后实验现象

1. 如图3.1.3，按下S2后数码管显示2，在按下主持人开关S5前按下剩余任意一个开关，数码管显示不变。若按下S5则显示0，再按S1~S4之中任一开关会显示该开关代表的组号。

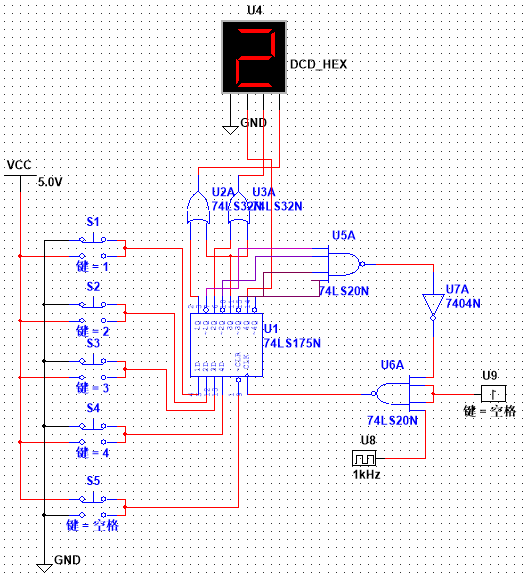


图3.1.3 按下S2后实验现象

1. 如图3.1.4，按下S3后数码管显示3，在按下主持人开关S5前按下剩余任意一个开关，数码管显示不变。若按下S5则显示0，再按S1~S4之中任一开关会显示该开关代表的组号。

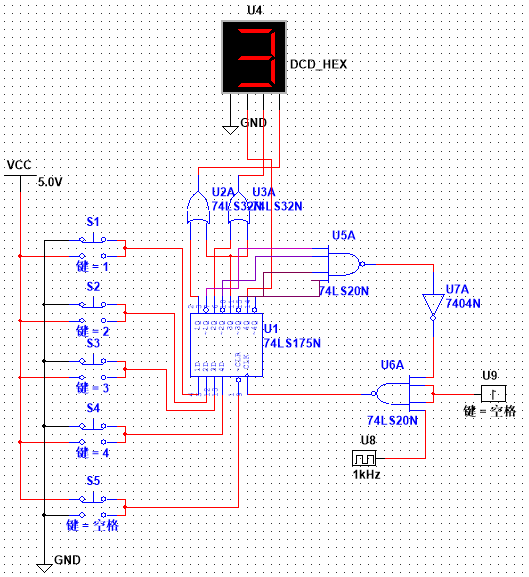


图3.1.4 按下S3后实验现象

1. 如图3.1.5，按下S4后数码管显示4，在按下主持人开关S5前按下剩余任意一个开关，数码管显示不变。若按下S5则显示0，再按S1~S4之中任一开关会显示该开关代表的组号。

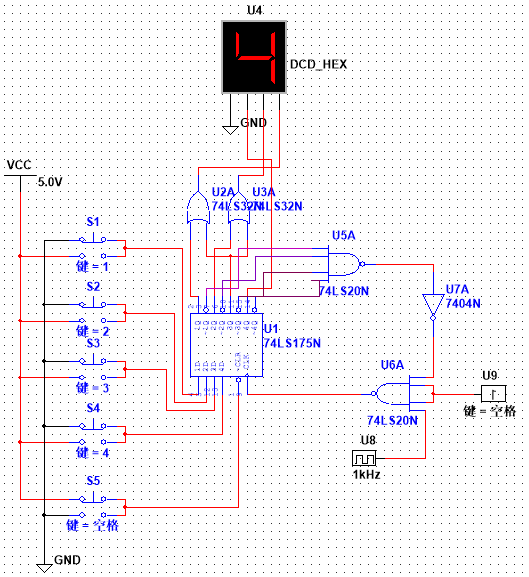


图3.1.5 按下S4后实验现象

1. 直接按下复位开关会显示0.
   1. 测试计时模块功能后与抢答模块级联调试

测试计时模块功能后与抢答模块级联调试。

计时模块仿真电路图如图3.2.1.按下复位开关，数码管显示置为9，将M从0调到1，数码管开始从9到0倒计时，结束后重新变为9；当M从1改成0，倒计时暂停，按下复位开关后示数复位至9。计时模块正常工作。

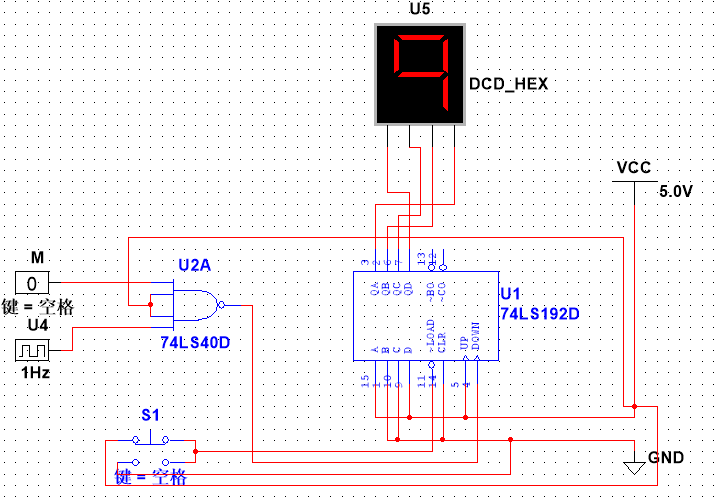


图3.2.1 计时模块仿真电路图

计时模块与抢答模块级联后仿真电路图如图3.2.2。单刀双掷开关拨到上方时进行答题计时，拨到下方时为抢答计时。开关置于上侧时按下复位键后抢答器显示0，计时器置为9且保持不变，当S1~S4中有一个开关被按下时抢答器显示队伍编号同时计时器从9~0计时，计时结束后并不停止，会回到9。当开关置于下侧时按下则按下复位键后抢答器显示0、计时器直接开始从9~0计时，计时结束后并不停止，会回到9，直到有一路按下抢答键则抢答器会显示队伍编号同时停止计时。

由此计时模块与抢答模块级联后正常工作。

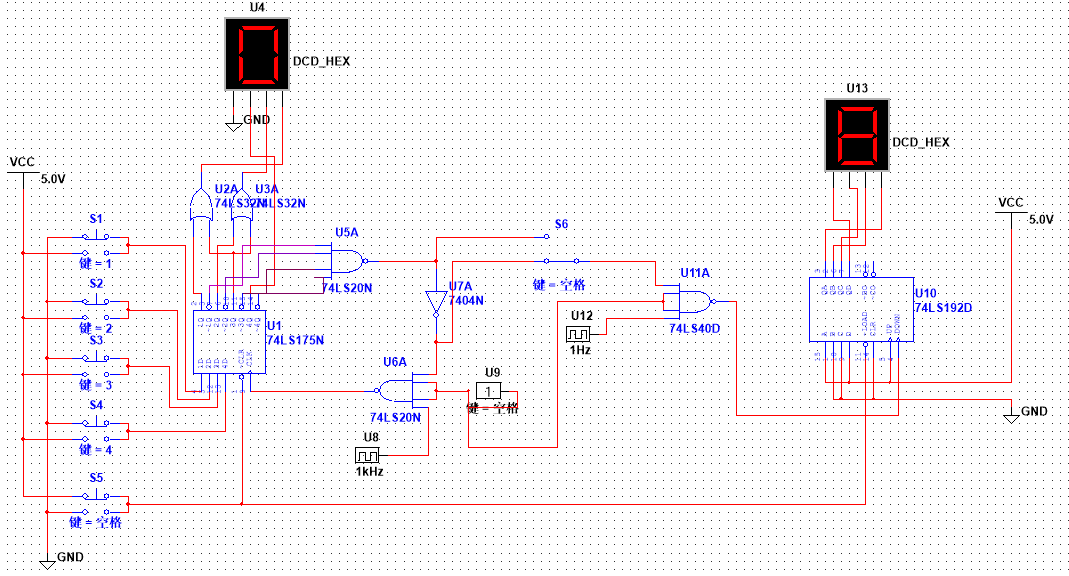


图3.2.2 计时模块与抢答模块级联后仿真电路图

* 1. 锁存模块和其他模块级联测试

倒计时电路中增加D触发器，S6置于上方，实现答题时间倒数到0后，锁定显示9，直到主持人按下复位开关。S6置于下方，实现抢答时间倒计时，抢答者抢答后，倒计时停止，若无人抢答，倒计时到0后，锁定显示9。锁存模块和其他模块级联后仿真电路图如图3.3.1。经测试以上功能均可实现。

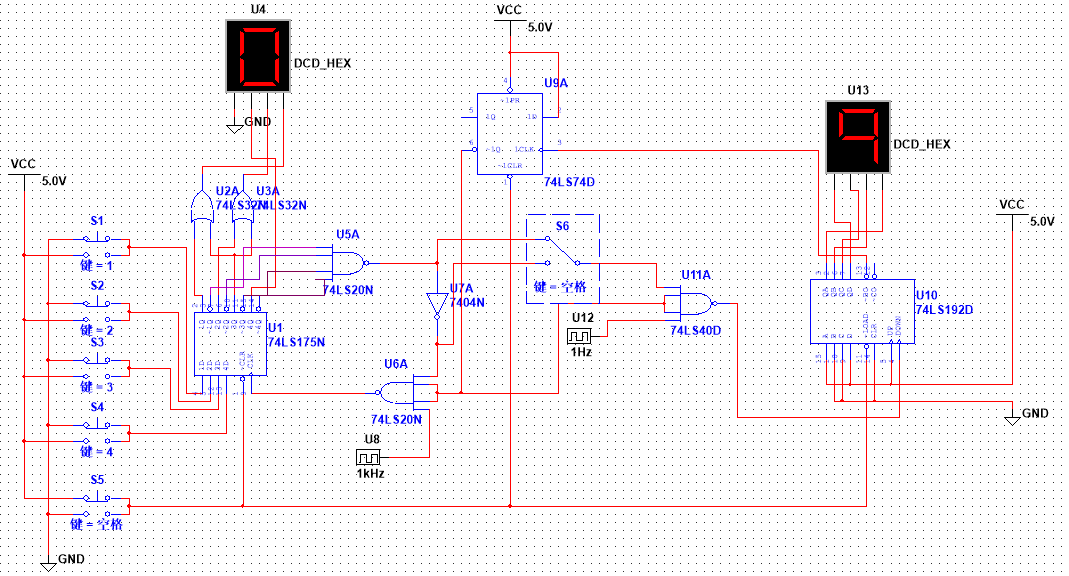


图3.3.1 锁存模块和其他模块级联后仿真电路图

4 实验分析

以下从实验电路各模块原理与功能角度进行分析，由于大部分

4.1 抢答模块电路功能

抢答显示模块原理如下：抢答开始前，由主持人按下RD复位开关令RD为0，74LS175的Q0~Q3的输出为0000，Q0’~Q3’为1111，此时F=1。输出接与CLK的四输入与非门可用三输入与非门代替（线下实验中，由于三输入与非门使用不如四输入多，多将四输入与非门的两输入端连在一起以代替三输入与非门）。该四输入与非门三个输入接高电平一个接时钟信号，输出信号与时钟信号是反相的。开始抢答前RD变为高电平，再当抢答开始后，反应最快的参赛者按下开关，数码管显示对应组号，此时F=0,CLK=1，切断了74LS175的时钟信号（74LS175处于保持状态）。无论余下选手输入如何，Q0~Q3不再变化，电路不再接受其他参赛者的抢答，直到主持人按下复位开关才会重新开始下一轮抢答。

以下解释如何用数码管显示1~4的组号：从数码管的A~D输入二进制数，数码管显示对应十进制数，则74LS175输出结果与组号对应关系如表2.3所示。故A = Q0 + Q2，B = Q1 + Q2，C = Q3。

* 1. 测试计时模块功能后与抢答模块级联调试

1. 计时模块：LD=0时Q0~Q3等于预先置好的数D0~D3，因此可以通过设置D0~D3预置数。

当复位开关LD=0时输出Q0~Q3等于输入D0~D­3的值即1001，此处Q0~Q3无需变换直接接在显示译码器A~D上，数码管显示9。再将LD置一，M接逻辑开关。为使得倒计时开始时刻可控，需使用四输入与非门控制1Hz时钟脉冲，当M=1时，74LS192倒计时，CLKD的输入信号与1Hz脉冲反相。74LS192倒计时到M=0时CLKD为高电平，计数器不计时。

1. 级联调试：综合实验中实验者需要分模块调试以减小工作量。计时部分测试正常后，再与抢答显示电路相连接及进行级联调试。通过单刀双掷开关S6可实现对选手答题时间或是抢答时间倒计时的选择。单刀双掷开关开关置于上侧时，实现答题时间倒计时。当任意路抢答成功后，图2.5.1中E=1，同时开始9~0倒计时，即抢答成功的组需在10秒内回答问题否则会被取消抢答权。加锁存模块前，当倒计时结束时会重复9~0的倒计时，但可通过主持人的复位开关及时复位。单刀双掷开关开关置于下侧时，实现抢答时间倒计时。无人抢答时图2.5.1中E=0，F=1即主持人复位后74LS192开始抢答时间倒计时，即在限定的10s内必须有人抢答，若无人抢答则该题作废。由于没加锁存模块，当倒计时结束时会重复9~0的倒计时，但同样可通过主持人的复位开关及时复位。若倒计时未结束时有人抢答，倒计时停止，右上数码管显示当前剩余时间，左上数码管则显示抢答成功的组号。

4.3 锁存模块和其他模块级联测试

按照图2.6.1对节点标记，复位时74LS74的RD=0,Q=0,Q’=1,N=1,对门控时钟电路无影响，可进行抢答操作。BO为74LS192借位输出端，无论M接E或F，在倒计时9~0过程中BO均输出高电平。倒数至0后BO输出低电平，又迅速回到高电平，相当于输入了一个负脉冲至74LS74的CLK端使Q=D=1，则Q’=N=0，将抢答模块的1kHz时钟信号和计时模块的1Hz时钟信号都封锁住了。此时计时模块锁定显示0之后的9，实现自动锁存的功能。

5 实验思考题

1. 抢答显示电路模块中用的时钟信号的频率为1KHz，能否用1Hz，为什么？

答：不可以。因为允许抢答时需要时钟信号处于上升沿才能输出成功的组，用1Hz时上升沿时间过短，会出现按下抢答键时CLK处于高电平或低电平以致于处于保持状态不能抢答。在实验3.1中，在1kHz其实也存在抢答无效。

1. 在本实验基础上设计一个60秒的答题倒计时电路，要求计时显示精确到秒。

答：一片74LS192加一个数码管只能完成9~0循环倒计时所以需要2片74LS192级联，两片74LS192各接一个数码管。

已知当计数器在倒计时完后BO产生一个负脉冲，接一个非门后输出上升沿，可以控制十位的数码管。因此两数码管分别预置5和9，个位74LS192的BO接十位的CLKD。锁存模块74LS74需要控制两74LS192，故十位74LS192的BO接锁存模块CLK，74LS74的Q’接在四输入与非门上。两74LS194其余管脚接法同2.4节。仿真电路图如图5.1.

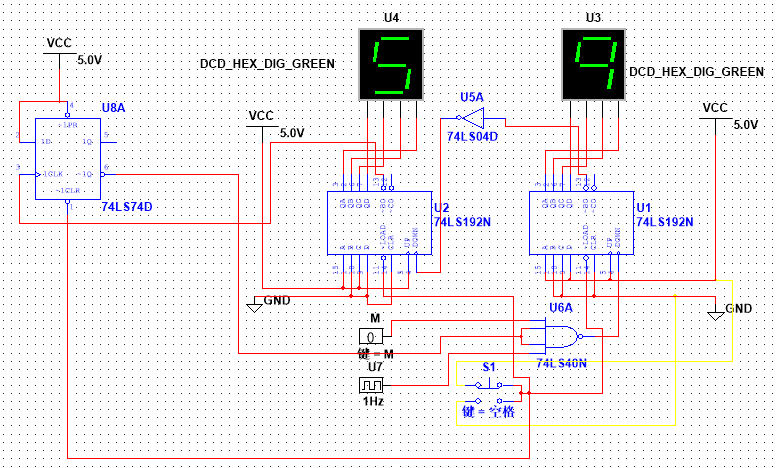


图5.1 60s计时器仿真电路图

经测试电路功能正常。

6 实验总结

本实验中实验者综合运用D触发器、门控时钟、计数器等进行了具有计时、锁定功能的抢答器的组装，了解了其结构、设计思路、工作原理；学习了用74LS174和数码管显示抢答成功的组号；学习了用74LS192和数码管组装计时电路和使用预置数功能，进行了更大量程计时器的设计和测试；学习了用74LS74对计时器进行锁存； 了解了小型综合数字系统实验的分模块调试和故障排除方法。