实验十二 计数器及其应用 数字钟

范玥瑶 PB18000341

2020年7月24日

1 实验目的

1.掌握中规模集成电路的功能及使用方法；

2.学习用“反馈归零法”构成N进制计数器的方法；

3.学会中规模集成电路的分析方法、设计方法和测试方法。

2 实验原理

本次实验所用器材有：集成芯片74LS90，数字电路实验箱，连接线若干。

2.1 计数器

计数器按触发信号的来源不同，可分为同步计数器和异步计数器同步计数器是指计数器内所有的触发器共同使用同一个输入的时钟脉冲信号，在同一个时刻翻转，计数速度快；异步计数器是指计数器内各触发器的输入时钟信号的来源不同，各电路的翻转时刻也不一样，因此计数速度较慢。

如图2.1.1，对于一个最简单的计数单元，输入为时钟信号INA，触发一位输出QA，得到一个输出和时钟信号有关的一位二进制计时器。当将输出QA接在另一计时器输入时会得到一个2位异步计时器。计数单元可能是上升沿触发或下降沿触发。当输入为低电平或高电平时输出会保持前一值不变。如此串联得到一四位计数器。

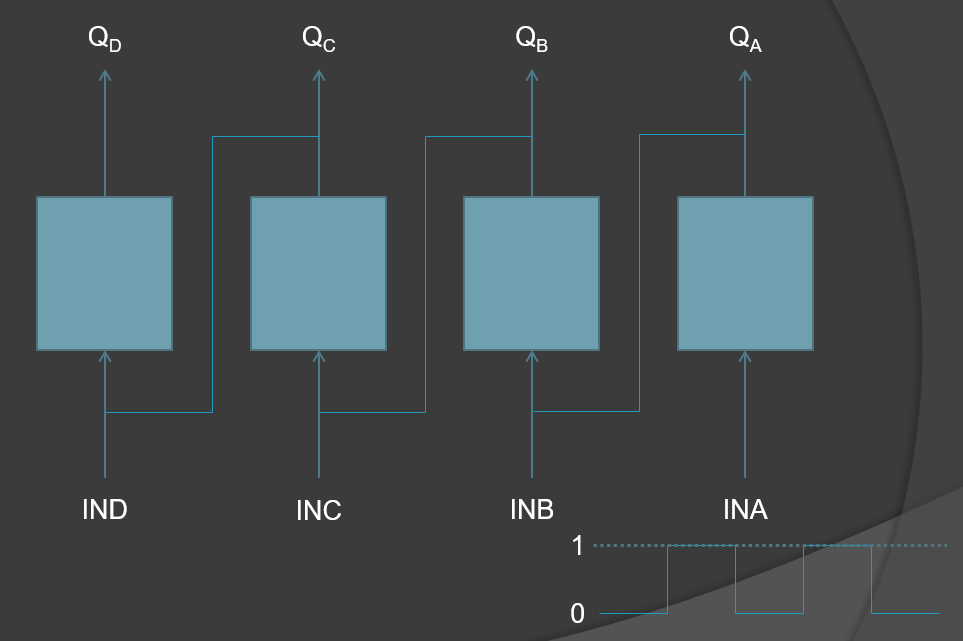


图2.1.1 计数器示意图

2.2 2-5-10进制计数器74LS90

2-5-10进制计数器74LS90内部结构类似图2.1.1，由四个计数单元组成，但74LS90内部，计数单元A、B并未连接在一起。其引脚图如图2.2.1，包括两个时钟脉冲输入端INA、INB，两个清零端R01、R02，两个置9端R91、R92，四个输出端QD、QC、QB、QA；此外在实际使用中另有电源端VCC、GND和2个空脚。因为74LS90内部计数单元A、B并未连接在一起，故有INA、INB两输入端口。计数器A是二进制，计数器B是五进制。当QB和QD同时为高电平时会触发清零机制，因此QBQCQD在达到5（101）时会清零，即输出为0~4之间的值，因此B到D合起来叫5进制。如图2.2.2，若从外部将QA与INB人为地连接，则可以得到一个4位2\*5=10进制计数器。清零端、置九端高电平有效，当清零端双高电平时输出清零，当置九端双高电平时输出置九，优先级低于清零端。74LS90功能表如表2.1。

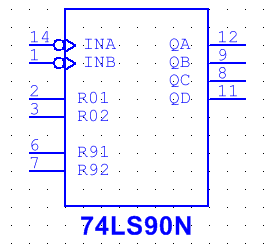


图2.2.1 74LS90引脚图

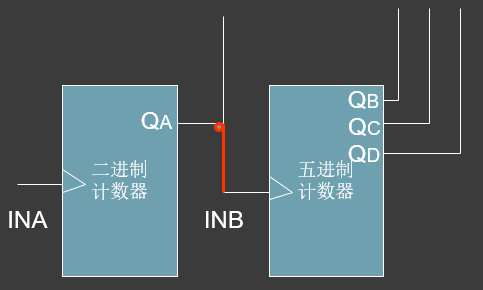


图2.2.2 2-5-10进制计数器74LS90连线示意图



表2.1 74LS90功能表

2.3 N进制计数器的设计方法

反馈归零法（适用于有清零端的计数器）：将某个中间状态N反馈到清零端，利用清零功能，使计数器返回到零。条件M>N，其中M是内置清零。对于清零端数目不同的芯片、对N不同的要求，可以利用与门设计。

3 实验内容

实验中所有的输出都由数码管显示。

3.1 分别验证74LS90实现2、5、10进制计数器

分别验证74LS90实现2、 5、10进制计数器，记录计数状态转换图。

2进制计数器仿真电路图如图3.1.1，计数状态转换图如图3.1.2。

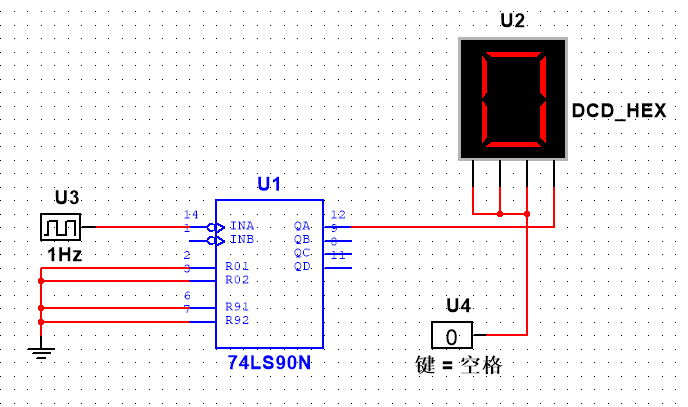


图3.1.1 2进制计数器仿真电路图

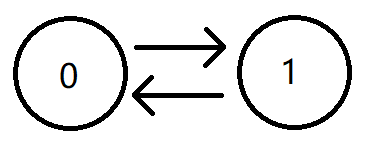


图3.1.2 2进制计数器计数状态转换图

5进制计数器仿真电路图如图3.1.3，计数状态转换图如图3.1.4。

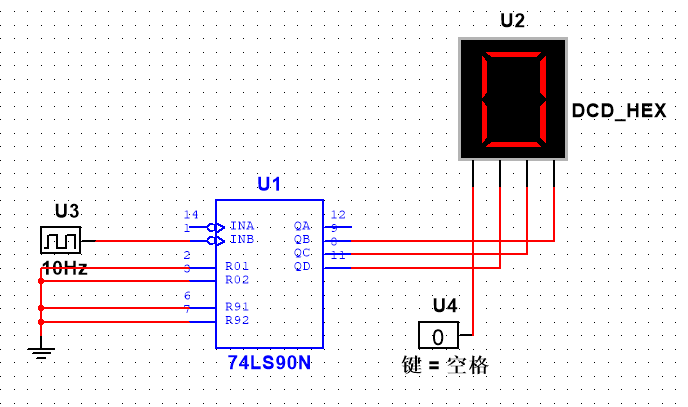


图3.1.3 5进制计数器仿真电路图

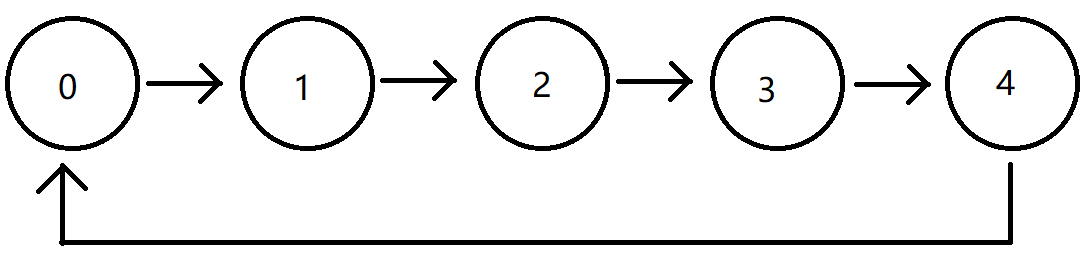


图3.1.4 5进制计数器计数状态转换图

10进制计数器仿真电路图如图3.1.5，计数状态转换图如图3.1.6。

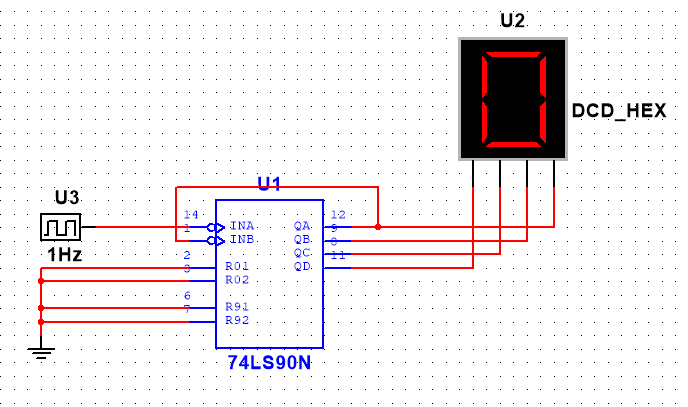


图3.1.5 10进制计数器仿真电路图

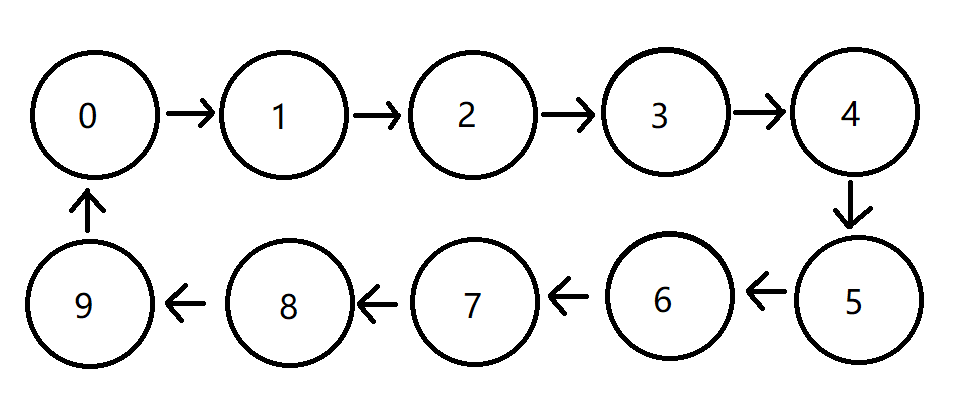


图3.1.6 10进制计数器计数状态转换图

3.2 用一块74LS90实现8进制的计数器

用一块74LS90实现8进制的计数器，仿真电路图如图3.2.1，计数状态转换图如图3.2.2。

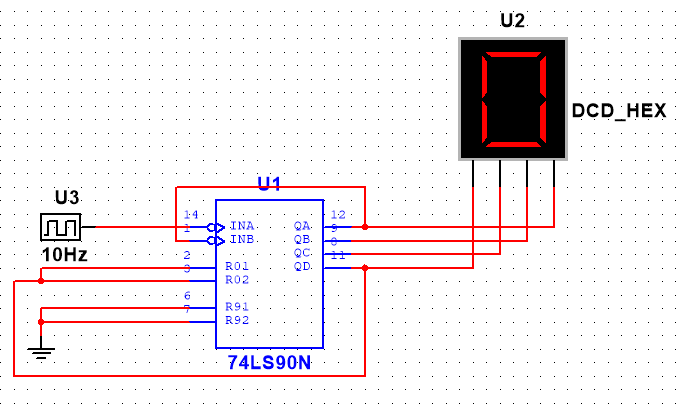


图3.2.1 8进制计数器仿真电路图

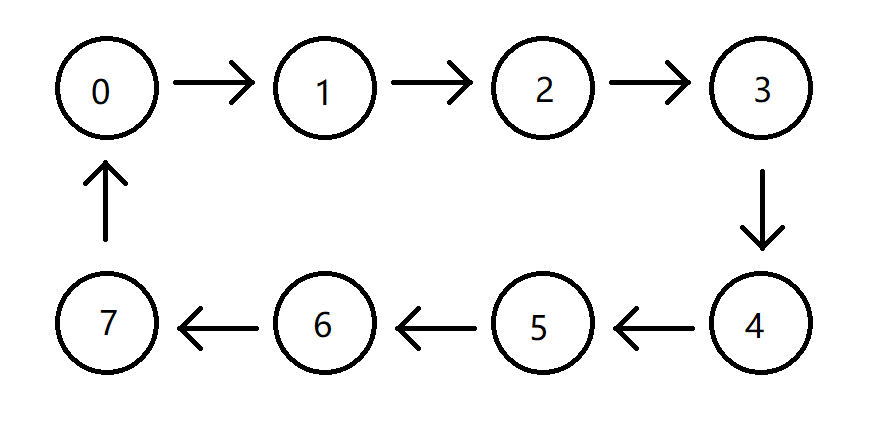


图3.2.2 8进制计数器计数状态转换图

3.3 用两块74LS90实现100进制的计数器

用两块74LS90实现100进制的计数器，仿真电路图如图3.3.1。

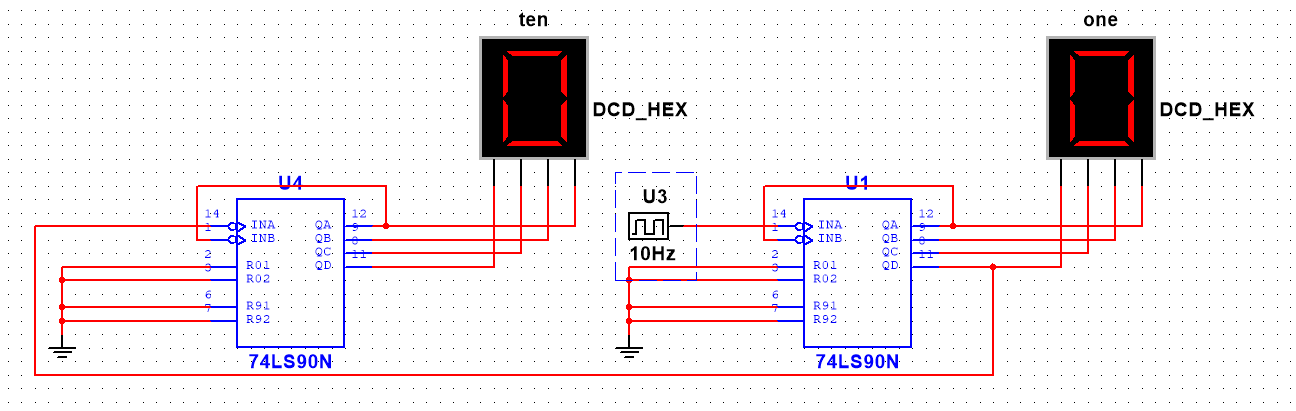


图3.3.1 100进制计数器仿真电路图

3.4 用两块74LS90实现60进制的计数器

用两块74LS90实现60进制的计数器，仿真电路图如图3.4.1。

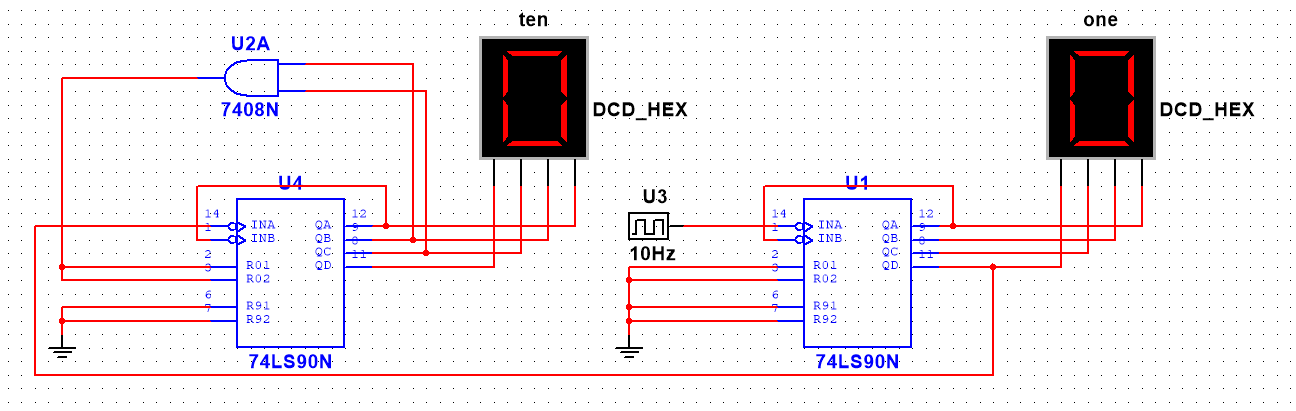


图3.4.1 60进制计数器仿真电路图

3.5 数字钟

如图3.5.1实现数字钟。

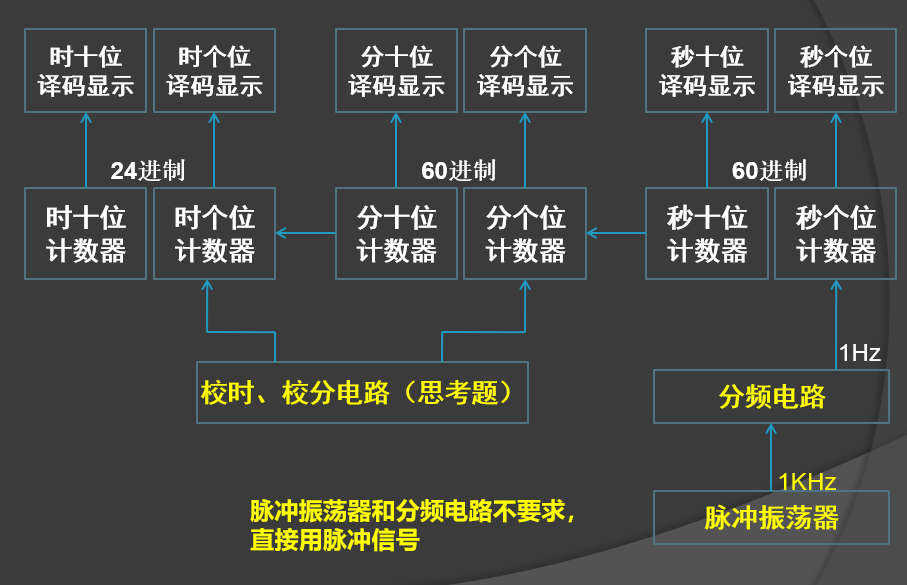


图3.5.1 数字钟原理图

数字钟仿真电路图如图3.5.2.

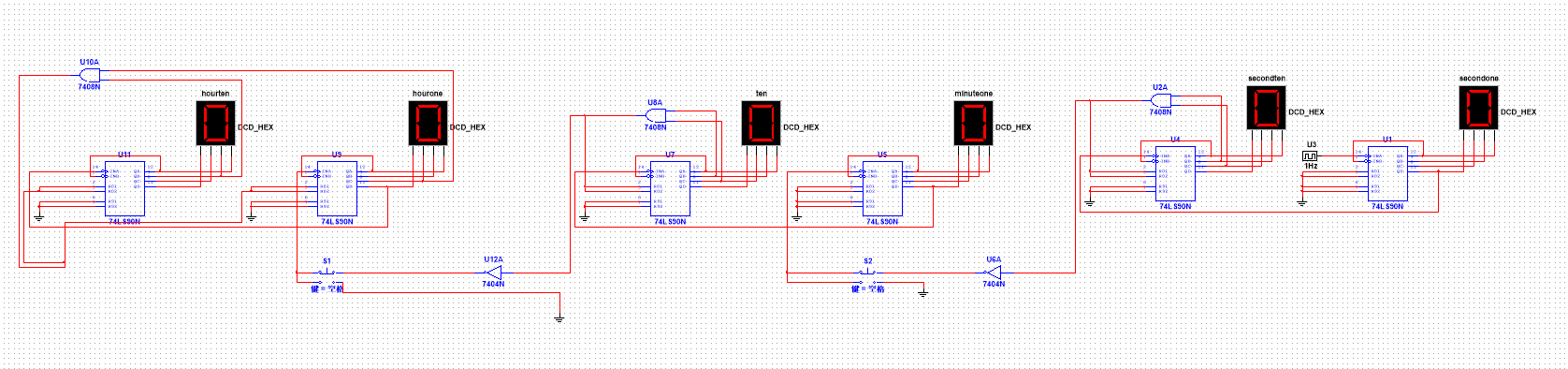


图3.5.2 数字钟仿真电路图

4 实验分析

4.1 分别验证74LS90实现2、5、10进制计数器

1. 2进制计数器：由2.2节INA和QA是计数单元A的输入输出，因此将INA接时钟信号、QA接数码管；由于只有一位输入，QA接数码管最低位，数码管其余输入端接地。A是一位输出所以是二进制。经验证电路正常工作。

2. 5进制计数器：由2.2节INB为计数单元B的输入端，QB是其输出端，同时接计数单元C的输入端。同理C的输出端QC接计数单元D的输入端。QD为D的输出端。因此将INB接时钟信号、QB~QD从低到高接数码管最低三位、数码管最高位引脚接地即可。

3位输出可以表示000~111即0~7但是BCD是5进制，内置清零要求仅显示000~100。故推测内置清零机制为QB·QD=1时自动清零。经验证电路正常工作。

3. 10进制计数器：将QA接在INB即可实现4位输出。

QA取值0或1，QDQCQB取值000~100，是从0000开始到1001的，连续的共2\*5=10个数，10进制。经验证电路正常工作。

4.2 用一块74LS90实现8进制的计数器

设计思路：M=9,N=8，M>N，因此一片74LS90即可实现8进制计数。由反馈归零法，利用逻辑门使得输出为8时清零端被置一，输出0~7时清零端接低电平即可。故将两清零端同时接QD。经验证电路正常工作。

4.3 用两块74LS90实现100进制的计数器

设计思路：两块74LS90恰能实现10\*10=100进制计数，仅需内置清零。级联要求为个位计数器清零时产生负脉冲，输入十位进位。个位的QD当且仅当从9跃变至0时出现负脉冲。因此两74LS90依照10进制接线即QA接INB，个位INA接时钟信号，十位INA接QD。

4.4 用两块74LS90实现60进制的计数器

设计思路：两块74LS90可实现10\*10=100进制计数，个位仅需内置清零，故在100进制计数器级联的基础上学对十位74LS90设置6进制清零机制，即当且仅当输出为6即0110清零端为高电平。故十位74LS90两清零端同时接QB·QC。

4.5 数字钟

设计思路：

1. 分、秒计数器为4.4节所设计60进制计数器。
2. 时计数器为24进制计数器，即当时个位输出0100且时十位输出0010时时计数器两74LS90的4个清零端同时接高电平。故将时个位QC和时十位QB接二输入与门的输入端，与门输出端接时计数器两74LS90的4个清零端。
3. 秒、分进位与分、时进位。低单位计数器的十位清零时需要产生负脉冲，输入高单位计数器个位的输入INA即可。而清零时接到清零端的信号从0变成1即为正脉冲，加上非门即可得到负脉冲。故将低单位计数器的十位清零信号加上非门输入高单位计数器个位的输入INA。

综合上述应用可以得到：本实验中的设计工作主要考察：

1. 反馈归零法设置清零
2. 将低位计数器清零时产生的负脉冲输入高位计数器的输入端以实现进位

5 实验思考题

如何在数字钟电路中实现校时功能，包括校时和校分（校时功能指能够在数字钟运行过程中可以对小时位和分钟位分别进行调整）

答：数字钟实验内容中，为方便测试，实验者已添加校时和校分按钮。仿真电路图如图3.5.2.

设计思路：数字钟的分、时依靠低一级时钟电路清零时发出的负脉冲进行计时，相当于进位。本实验中74LS90是下降沿触发计数器且计数只能增加。增加1分钟或1小时的校时电路需要额外产生一个负脉冲，而校时开关复位的正脉冲没有影响。小时和分钟的INA一般处于高电平，因此需要一个按下会短暂接地的按键式开关PB\_DPST即可。

6 实验总结

本实验中，实验者掌握了中规模集成电路的功能及使用方法；学习了用“反馈归零法” 构成N进制计数器的方法；学习了将低位计数器清零时产生的负脉冲输入高位计数器的输入端以实现进位；学会了中规模集成电路的分析方法、设计方法和测试方法。