实验七 数据选择器

范玥瑶 PB18000341

2020年7月7日

1 实验目的

1.掌握中规模集成数据选择器的逻辑功能与工作原理；

2.熟悉数据选择器的扩展方法；

3.学习用数据选择器构成组合逻辑电路的方法，了解数据选择器的应用。

2 实验原理

本次实验中用到的主要设备与器件有：74LS/HC151，74LS/HC153，74LS/HC04，74LS/HC32(数字逻辑实验箱)，各类逻辑门。

2.1 数据选择器

数据选择器(Multiplexer)又称多路选择器，是一个数字开关，根据地址选择码从多路输入数据中选择一路，送到输出。数据选择器可以完成并行码输入到串行码输出的转换，与计数器配合可以组成序列信号发生器，还可以用它设计各种逻辑电路以及实现逻辑函数。常见的数据选择器产品有“2选1”、“4选1”、“8选1”、“16选1”。如图2.1.1所示为一个2n选1数据选择器。

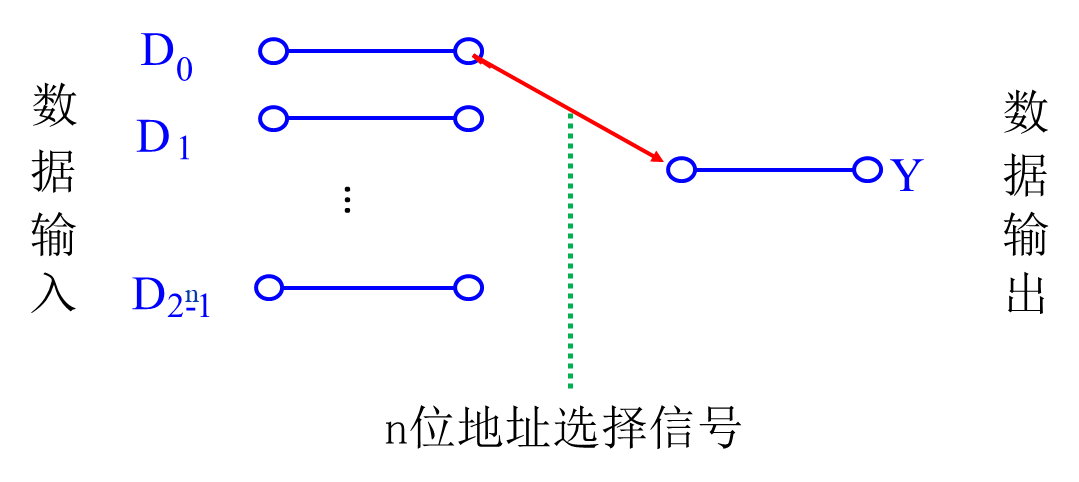


图2.1.1 2n选1数据选择器

本实验主要使用双4选1数据选择器74LS153与八选一数据选择器74LS151。

2.2 最小项

最小项之和是逻辑函数的两种标准形式之一。对于n变量函数有2n个最小项，最小项m满足：m是乘积项、包含n个因子、n个变量均以原变量和反变量的形式在m中出现一次三个条件。若将变量为1视为一同名事件，变量取0则视为该事件的逆事件，则各变量相互独立且最小项为一个基本事件。最小项可以简写为mi, i为项号。三变量最小项编号表如表2.1，最小项可以用m0~m7表示。相应地，如果为四变量函数则可以用m0~m15表示。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 最小项 | 使最小项为1的变量取值 | | | 对应的十进制数 | 编号 |
| A | B | C |
| A'B'C' | 0 | 0 | 0 | 0 | m0 |
| A'B'C' | 0 | 0 | 1 | 1 | m1 |
| A'BC' | 0 | 1 | 0 | 2 | m2 |
| A'BC | 0 | 1 | 1 | 3 | m3 |
| AB'C' | 1 | 0 | 0 | 4 | m4 |
| AB'C | 1 | 0 | 1 | 5 | m5 |
| ABC' | 1 | 1 | 0 | 6 | m6 |
| ABC' | 1 | 1 | 1 | 7 | m7 |

表2.1 三变量最小项编号表

逻辑代数的基本公式如表2.2。交换律（公式5和公式15）、结合律（公式6和公式16）较为多见，反演律（公式8和公式18）在逻辑化简中较为常用。本实验主要运用分配率（公式7）和互补律（公式14）。

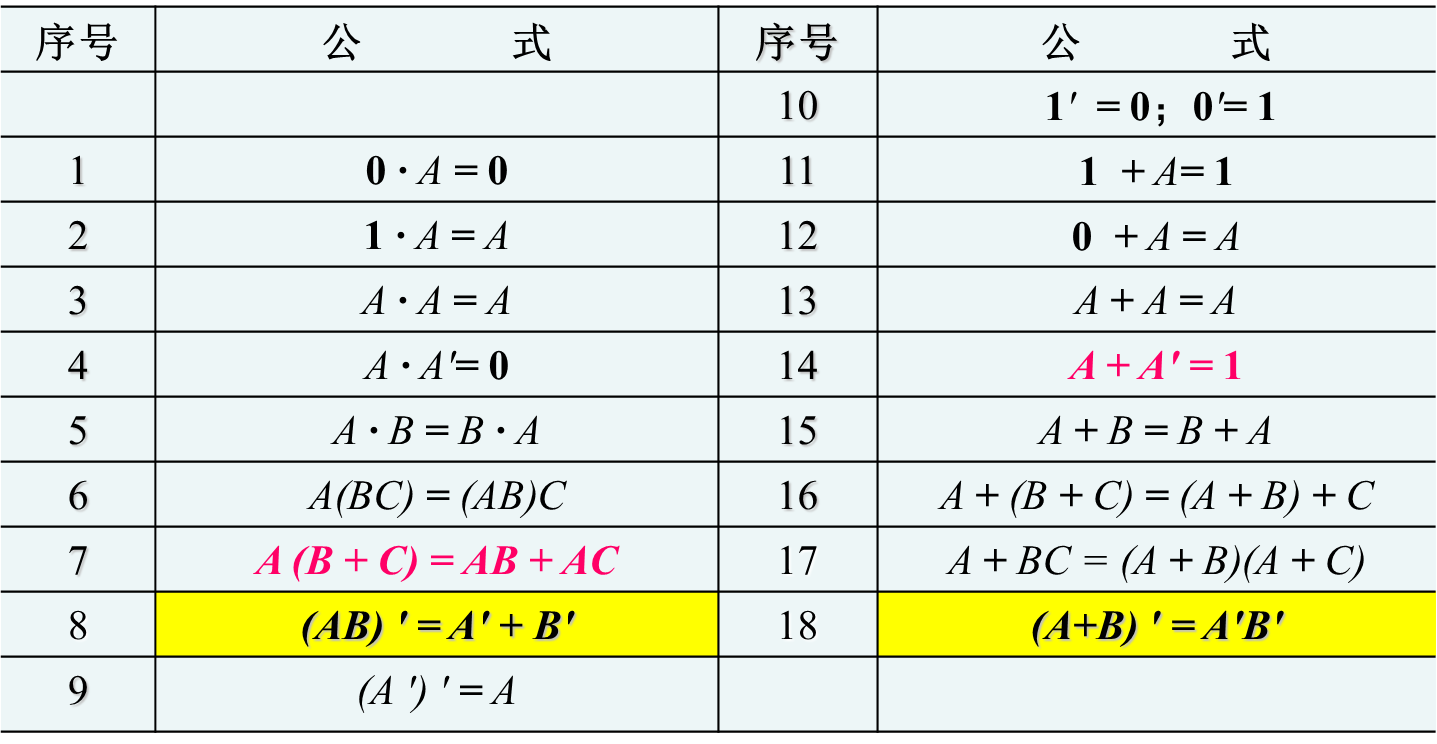


表2.2 逻辑代数的基本公式表

由最小项相加得到的与、或表达式称为标准与或式，或称标准积之和式。

2.3 双4选1数据选择器

74LS153内部逻辑图如图2.3.1。图中上下两个数据选择器的地址输入端即选择输入端A1、A0是公共的，其中A1是高位，A0是低位；数据输入端D10，D11，D12，D13及D20，D21，D22，D23）和数据输出端（Y1、Y2）是各自独立的。此外各自还设置了附加控制端（又称使能控制端），S1’、S2’，在低电平有效，用于控制电路工作状态的扩展功能。

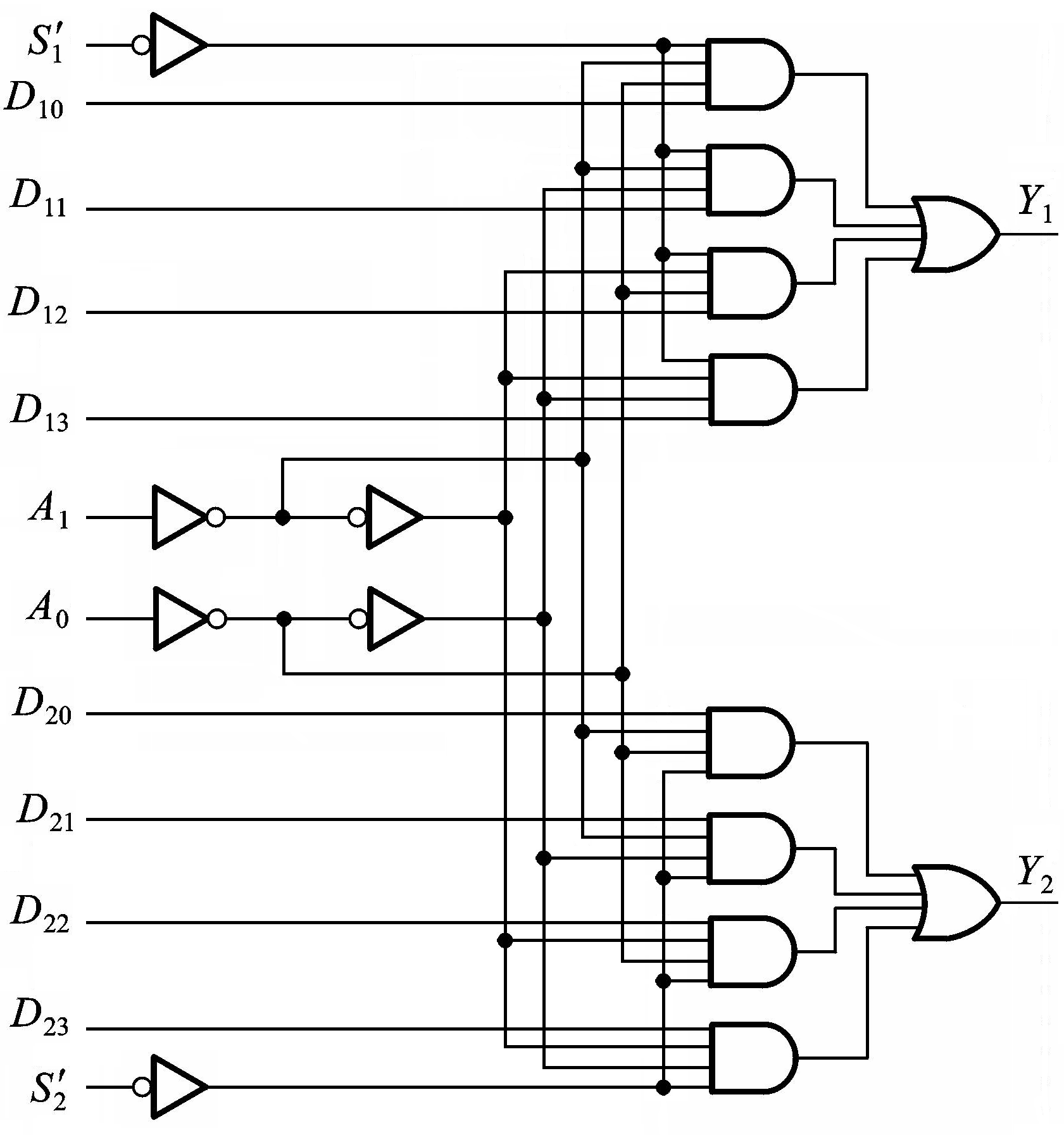


图2.3.1 74LS153逻辑图

图2.3.1中如图2.3.2所示部分也是非门，又称反相器，常用于芯片内部逻辑图中。此处用于强调其以低电平为逻辑信号。



图2.3.2 反相器示意图

74LS153双4选1数据选择器中，4选1数据选择器 Y1的逻辑表达式为

Y2同理。

类似地，8选1数据选择器为，为8项之和，16选1则为，为16项之和。

74LS153双4选1数据选择器功能表如表2.3。此后的学习中，并不需要过多关注芯片内部结构，而更应该关注其功能表及其反映的芯片功能。

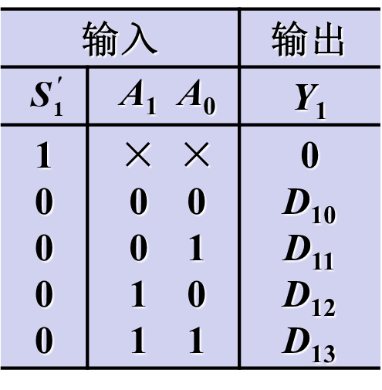


表2.3 74LS153功能表

2.4 数据选择器的扩展

可以将数据选择器的使能端作为地址输入，将两个4选1连成一个8选1的数据选择器。

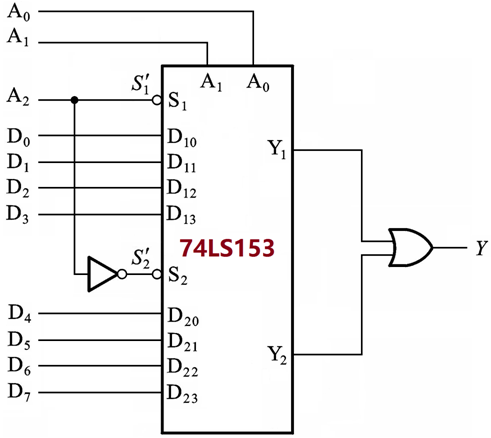


图2.4.1 数据选择器的扩展示意图

如图2.4.1，8选1的地址输入有三位，其最高位A2连上面的数据选择器的使能端，经反相器反相后与下面的使能端相连；低两位的地址输入端则为74LS153两个4选1数据选择器公共的地址输入端A0和A1。再将Y1、Y2通过或门组合起来得到输出端Y。当A2=0时，S1=0，S2=1，根据A0和A1的值可以将D0~D3之一的数值送到输出端Y。当A2=1时，S1=1，S2=0，根据A0和A1的值可以将D4~D7之一的数值送到输出端Y。

2.5 数据选择器实现组合逻辑函数

具有n位地址输入的数据选择器，可产生任何形式的输入变量不大于（n+1）的组合函数；即具有2位地址输入的4选1的数据选择器可以实现3变量的组合函数，具有3位地址输入的8选1的数据选择器可以实现4变量的组合函数。

数据选择器的主要特点为：

1. 具有标准与或表达式的形式，即：
2. 提供了地址变量的全部最小项；
3. 通常Di可以当作一个变量处理。

用数据选择器实现组合逻辑函数的设计方法和步骤为：

1. 进行逻辑抽象，用逻辑函数的形式来描述要实现的逻辑功能，列出真值表。非应用题可省略此步。
2. 写出逻辑函数式。
3. 选定数据选择器器件。（若函数有M个输入变量，选用的数据选择器有n位地址输入，则应取M ≤n+1，以M =n+1时器件的利用最充分。）
4. 将逻辑函数式化为最小项之和的形式，并与数据选择器输出的逻辑函数式对照比较，确定输入变量在地址输入端与数据输入端应如何连接才能得到设计函数所含的所有最小项。本实验即即确定各输入变量如何接入各地址输入端、数据输入端接门电路、输入电源还是高、低电平。
5. 画出逻辑电路图。

3 实验内容

3.1 用两片74LS151实现逻辑函数：Y=Σm(6,7,8,11,13)

用两片74LS151实现逻辑函数的仿真电路图如图3.1.1，用逻辑变换器得到的真值表如图3.1.2，其中A,B,C,D分别对应A3,A2,A1,A0。

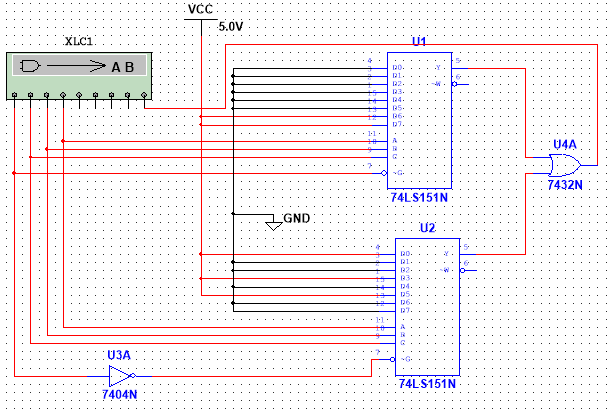


图3.1.1 用两片74LS151实现逻辑函数Y=Σm(6,7,8,11,13) 仿真电路图

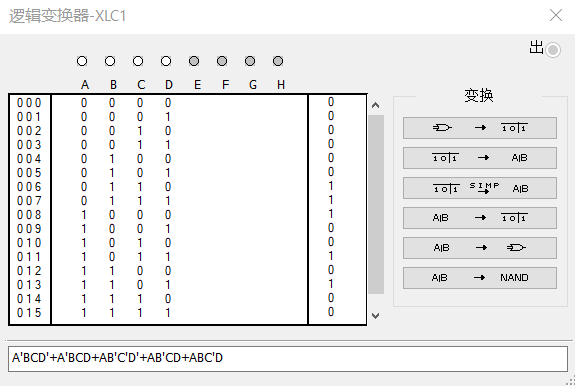


图3.1.2 用两片74LS151实现逻辑函数Y=Σm(6,7,8,11,13) 真值表

3.2 用双4选1数据选择器74LS153实现一位全加器

用双4选1数据选择器74LS153实现的一位全加器仿真电路图如图3.2.1，用逻辑变换器得到的真值表如图3.2.2，3.2.3。其中A,B,C分别对应A,B,CI。

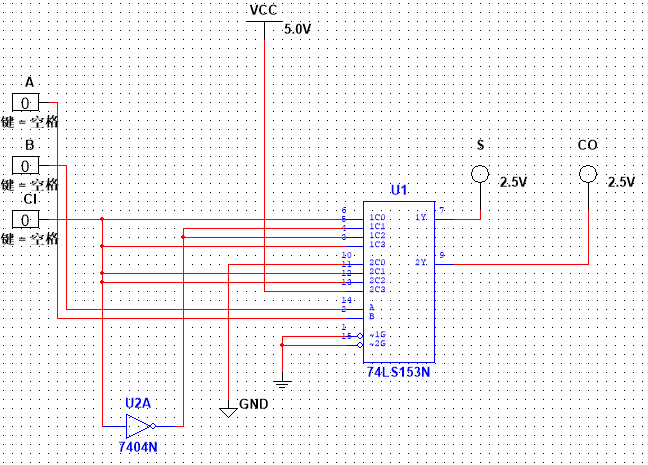


图3.2.1 用双4选1数据选择器74LS153实现的一位全加器仿真电路图

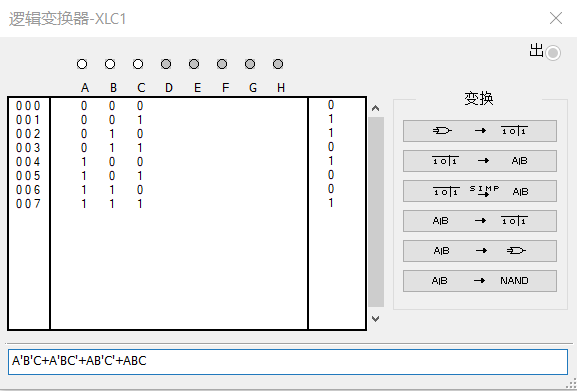


图3.2.2 用双4选1数据选择器74LS153实现的一位全加器（S部分）

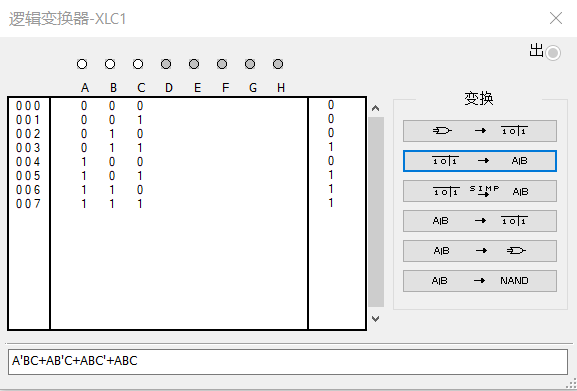


图3.2.3 用双4选1数据选择器74LS153实现的一位全加器（CO部分）

3.3 用一片8选1数据选择器74LS151设计三输入多数表决电路

用一片8选1数据选择器74LS151实现的三输入多数表决电路仿真电路图如图3.3.1，用逻辑变换器得到的真值表如图3.3.2。

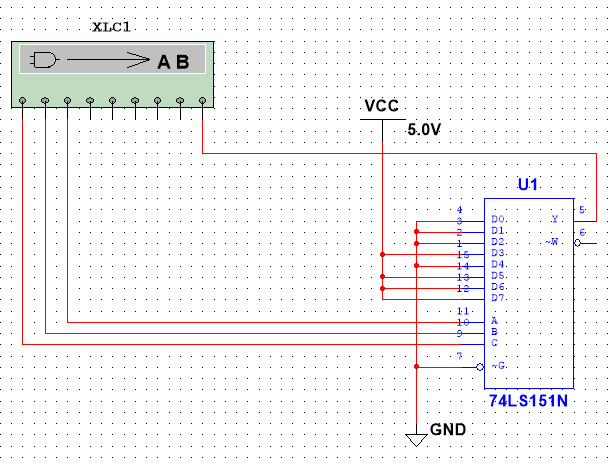


图3.3.1 用一片8选1数据选择器74LS151实现的三输入多数表决电路仿真电路图

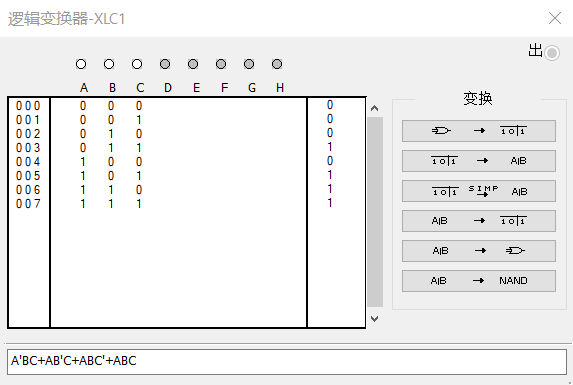


图3.3.2 用一片8选1数据选择器74LS151实现的三输入多数表决电路真值表

3.4 用一片8选1数据选择器74LS151实现四变量奇偶校验器

四变量奇偶校验器的功能：当4个变量中有偶数个1时输出为1，否则输出为0。用一片8选1数据选择器74LS151实现的四变量奇偶校验器仿真电路图如图3.4.1，用逻辑变换器得到的真值表如图3.4.2，其中A,B,C,D分别对应A3,A2,A1,A0。

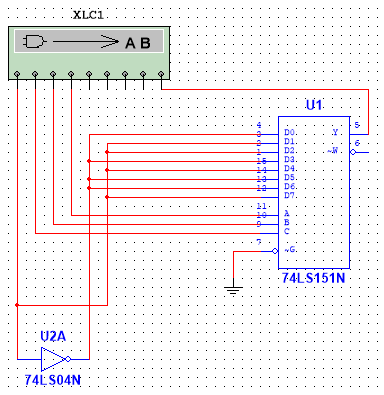


图3.4.1 用一片8选1数据选择器74LS151实现的四变量奇偶校验器仿真电路图

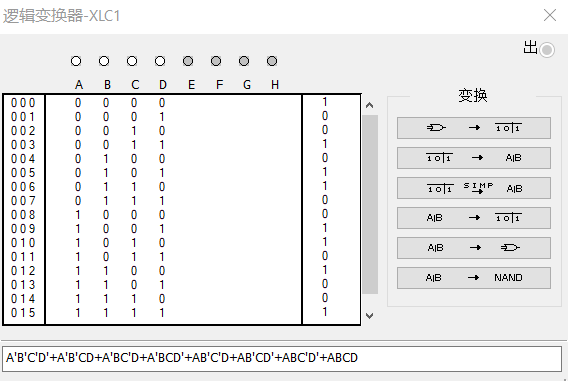


图3.4.2 用一片8选1数据选择器74LS151实现的四变量奇偶校验器真值表

4 实验分析

4.1 用两片74LS151实现逻辑函数：Y=Σm(6,7,8,11,13)

设计思路：

题目要求用两片74LS151实现逻辑函数，有4位输入变量。此处是使用2片8选1数据选择器扩展为一个16选1数据选择器。扩展后的四个地址输入端A3, A2, A1, A0可以接四个输入变量。16选1数据选择器的输入输出表达式为

题目要求实现逻辑函数：Y=Σm(6,7,8,11,13)，因此可以将数据输入端D6, D7, D8, D11, D13接高电平，其余接地。其中D6，D7在上片，D8, D11, D13分别为下片的D0，D3，D5。设计得逻辑电路图如图4.1.1.

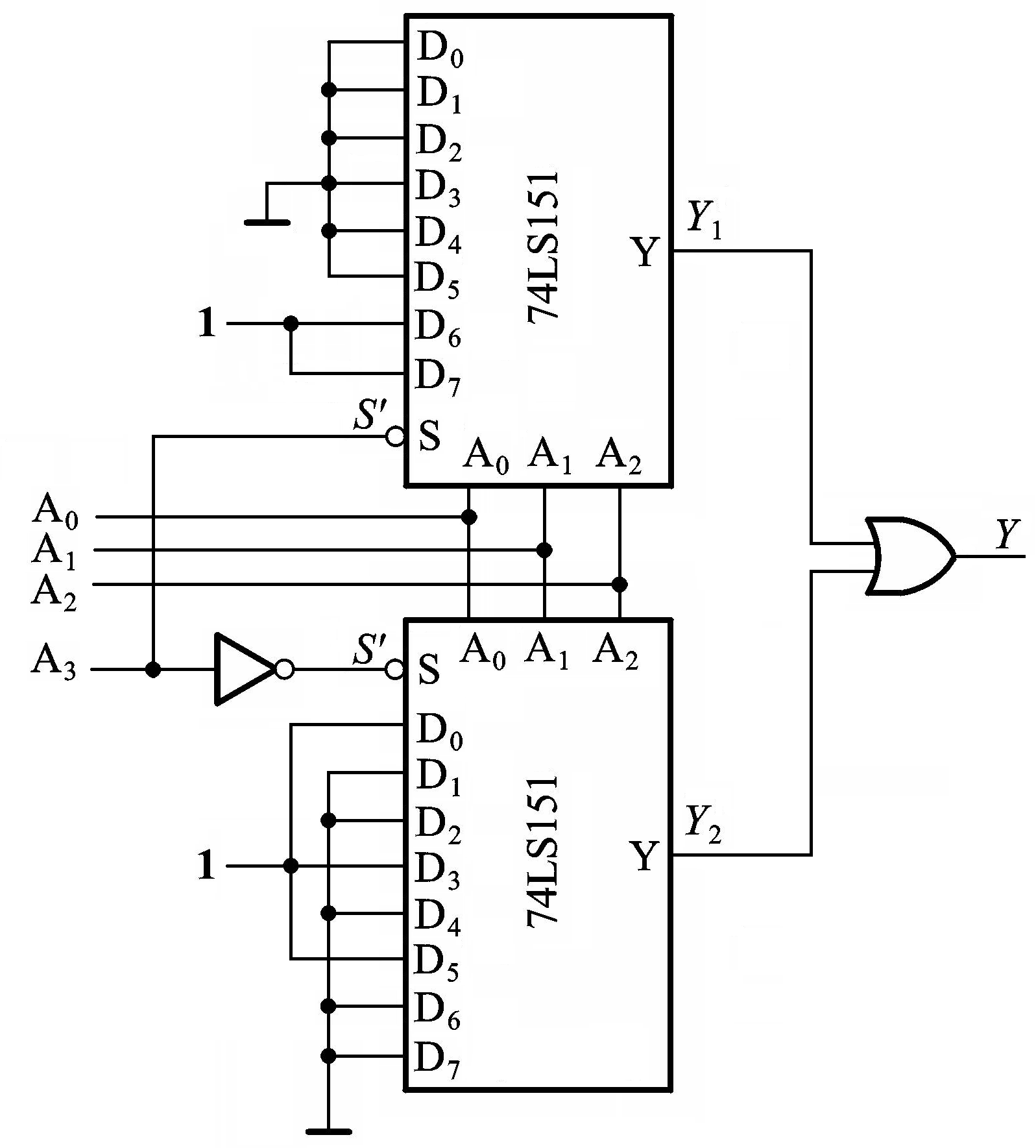


图4.1.1 用两片74LS151实现逻辑函数Y=Σm(6,7,8,11,13)逻辑电路图

4.2 用双4选1数据选择器74LS153实现一位全加器

设计思路：

全加器真值表如表4.1，其中A,B,CI为输入，S,CO为输出。A，B为加数，CI为来自低位的进位，S为相加的和，CO为向高位的进位。两输出S和CO分别接74LS153的Y1和Y2。三个输入任选2个分别接在A1和A0上，不妨取A、B；由于需要两个输出，两个4选1必须分别用于处理S和CO，Y1和Y2不用或门连接，所以CI不参与寻址，CI并不接在使能端而是接在数据输入端。使能端S’1,S’2接地。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | CI | S | CO |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

表4.1 全加器真值表

得到标准与或式：

得到逻辑电路图如图4.2.1.

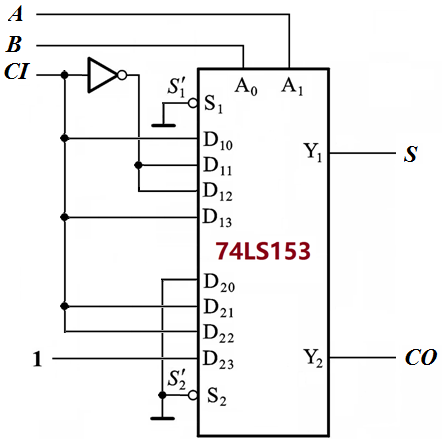


图4.2.1 用双4选1数据选择器74LS153实现一位全加器逻辑电路图

4.3 用一片8选1数据选择器74LS151设计三输入多数表决电路

设计思路：

1. 逻辑问题：输入A2，A1，A0，输出多数值Y。

真值表：如表4.2.

|  |  |  |  |
| --- | --- | --- | --- |
| 输入 | | | 输出 |
| A2 | A1 | A0 | Y |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

1. 逻辑表达式：标准与或式为
2. 电路设计： 8选1数据选择器74LS151的接法为：使能端接地，Y接数据输出端，A2、A1、A0接地址输入端。则接地,其余接5V。

4.4 用一片8选1数据选择器74LS151实现四变量奇偶校验器

设计思路：

1. 逻辑问题：输入A3，A2，A1，A0，当其中有偶数个1时输出Y=1，其中有奇数个1时为0。真值表如表4.3。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | | 输出 |
| A3 | A2 | A1 | A0 | Y |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

表4.3 四变量奇偶校验器真值表

1. 逻辑表达式：标准与或式为
2. 设计电路：A3，A2，A1，A0中3个接地址输入端，取A2，A1，A0；使能端接地，输出端接Y。由逻辑表达式,，数据输入端与A3直接或通过非门相连接。

5 实验思考题

1. 试用数据选择器产生逻辑函数：

答：有A,B,C,D四个输入量，用8选1数据选择器74LS151组装电路。不妨取B,C,D接地址输入端，A接数据输入端。使能端接地。逻辑表达式化成标准与或式的形式：

得,,,。

连接电路，仿真电路图如图5.1，由逻辑变换器所得真值表如图5.2.

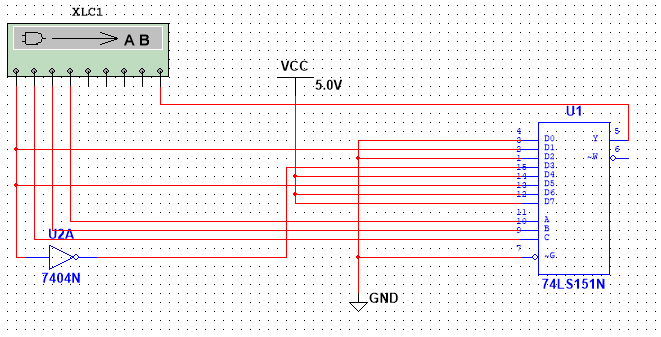


图5.1 思考题1仿真电路图

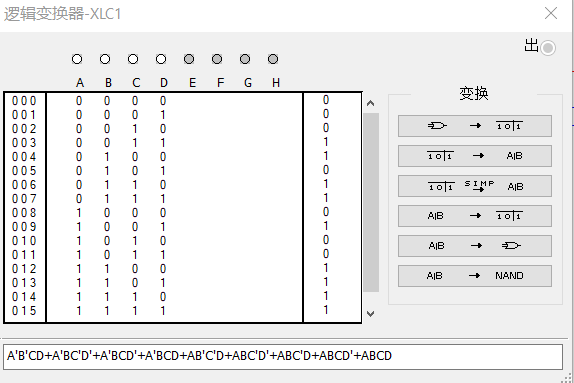


图5.2 思考题1真值表和标准与或式

1. 试用一片74LS151设计一个函数发生器电路，它的功能表如表5.1：

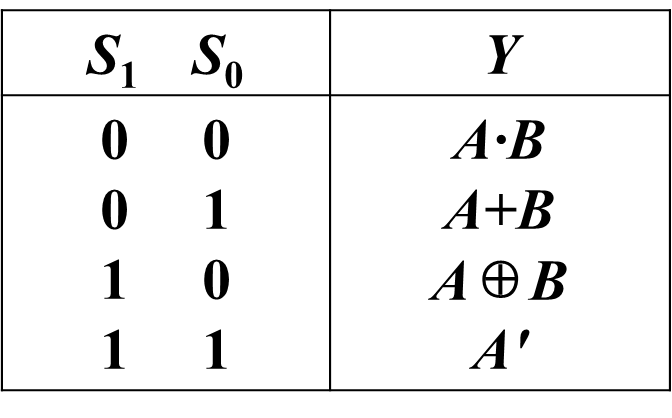


表5.1 函数发生器电路功能表

答：4个变量3位数据选择器，只有一个使能端，则有一个需要接数据选择器的数据输入端。不妨取S1接数据输入端，S0,A,B接地址输入端。真值表如表5.2。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | | 输出 |
| S1 | S0 | A | B | Y |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

表5.2 函数发生器电路真值表

由表5.2，逻辑表达式为

所以

,,，

连接电路，仿真电路图如图5.3，由逻辑变换器所得真值表如图5.4。图中A,B,C,D分别对应S1,S0,A,B。

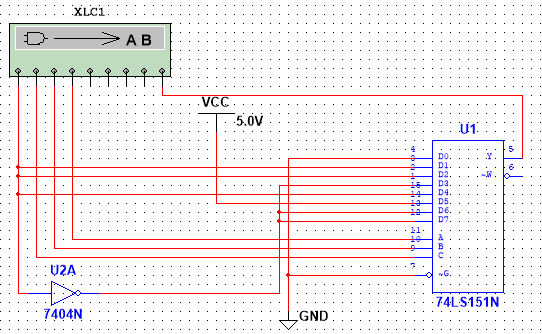


图5.3 思考题2仿真电路图

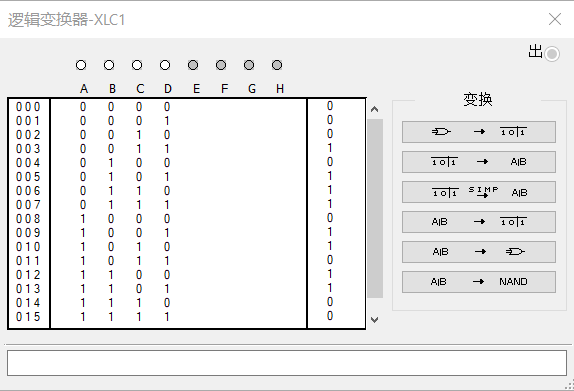


图5.4 思考题2真值表和标准与或式

6 实验总结

本次实验中，实验者掌握了中规模集成数据选择器的逻辑功能与工作原理，加深了对C语言中所学“寻址”概念的理解；通过对双4选1数据选择器的学习熟悉了数据选择器的扩展方法；根据4个设计实验和2道思考题学习了用数据选择器构成组合逻辑电路的方法，了解数据选择器的应用。