实验九 移位寄存器及其应用

范玥瑶 PB18000341

2020年7月14日

1 实验目的

1、进一步掌握时序逻辑电路的设计步骤和方法；

2、熟悉和了解移位寄存器的工作原理功能及应用方法；

3、熟悉中规模4位双向移位寄存器的逻辑功能。

2 实验原理

本实验所用实验器件有：双D触发器74LS74、四位双向移位寄存器74LS194、两输入与非门74LS00。

2.1 触发器

时序电路为靠时钟驱动触发器的电路。本实验使用的D触发器引脚排列图如图2.1.1，D为输入端；CLK即Clock为时钟信号，可以理解为方波，从0到1为上升沿，1到0为下降沿，进而通过上升沿、下降沿实现触发效果。触发器时钟信号频率越高处理速度越快，触发器性能越优良。D触发器的效果是将D传递给Q端，同时为Q的反相；、为清零端和置一端，它们都是输入端，功能包括控制芯片状态，如当清零端起作用时输出会被清零，输入不会被传输。、顶端“非”标志代表低电平有效，工作时接地。实验中CLK可选连续信号，或采用持续信号，手动改变电平以实现手动触发。

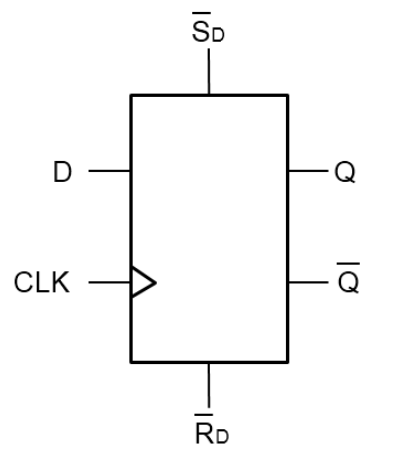


图2.1.1 D触发器引脚排列图

2.2 寄存器

如图2.2.1，将4个D触发器串行相连接，将每一个触发器的输出接在下一个触发器的输入，得到一个串行输入的寄存器。若从D1输入数字信号，则在时钟CLK的触发下，信号右移。

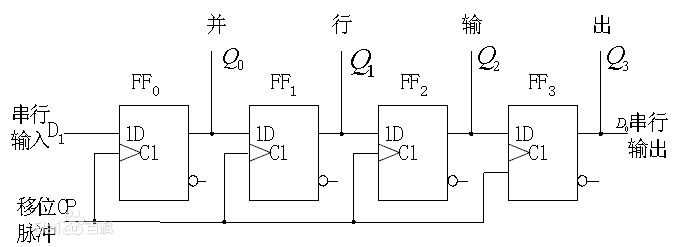


图2.2.1 串行相连的4个触发器

具有寄存数据功能的逻辑电路称为寄存器。移位寄存器是指寄存器中所存的代码能够在移位脉冲的作用下依次左移或右移。根据存取信息的方式不同移位寄存器可分为：串入串出、串入并出、并入串出、并入并出四种形式。并行输入即四个触发器输入端各接一个开关，各触发器的输出由其输入负责，其处理速度快但需要多个开关。串行输入是只有一个输入端接开关，剩下的输入端都接在其他触发器的输出端上。串行输入所需开关仅一个但是有延时。并行输出指4个端各接一个指示器（灯），串行输出指只在Q3接一个指示器依次看4个输出。

2.3 双向移位寄存器

既能左移又能右移的移位寄存器称为双向移位寄存器，只需要改变左、右移的控制信号便可实现双向移位。根据存取信息的方式不同移位寄存器可分为：串入串出、串入并出、并入串出、并入并出四种形式。图2.3.1即为一个双向移位寄存器。

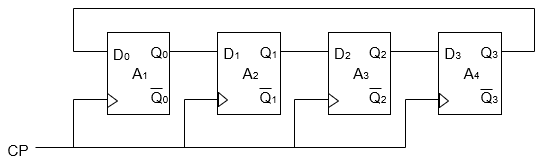


图2.3.1 双向移位寄存器示意图

2.4 中规模双向移位寄存器74LS194

中规模双向移位寄存器74LS194引脚如图2.4.1。其中DA、DB、DC、DD为并行输入端；QA、QB、QC、QD为并行输出端；SR为右移串行输入端，SL为左移串行输入端；S1、S0为操作模式控制端；CR为异步清零端RD，“非”标志代表其为低电平有效，即无需清零时将其接高电平；CP为时钟脉冲输入端。注意：无论是否需要清零都不应当将CR悬空。

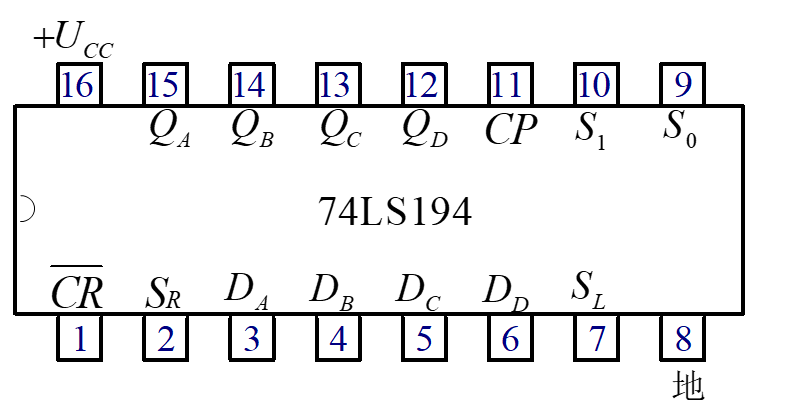


图2.4.1 中规模双向移位寄存器74LS194引脚图

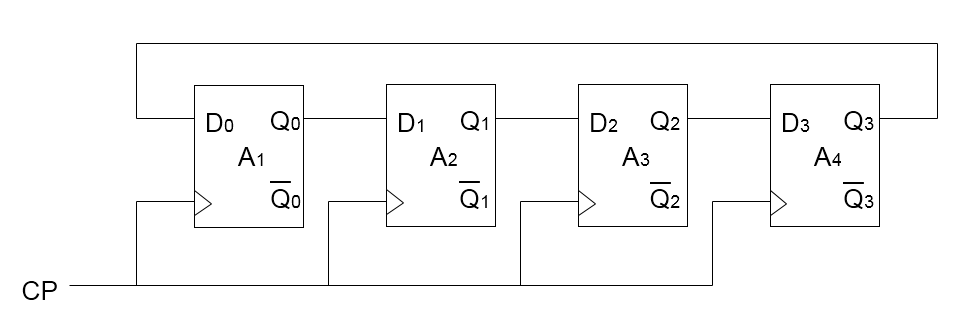
当接到时间信号时寄存器将完成一个操作，操作取决于CR、S1、S0；其中CR优先级最高，若CR接地则QA、QB、QC、QD­直接输出0，若CR接高电平则输出取决于S1和S0的状态。S1、S0和Rd端的控制作用如表2.1所示。74LS194有5种不同操作模式：并行送数寄存，右移（方向由QA至QD），左移（方向由QD至QA），保持及清零。送数即并行输入，送数状态下74LS194会在一个周期内将DA、DB、DC、DD的值一一对应地送到QA、QB、QC、QD并行输出。右移状态下DA、DB、DC、DD的输入不会被处理，从右移输入端SR输入的值送给QA，QA当前的值送给QB, QB当前的值送给QC，QC当前的值送给QD，QD当前的值丢失。左移状态下从左移输入端SL输入的值送给QD，QD当前的值送给QC, QC当前的值送给QB，QB当前的值送给QA，QA当前的值则丢失。保持状态所有输入端被屏蔽，输出保持不变。



表2.1 S1、S0和Rd端的控制作用表

2.5 自启动

数字电子电路中的自启动：数字电路中的状态机在上电时，无论它处于什么初始状态，都会自动经过有限次的跳变后，最终进入设定的状态中。具有这种功能的电路，就叫做自启动电路。



3 实验内容

本次实验中所有74LS74的、均接+5V。

3.1 用四块D型触发器（二块74LS74）接成4位输出的移位寄存器

1. 如图3.1.1，将D0接开关，从D0端串行输入。CP的频率未必需要取0.5Hz，可根据实验中LED的通断自行调整，甚至可以手动调整CP输入的0、1。寄存器的初态分别置成Q3-Q0：0001，0110，0101，0111（接通D0等待输入即可或者靠手动调节CP），初态设置完成后断开D0与输入所接开关断开，再将D0接。在每种初态下，记录在CP作用下LED的工作状态。仿真电路图如图3.1.2。

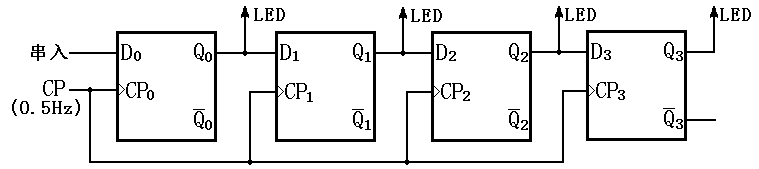


图3.1.1 用四块D型触发器（二块74LS74）接成4位输出的移位寄存器电路图

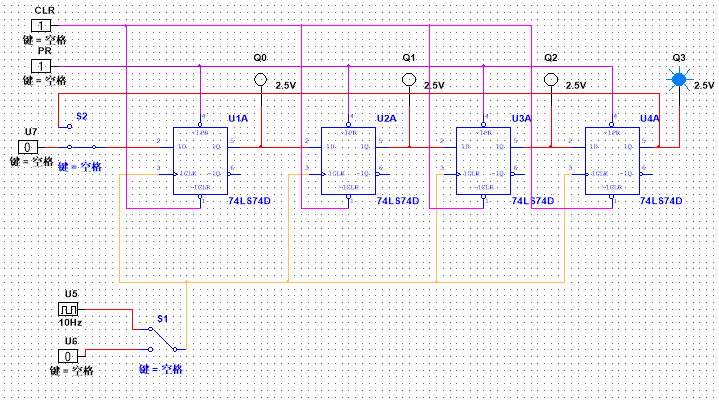


图3.1.2 用四块D型触发器（二块74LS74）接成4位输出的移位寄存器电路仿真电路图

（1）0001：0001→0010→0100→1000→0001→……

（2）0110：0110→1100→1001→0011→0110→……

（3）0101：0101→1010→0101→……

（4）0111：0111→1110→1101→1011→0111→……

1. 从D0端串行输入，寄存器的初态分别置成Q3-Q0：0000和0101，把D0接（即接成扭环），分别记录不同初态下在CP作用下LED的工作状态。仿真电路图如图3.1.3。

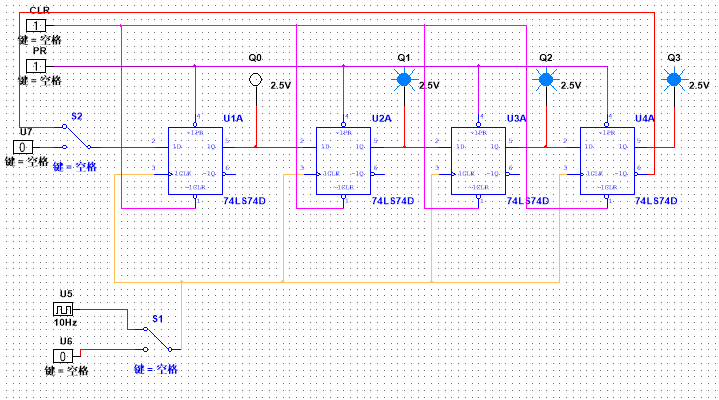


图3.1.3 扭环接入仿真电路图

（1）0000:0000→0001→0011→0111→1111→1110→1100→1000→0000→……

（2）0101:0101→1011→0110→1101→1010→0100→1001→0010→0101→……

3. 自启动：如图3.1.4连接,,，形成自启动电路，，记录在CP作用下LED工作状态（全状态转换图），即此电路0000~1111的转化路径。仿真电路图如图3.1.5。



图3.1.4 自启动输入部分

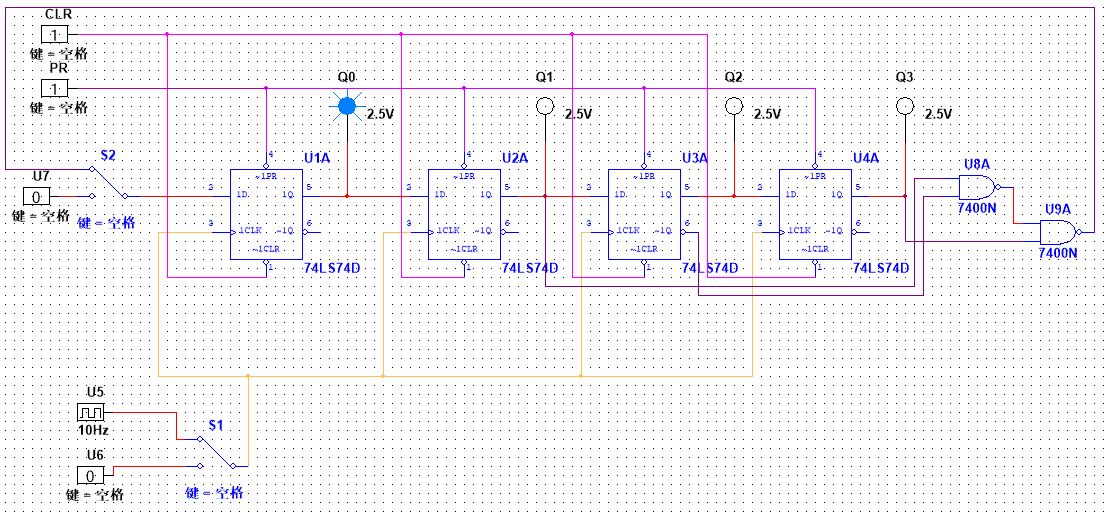


图3.1.5 自启动电路仿真电路图

转化路径：0000~1111：0000→0001→0011→0111→1111

1111~0000：1111→1110→1100→1000→0000

3.2 测试双向移位寄存器74LS194的逻辑功能

清零端接“1”，D0,D1,D2,D3,S1,S0分别接6个逻辑开关，CP接1Hz脉冲信号，Q0-Q3分别接4个LED。仿真电路图如图3.2.1.

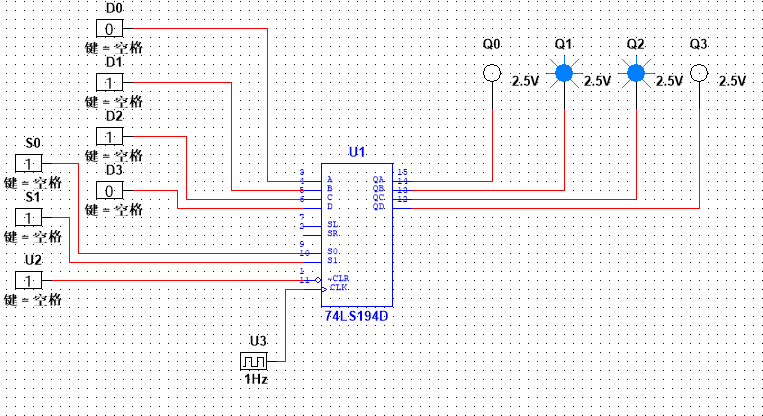


图3.2.1 测试双向移位寄存器74LS194的逻辑功能仿真电路图

1. S1S0=11，D0D1D2D3分别取0110和1001，记录Q0-Q3的工作状态。

工作状态：

(1)0110: Q0-Q3依次为0110；

(2)1001: Q0-Q3依次为1001。

1. S1S0=00，观察并记录Q0-Q3的状态。

工作状态：若重新开启仿真则输出Q0-Q3依次为0000；若从上一步结束直接改变S1S0则Q0-Q3依次为1001。即保持改动S0S1之前Q0-Q3的输出值。

1. S1S0=01，取初态Q0-Q3：1000，使DSR与Q3相连，记录Q0-Q3的工作状态。

仿真电路图如图3.2.2.

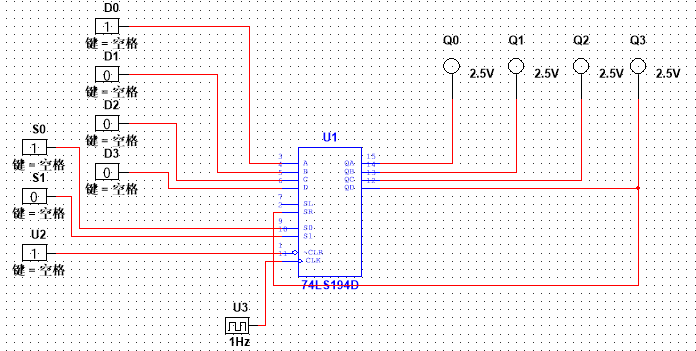


图3.2.2 测试双向移位寄存器74LS194的逻辑功能仿真电路图

工作状态：Q0-Q3取值依次为：1000→0100→0010→0001→1000→……

1. S1S0=10，取初态Q0-Q3：0001，使DSL与Q0相连，记录Q0-Q3的工作状态。

仿真电路图如图3.2.3.

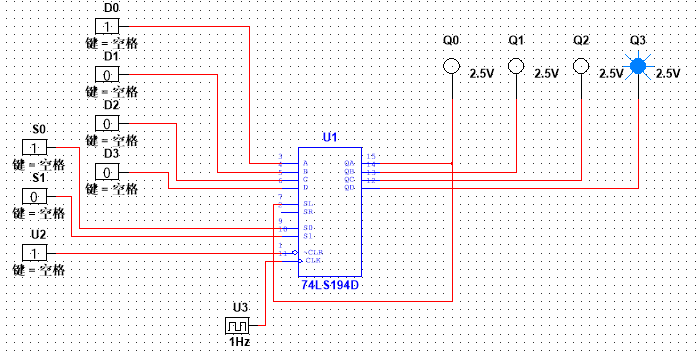


图3.2.3 测试双向移位寄存器74LS194的逻辑功能仿真电路图

工作状态：Q0-Q3取值依次为：0001→0010→0100→1000→0001→……

3.3用74LS194组成包含启动开关的3位串并转换电路

用74LS194设计满足以下要求的电路：

1、启动前，启动开关置0，74LS194处于置数（送数）状态（S1S0=11）

2、启动开关置1，74LS194进入右移状态（S1S0=01），输出端Q3依次输出N2N1N00

3、标志位0到达输出端后，74LS194再次进入置数状态（S1S0=11）

4、循环输出N2N1N00N2N1N00...

则逻辑电路图如图3.3.1，搭建电路，仿真电路图如图3.3.2，状态转移图如表3.1。

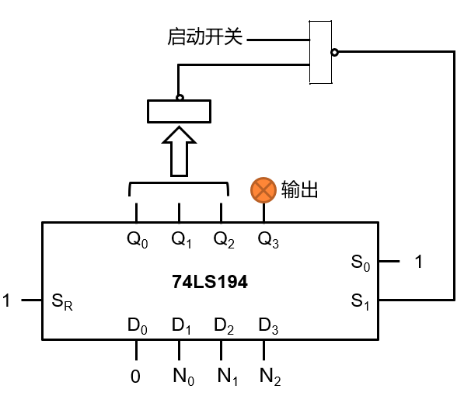


图3.3.1 用74LS194组成包含启动开关的3位串并转换电路图

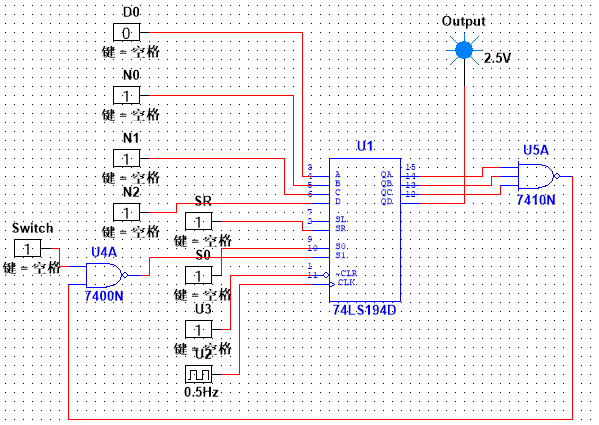


图3.3.2 用74LS194组成包含启动开关的3位串并转换电路仿真电路图

|  |  |  |  |
| --- | --- | --- | --- |
| 输入 | | | 输出序列 |
| N2 | N1 | N0 | Q3 |
| 1 | 1 | 1 | 1→1→1→0→…… |
| 1 | 1 | 0 | 1→1→0→0→…… |
| 1 | 0 | 1 | 1→0→1→0→…… |
| 1 | 0 | 0 | 1→0→0→0→…… |
| 0 | 1 | 1 | 0→1→1→0→…… |
| 0 | 1 | 0 | 0→1→0→0→…… |
| 0 | 0 | 1 | 0→0→1→0→…… |
| 0 | 0 | 0 | 0→0→0→0→…… |

图3.3.3 用74LS194组成包含启动开关的3位串并转换电路状态转移图

4 实验分析

4.1 用四块D型触发器（二块74LS74）接成4位输出的移位寄存器

由实验结果，用四块D型触发器（二块74LS74）接成4位输出的移位寄存器可以实现输入数字的右移，且改动接法，将右方D触发器的输出端接在左方D触发器的输入端可以实现左移。利用单刀双掷开关可以使移位寄存器形成闭环。通过选择接Q或是，辅以逻辑门形成特定逻辑电路，可以得到特定的输出序列。

4.2 测试双向移位寄存器74LS194的逻辑功能

实验结果可以验证74LS194的功能表如表4.1.

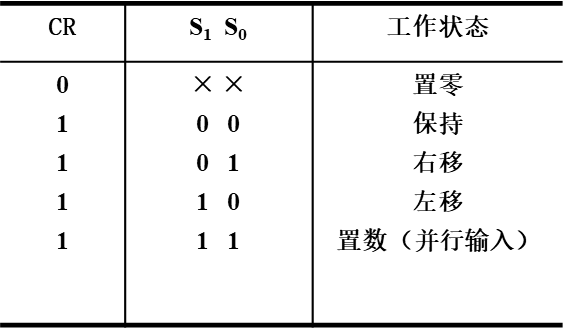


表4.1 74LS194功能表

4.3 用74LS194组成包含启动开关的3位串并转换电路

设计思路：S0=1,S1的电平由开关和输出决定。开关S=0时无论输出值如何总有S1=1所以不妨考虑用与非门将S与一个输出值的逻辑量连接，再接到S1上。

送数后输出N2N1N00，右移过程中四位输出为N2N1N00→N1N00SR→N00SRSR→0SRSRSR，当输出0SRSRSR时S1从0变成1，由于N2N1N0不可控所以不能作为判据。观察输出规律，当S=1时，标志位的0在后三位时S1=0否则S1=1。因此取SR=1且令S1=(S·（Q2·Q1·Q0）’）’。因此得到逻辑电路图如图3.3.1.

5 实验思考题

1. 在N位移位寄存器中，串行输入N位二进制数需要多少个CP？送数的次序应从高位至低位，还是低位至高位？

答：N个。送数次序取决于寄存器连接的次序，当以Q3为最高位时，若按照实验3.1节接法应从高位至低位，如果是左移寄存器就应该从低位到高位，即送数的次序应从距输入远的位至近的位。

2.设计一个按循环计数的自启动四位环形计数器，画出逻辑图。

答：以Q3为最高位，全状态循环写为二进制即0111→1110→1101→1011→0111。

则4个输出为3个1和1个0时只会右移不会做出其他改变，而其他情况则会在有限个时钟内变成如上情形。由于1比较多一个可行的逻辑为

0 (Q0,Q1,Q2=1)

D0=

1 (其他)

D0=（Q1·Q2·Q3）’

仿真电路如图5.1。

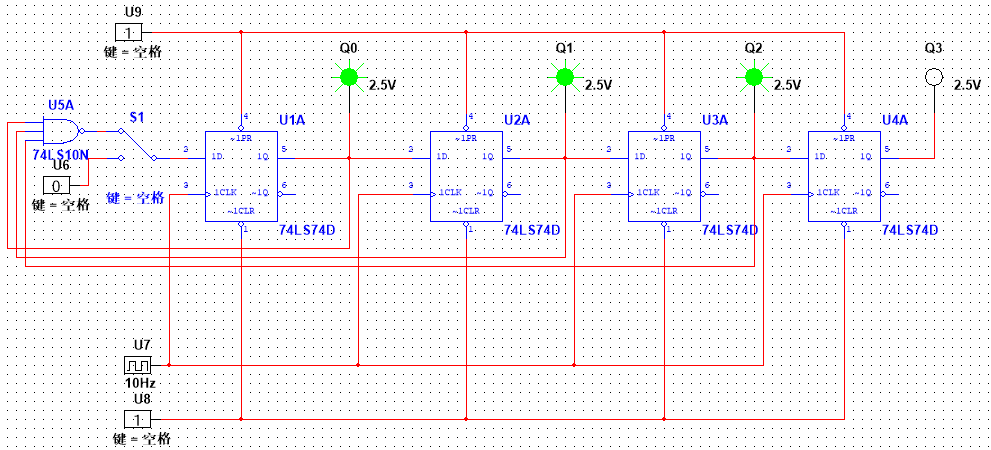


图5.1 思考题2自启动循环计数器仿真电路图

6 实验总结

本实验中，实验者学习了时序逻辑电路的基础知识并进一步掌握了时序逻辑电路的设计步骤和方法；学习了D触发器的知识，熟悉和了解了移位寄存器的工作原理功能及应用方法，用D触发器组装并测试了4位移位寄存器；接触了中规模4位双向移位寄存器74LS194，测试了其逻辑功能，用其设计并组装了包含启动开关的3位串并转换电路；了解了自启动的概念，设计了具有一定功能的自启动电路。