实验十一 编码器和译码器

范玥瑶 PB18000341

2020年7月22日

1 实验目的

1. 熟悉中规模集成电路编码器、译码器的工作原理和逻辑功能；
2. 掌握编码器、译码器的级联方法，了解编码器、译码器的应用。

2 实验原理

* 1. 编码器

编码指用代码表示特定对象的过程（特定对象可以包括字母、数字、符号等）。编码器指实现编码的逻辑电路。

二进制编码的原则为用n位二进制代码可以表示2n个信号，对N个信号编码时，应由2n≥N来确定编码位数n。

* + 1. 二进制编码器

二进制编码器指用n位二进制代码对2n个信号进行编码的电路。例如3位二进制编码器（8-3编码器）指输入8个互斥（I0~I7有且仅有一个取1）的信号输出3位二进制代码，输入信号为高电平有效（有编码请求），输出代码编为原码（对应自然二进制数）。

2.1.2 二—十进制编码器

二—十进制编码器为将0~9十个十进制数转换为二进制代码的电路。8421BCD编码器的真值表如表2.1。在8421BCD编码规则下输入10个互斥的信号，输出4位二进制代码。



表2.1 8421BCD编码器的真值表

* + 1. 优先编码器

优先编码器允许同时输入几个编码信号，而电路只对其中优先级别最高的信号进行编码。8-3优先编码器74LS148的逻辑图如图2.1.1，功能表如表2.2。

功能表上输入均写有“非”，表低电平有效但是表中所示值为输入信号本身；表中其余信号的表示类似。从功能表看出，输入输出的有效信号都是0。在输入中，下标越大，优先级越高。输出为反码输出。控制输入端(选通输入端)时，编码器工作。时，输出均为1，不进行编码。YS为选通输出端。当控制输入端，但无有效信号输入时，YS=0。为扩展输出端。当，且有信号输入时，才为0，否则为1。利用YS和YEX可以判断输出Y2Y1Y0均为1时输入处于何种情况。



图2.1.1 8-3优先编码器74LS148的逻辑图



表2.2 优先编码器74LS148功能表

集成3位二进制优先编码器74LS148的引脚排列图和逻辑功能示意图如图2.1.2。Multisim中的引脚和图2.1.2稍有不同，其输入端编号为D7~D0，输出端编号A2~A0，选通输入端为EI，选通输出端为EO，扩展输出端为GS。



图2.1.2 集成3位二进制优先编码器74LS148（a）引脚排列图（b）逻辑功能示意图

如图2.1.3，通过集成3位二进制优先编码器74LS148的级联可以实现16-4的优先编码器，优先级别从**递降。应从16线-4线优先编码器的功能表和8线-3线优先编码器的功能表的对照对集成3位二进制优先编码器74LS148级联所得16线-4线优先编码器进行理解。



图2.1.3 集成3位二进制优先编码器74LS148级联所得16线-4线优先编码器

* 1. 译码器

译码是编码的逆过程。译码指将表示特定意义信息的二进制代码翻译出来。译码器为实现译码功能的逻辑电路。

二进制译码原则是用n位二进制代码可以表示2n个信号，所以对n位代码译码时，应由2n ≥N来确定译码信号位数N。和编码不同，译码器无优先级。

2.2.1 二进制译码器

二进制译码器指将输入二进制代码译成相应输出信号的电路。译码器有输出高电平有效和输出低电平有效两种类型。输出高电平有效时，每个输出对应输入的一个最小项；输出低电平有效时，每个输出对应输入的一个最小项的非。一个两位的二进制译码器电路结构如图2.2.1，其中（a）为输出高电平有效，（b）为输出低电平有效。



（a）



（b）

图2.2.1 二进制译码器电路结构

设二进制译码器的输入端为n个，则输出端为2n个，且对应于输入代码的每一种状态，2n个输出中只有一个为1（或为0），其余全为0（或为1）。二进制译码器可以译出输入变量的全部状态，故又称为变量译码器。

2.2.2 3位二进制译码器

3位二进制译码器即3线-8线译码器，输入值为3位二进制代码，对应输出值为8个互斥的信号。3位二进制译码器真值表如表2.3。



表2.3 3位二进制译码器真值表

其逻辑表达式为：

3位二进制译码器逻辑图如图2.2.2，是与门组成的阵列。



图2.2.2 3位二进制译码器逻辑图

* + 1. 集成二进制译码器74LS138

集成二进制译码器74LS138的引脚排列图和逻辑功能示意图如图2.2.3.*A2、A1、A0*为二进制译码输入端，~为译码输出端（低电平有效），*G1*、、为选通控制端。当G1＝1且时，译码器处于工作状态；当*G1*＝0或时，译码器处于禁止状态。



图2.2.3 集成二进制译码器74LS138的引脚排列图和逻辑功能示意图

集成二进制译码器74LS138的真值表如表2.4.其输入信号为自然二进制码，输出信号低电平有效。



表2.4 集成二进制译码器74LS138的真值表

如图2.2.4，可以通过将2片74LS138级联组成4-16线译码器以对译码器进行功能扩展。当E=1时，两个译码器均不工作，输出都为高电平；当E=0时，译码器工作。当A3=0时，1号片工作，输出由输入二进制代码A2A1A0决定。当A3=1时，1号片不工作，输出全为高电平1；2号片工作，输出由输入二进制代码A2A1A0决定。



图2.2.4 2片74LS138组成4-16线译码器

3 实验内容

3.1 验证74LS148（优先编码器）的逻辑功能并记录真值表

实验电路的仿真电路图如图3.1.1，得真值表如表3.1。

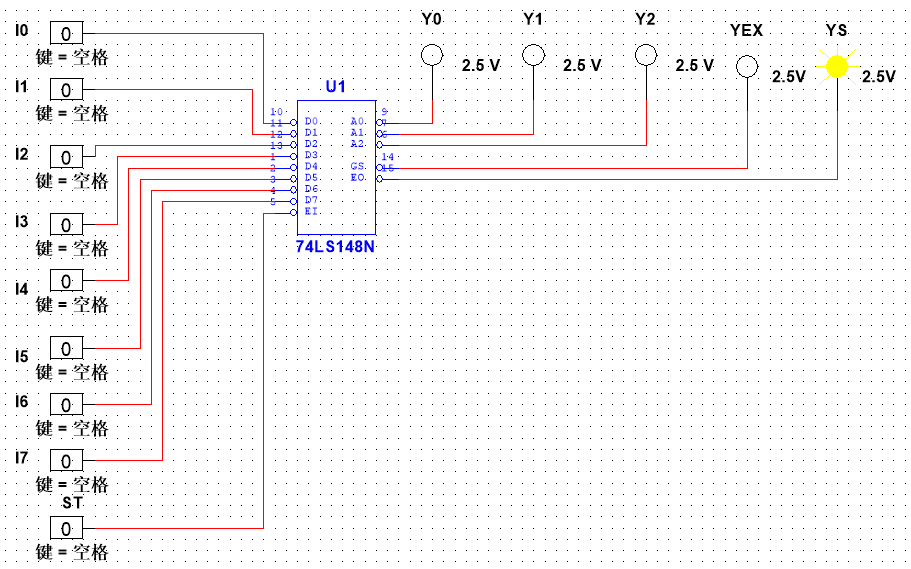


图3.1.1 验证74LS148（优先编码器）逻辑功能仿真电路图

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | | | | | | 输出 | | | | |
| ST | I0 | I1 | I2 | I3 | I4 | I5 | I6 | I7 | Y0 | Y1 | Y2 | YEX | YS |
| 1 | x | x | x | x | x | x | x | x | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | x | x | x | x | x | x | x | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | x | x | x | x | x | x | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | x | x | x | x | x | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | x | x | x | x | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | x | x | x | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | x | x | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | x | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |

表3.1 74LS148真值表

3.2 用两块74LS138（3—8线译码器）级联实现4—16线译码器

用两块74LS138（3—8线译码器）级联实现4—16线译码器，仿真电路图如图3.2.1，记录真值表如表3.2。

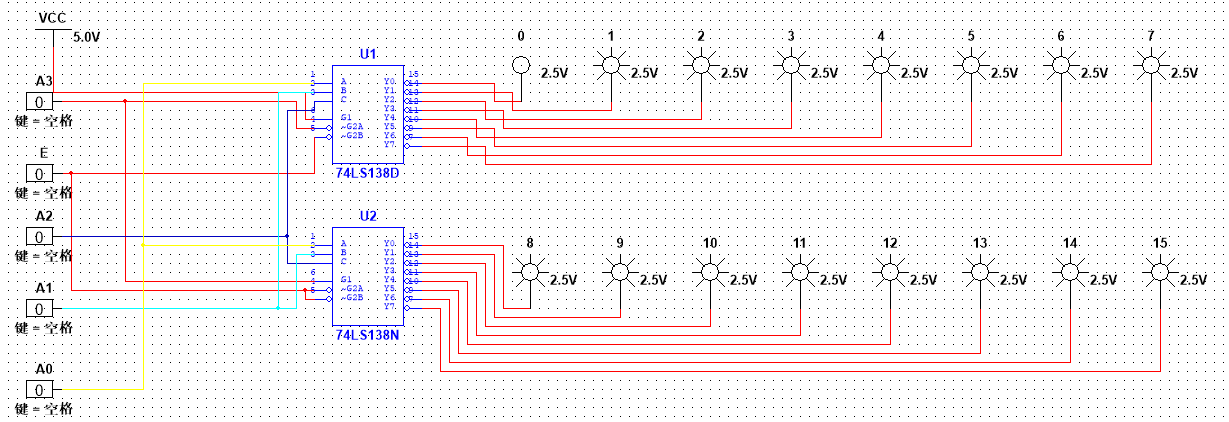


图3.2.1 两块74LS138级联所得4—16线译码器仿真电路图

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | | 输出 | | | | | | | | | | | | | | | |
| E | A0 | A1 | A2 | A3 | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 | Y8 | Y9 | Y10 | Y11 | Y12 | Y13 | Y14 | Y15 |
| 1 | x | x | x | x | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

表3.2 两块74LS138级联所得4—16线译码器真值表

3.3 多输出函数电路设计

用一片74LS138和一片74LS20双与非门设计下面的多输出函数：

S=∑m(1,2,4,7)

C=∑m(3,5,6,7)

即输入一个3位二进制数，输出值有*S*与*C*两个。实验中74LS20的3(NC),11(NC1)脚悬空即可。

仿真电路图如图3.3.1，列出真值表如表3.3。

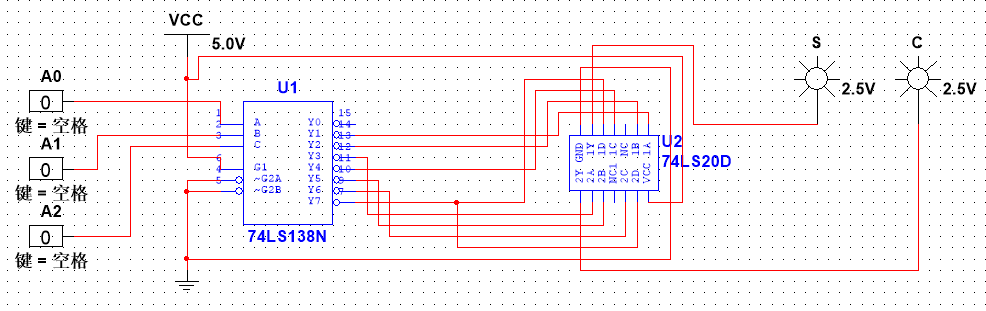


图3.3.1多输出函数电路设计仿真电路图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | 输出 | |
| A2 | A1 | A0 | S | C |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

表3.3 输出函数电路设计真值表

4 实验分析

4.1 验证74LS148（优先编码器）的逻辑功能并记录真值表

实验所得74LS148真值表表3.1与理论值74LS148功能表表2.2相一致。由表3.1得：

1. ST=0时，输入中，下标越大，优先级越高。当某个端口输入为低电平时，下标比该端口小的输入值不影响输出。
2. 表中有3种情况输出Y2Y1Y0均为1：
3. 时，输出均为1，不进行编码。，*YS=1*。
4. ，但无有效信号输入时，，*YS=0*。
5. ，且输入信号为*I0=0*，*I1~I7=1*时，=0，*YS=1*。

利用YS和YEX可以判断输入处于何种情况。

4.2 用两块74LS138（3—8线译码器）级联实现4—16线译码器

设计思路：74LS138工作需要G1＝1且G2A+G2B=0。4—16线译码器输入4位二进制数，范围是0~15，而单个74LS138仅有3位输入和8个输出；因此第一片用于输出0~7，第二片用于输出8~15。在E=1时，两译码器均不工作。考虑量输出量S1,S2, S1=1和S2=1分别表征第1、2片74LS138工作。分别用双下标1，2表示第1、2片74LS138的扩展输入值则：

为简化电路尽量令输入输出量对应。

令，，可得逻辑电路图如图2.2.4。

4.3 多输出函数电路设计

设计思路：74LS138可以将输入的二进制数转化成8个反码输出。

使用双与非门74LS20可得电路如图3.3.1.

5 实验总结

本实验中实验者熟悉了中规模集成电路编码器、译码器的工作原理和逻辑功能；通过用两块74LS138（3—8线译码器）级联实现4—16线译码器，掌握了编码器、译码器的级联方法；通过多输出函数电路设计实验，了解了编码器、译码器的应用；通过对74LS148逻辑功能的验证，加深了对优先编码功能的了解。