实验六 门电路应用

范玥瑶 PB18000341

2020年7月1日

1 实验目的

1. 熟悉数字逻辑电路实验箱的结构和用法。
2. 掌握数字逻辑电路测试方法与测试的原理。
3. 测试与门、或门、非门、与非门和异或门的逻辑功能。
4. 学习用基本逻辑门电路设计组合逻辑电路。

2 实验原理

2.1 集成逻辑门电路

集成逻辑门电路是小规模集成电路，是最基本的数字集成单元，能够实现基本和常用的逻辑运算，应用最广泛的是TTL和CMOS这两类集成门电路。

计算机进行的所有运算都可以拆解为与运算（Y=A AND B=A·B）、或运算（Y= A OR B = A+B）和非运算（Y =NOT A= A’）三种基本逻辑运算，其他运算，如四则运算，均通过三种基本逻辑运算间接实现。三种基本的逻辑门如图2.1.1，三种运算的真值表如表2.1-表2.3。



（a）



（b）



（c）

图2.1.1 基本逻辑门示意图（a）与门（b）或门（c）非门

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

表2.1 与运算真值表

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

表2.2 或运算真值表

|  |  |
| --- | --- |
| A | Y |
| 0 | 1 |
| 1 | 0 |

表2.3 非运算真值表

除此之外还有基本运算组合而成的与非运算（Y=(A·B)’）和异或运算(Y=A⊕B)两种复合逻辑运算，对应的复合逻辑门如图2.1.2，真值表如表2.4、表2.5。



（a）



（b）

图2.1.1 复合逻辑门（a）与非门（b）异或门

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

表2.4 与非运算真值表

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

表2.5 异或运算真值表

2.2 组合逻辑电路的设计

组合逻辑电路的设计流程如图2.2.1.

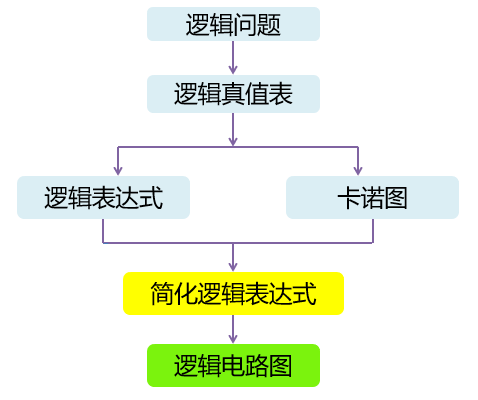


图2.2.1 组合逻辑电路的设计流程图

2.3 TTL集成电路使用规则

1. 电源电压：电源极性绝对不允许接错，尤其地线，否则芯片会烧坏。

2. 闲置输入端处理方法：悬空，相当于接高电平，但易受外界的干扰，对于接有长线的输入端，使用集成电路较多的复杂电路，必须按逻辑要求接入电路，不允许悬空。

3. 输出端不允许直接接+5V或接地。输出不允许并联使用（集电极开路门和三态输出门除外。）

4. 在装接电路，改变电路连接或插、拔电路时，均应切断电源，严禁带电操作。

2.4 CMOS集成电路使用规则

1. 电源电压：电源电压不能接反，以防烧坏芯片。

2. 闲置输入端处理方法：所有多余的输入端不能悬空，应按照逻辑要求直接接VDD或VSS（地）。

3. 输出端不允许直接接VDD或地。除漏极开路输出门及三态门外，不允许两个器件的输出端连接使用，否则将导致器件损坏。

4. 在装接电路，改变电路连接或插、拔电路时，均应切断电源，严禁带电操作。

2.5 逻辑门电路功能与性能的测试

逻辑门电路功能与性能的测试方法有静态测试法、动态测试法两种：

1. 静态测试法：给门电路输入端加固定的高(H)、低（L）电平，用示波器、万用表或发光二极管（LED）测出门电路的输出响应。

2. 动态测试法：给门电路输入端加一串脉冲信号，用示波器观测输入波形与输出波形的同步关系。

2.6 故障的排除

数字电路实验中，故障基本分为三种：元器件故障、接线问题和设计错误。

元器件故障：测试器件的功能，判断其是否失效。

接线问题：检查导线通断，排查错误的接线，用逻辑笔查找虚连的导线。

设计错误：认真分析问题所在，掌握原理，重新设计。

线上实验仅有设计错误一种。线下实验最常见的是接线问题，一般是接线断开问题。

3 实验内容

本实验中用到的实验设备与器件有：

1. MULTISIM仿真软件

2. 74LS 系列或 74HC 系列芯片若干

3.1 逻辑门电路的测试

与非门74LS00示意图如图3.1.1.连接电路，输入端输入高低电平，输出端使用灯泡显示其逻辑功能，填写表3.1.仿真电路图如图3.1.2.

将与非门74LS00换成74LS08、74LS32、74LS04、74LS86、74LS20重复上述步骤，将数据记录在表3.2-3.6。仿真电路图如图3.1.3-3.1.7.



图3.1.1 与非门74LS00示意图

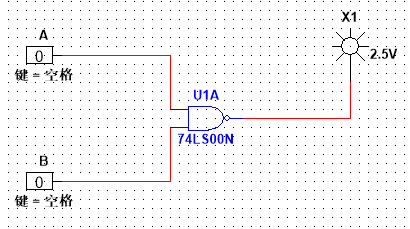


图3.1.2 74LS00的测试仿真电路图

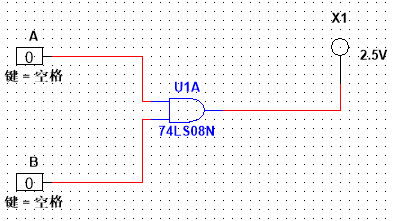


图3.1.3 74LS08的测试仿真电路图

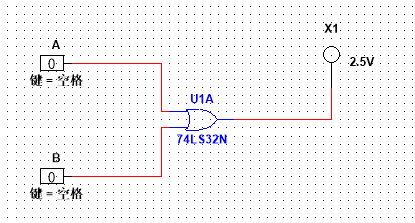


图3.1.4 74LS32的测试仿真电路图

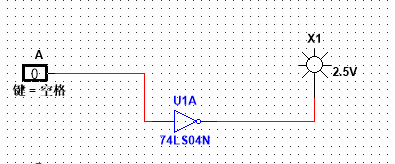


图3.1.5 74LS04的测试仿真电路图

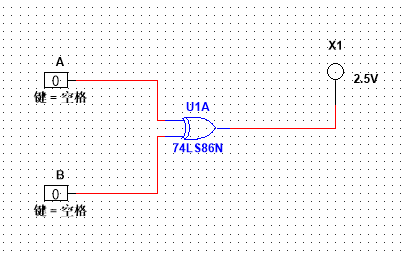


图3.1.6 74LS86的测试仿真电路图

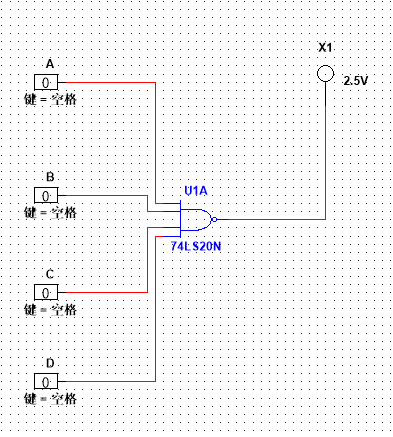


图3.1.7 74LS20的测试仿真电路图

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

表3.1 74LS00真值表

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

表3.2 74LS08真值表

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

表3.3 74LS32真值表

|  |  |
| --- | --- |
| 输入 | 输出 |
| 0 | 1 |
| 1 | 0 |

表3.4 74LS04真值表

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

表3.5 74LS86真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | | 输出 |
| A | B | C | D | Y |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

表3.6 74LS20真值表

3.2 动态测试

选用一个与非门连线如图3.2.1，将一个输入端接连续脉冲源（频率为20kHz），S接任一逻辑电平开关，用示波器观察并记录S分别输入高电平H和低电平L时的输出波形。按上述要求分别对与门、或门、异或门进行动态测试。

仿真电路图如图3.2.2-3.2.5，输出波形如图3.2.6-3.2.9.

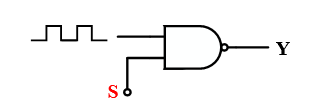


图3.2.1 动态测试电路图

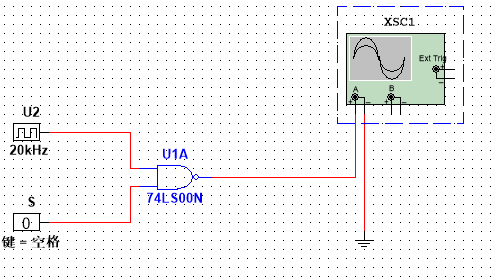


图3.2.2 与非门动态测试仿真电路图

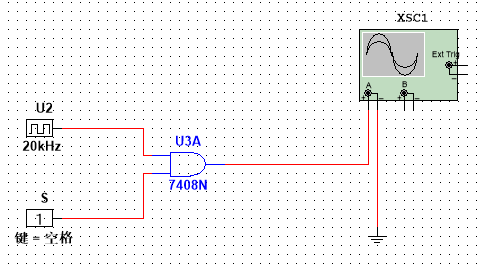


图3.2.3 与门动态测试仿真电路图

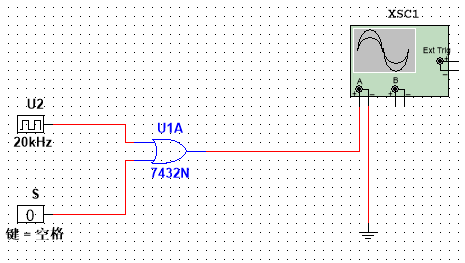


图3.2.4 或门动态测试仿真电路图

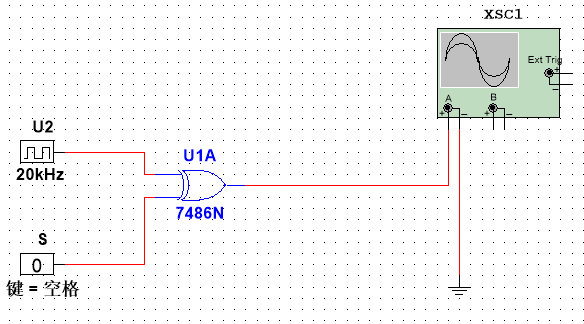
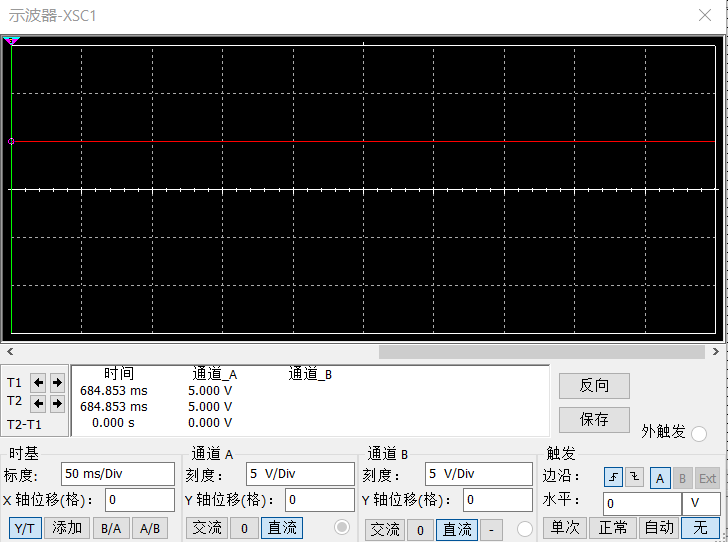
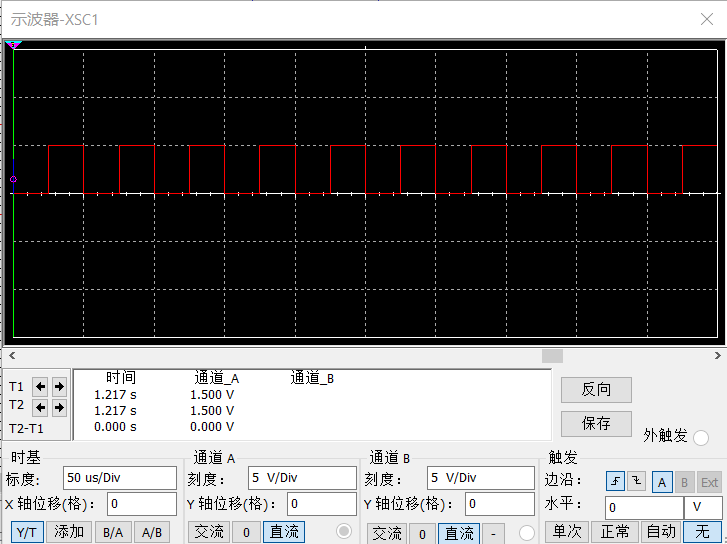


图3.2.5 异或门动态测试仿真电路图

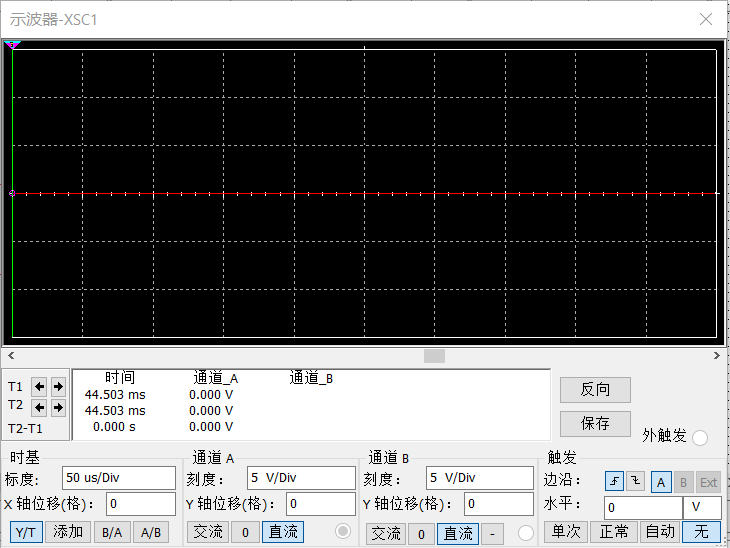


（a）

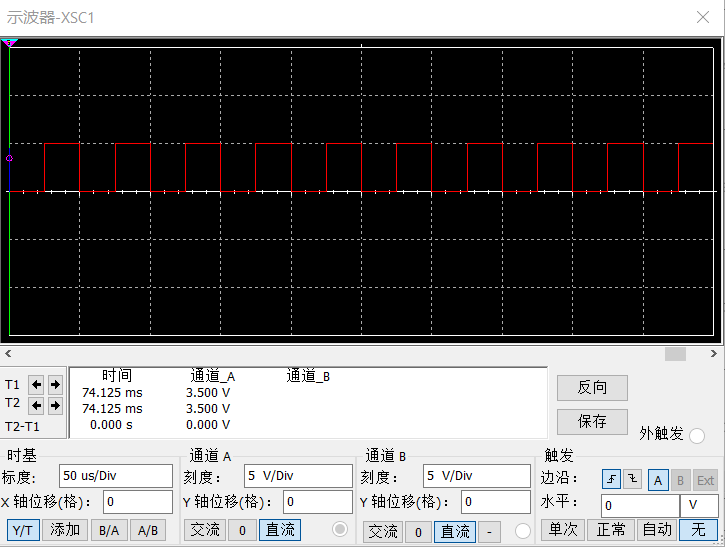


（b）

图3.2.6 与非门动态测试输出波形（a）低电平（b）高电平

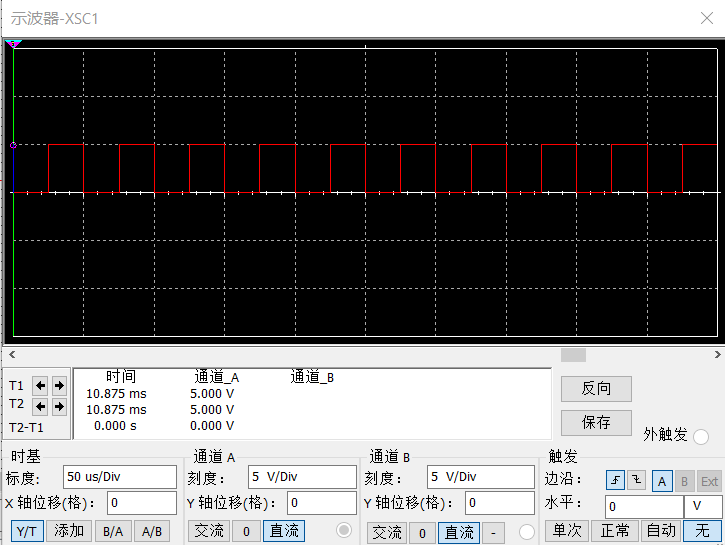


（a）

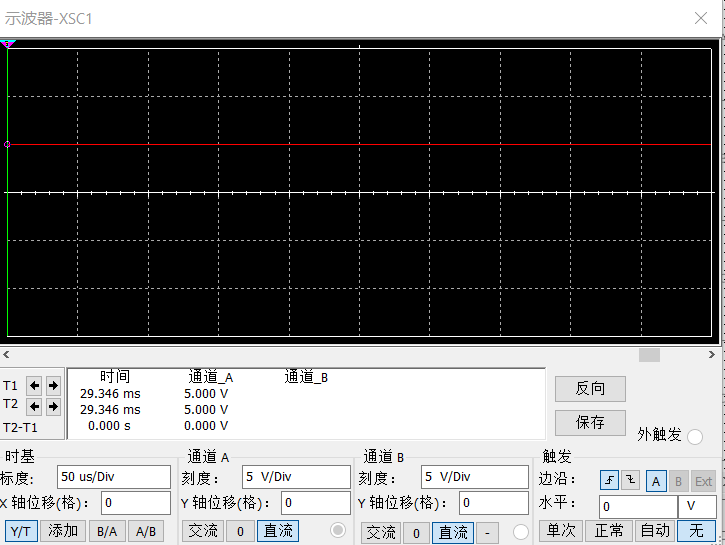


（b）

图3.2.7 与门动态测试输出波形（a）低电平（b）高电平

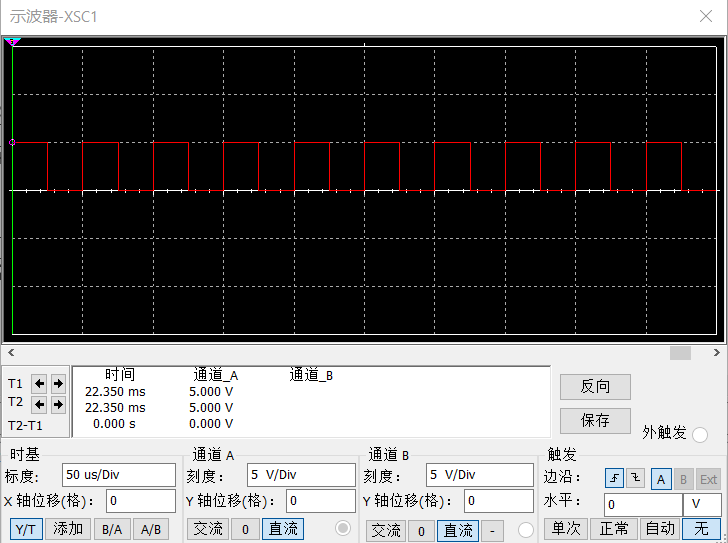


（a）

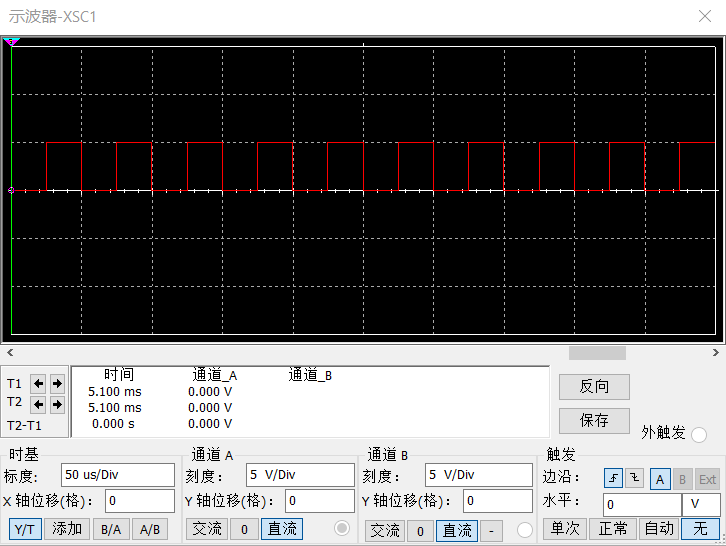


（b）

图3.2.8 或门动态测试输出波形（a）低电平（b）高电平



（a）



（b）

图3.2.9 异或门动态测试输出波形（a）低电平（b）高电平

3.3四输入多数表决电路

用与非门设计一个四输入多数表决电路，电路图如图3.3.2，真值表如表3.7，仿真电路图如图3.3.3。

设计思路：

1. 逻辑问题：当四个输入端中有三个或四个为1时，输出才为1，否则输出为0。
2. 逻辑真值表：真值表如表3.7。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | | 输出 |
| A | B | C | D | Y |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

表3.7 四输入多数表决电路逻辑真值表

3.（1）逻辑表达式：

（2）卡诺图：四输入多数表决电路的卡诺图如图3.3.1.

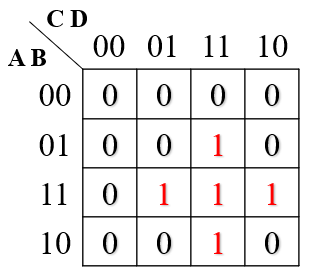
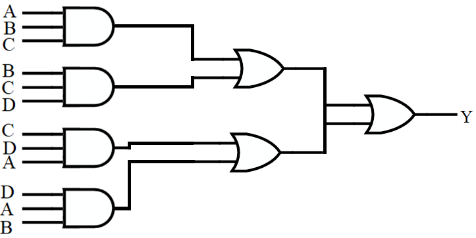


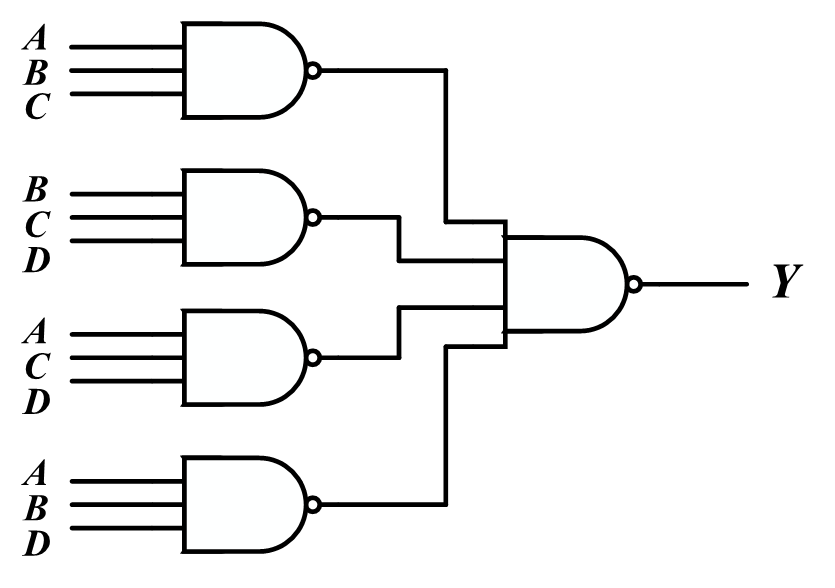
图3.3.1 四输入多数表决电路卡诺图

4.简化逻辑表达式：将四输入多数表决电路的逻辑表达式写基本逻辑运算形式和与非形式得

1. 逻辑电路图：考察元件后设计得逻辑电路图如图3.3.2。由于或门只有三输入和二输入，四输入的或运算用3个或门两级运算完成。

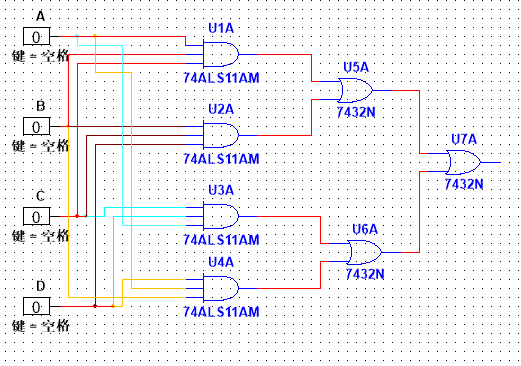


（a）

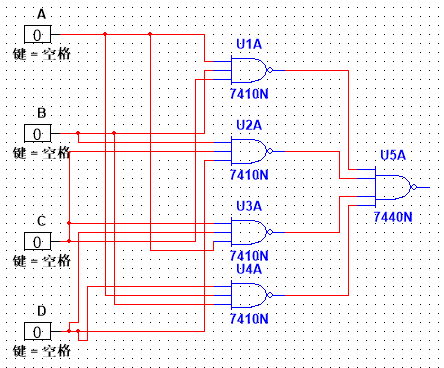


（b）

图3.3.2 四输入多数表决电路图（a）与门和或门（b）与非门



（a）



（b）

图3.3.3四输入多数表决电路仿真电路图（a）与门和或门（b）与非门

3.4 四输入控制电路

设计一个用A、B、C、D四个开关控制一盏灯L的电路，要求改变任何一个开关状态都能使L的状态（亮或灭）发生改变。

设计思路：

1. 逻辑问题：改变A,B,C,D任何一个都能使输出发生改变。
2. 逻辑真值表：若输入全为0时输出为0，则有逻辑真值表如表3.8：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | | 输出 |
| A | B | C | D | Y |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

表3.8 四输入控制电路真值表

3.（1）逻辑表达式：

（2）卡诺图：如图3.4.1

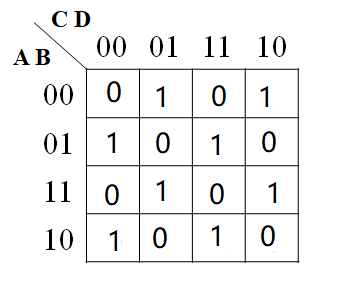


图3.4.1 四输入控制电路卡诺图

1. 简化逻辑表达式：考虑到异或门只有二输入，逻辑表达式：
2. 逻辑电路图：电路图如图3.4.2，仿真连线图如图3.4.3.

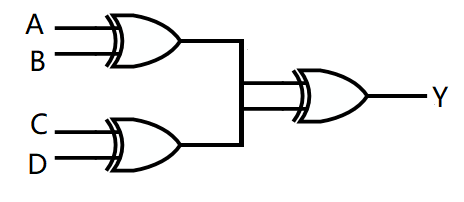


图3.4.2 四输入控制电路图

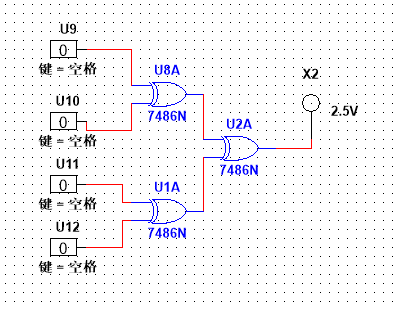


图3.4.3 四输入控制电路仿真电路图

4 实验分析

4.1 逻辑门电路的测试

已知74LS00是与非门。根据实验结果，74LS08是与门，74LS32或门，74LS04是非门，74LS86是异或门，74LS20是四输入与非门。

此外，根据测试数据，对于所测逻辑门电路，输出与输入信号顺序无关，只与高、低电平输入的数目有关。

4.2 动态测试

4.2.1 与非门

理论分析：数字源输入为低电平，与非门输出恒为1。数字源输入为高电平，当连续脉冲源输入为高电平时，输出为0，反之输出为1，所以数字源输入为高电平时，输出是和连续脉冲源输出高低电平相反的方波。

图3.2.6与之相符。

4.2.2 与门

理论分析：数字源输入为低电平，与门输出恒为0。数字源输入为高电平，当连续脉冲源输入为高电平时，输出为1，当连续脉冲源输入为低电平时，输出为0，所以数字源输入为高电平时，输出是和连续脉冲源高低电平相同的方波。

图3.2.7与之相符。

4.2.3 或门

理论分析：数字源输入为低电平时，当连续脉冲源输入为低电平时输出为0，当连续脉冲源输入为高电平时输出为1，所以数字源输入为低电平时，输出是和连续脉冲源高低电平相同的方波。数字源输入为高电平时或门输出为1。

图3.2.8与之相符。

4.2.4 异或门

理论分析：数字源输入为低电平时，当连续脉冲源输入为低电平时异或门输出为0，当连续脉冲源输入为高电平时异或门输出为1，所以数字源输入为低电平时异或门输出和连续脉冲源高低电平相同的方波。数字源输入为高电平时，当连续脉冲源输入为低电平时异或门输出为1，当连续脉冲源输入为高电平时异或门输出为0，所以数字源输入为低电平时异或门输出和连续脉冲源高低电平相反的方波。

图3.2.9与之相符。

4.3 电路设计

设计思路见3.3和3.4。此外，在列逻辑表达式时可以将某个输入为1用事件A,B,C,D表示，输入为0则为A’,B’,C’,D’。每种输入组合对应的四个输入事件的和是一个基本事件。输出为1记为事件Y，Y是其包含基本事件的或，由此可以写出逻辑表达式。

5 实验思考题

1. 为了判断74LS20逻辑功能是否正常，至少要测量几组输入？

答：5组。由实验，对于所测逻辑门电路74LS20，输出与输入信号顺序无关，只与高、低电平输入的数目有关。所以需要0，1，2，3，4个高电平这5组输入。

2. 设计一个保险箱用的4位代码数字锁，4位代码A、B、C、D四个输入端和一个开锁用的钥匙孔输入端E，当开锁时（E=1），如果输入的代码（例如1010）与设定的密码相同，则保险箱打开（输出Y=1），否则电路发出报警信号（输出端Z=1）。

答：设计思路如下：

1. 逻辑问题：当且仅当A,B,C,D为1010且E=1时Y=1，当且仅当A,B,C,D不是1010且E=1时Z=1。
2. 逻辑真值表如表5.1

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | | 输出 | |
| A | B | C | D | E | Y | Z |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 |

表5.1 逻辑真值表

1. 本题直接求逻辑表达式，不画卡诺图。

（1）（2）比较简洁，不作进一步化简。

4. 逻辑电路图：逻辑电路图如图5.1。

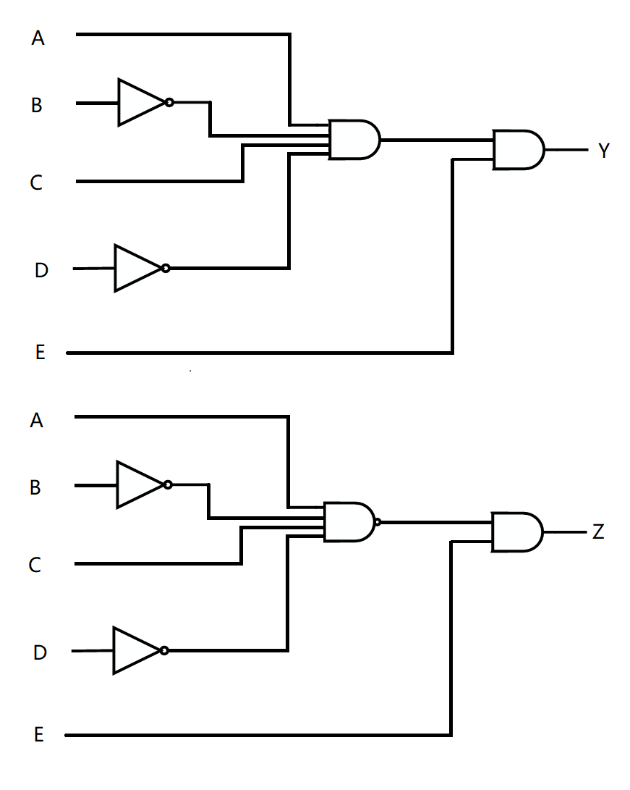


图5.1 逻辑电路图

在Multisim中的仿真电路图如图5.2。

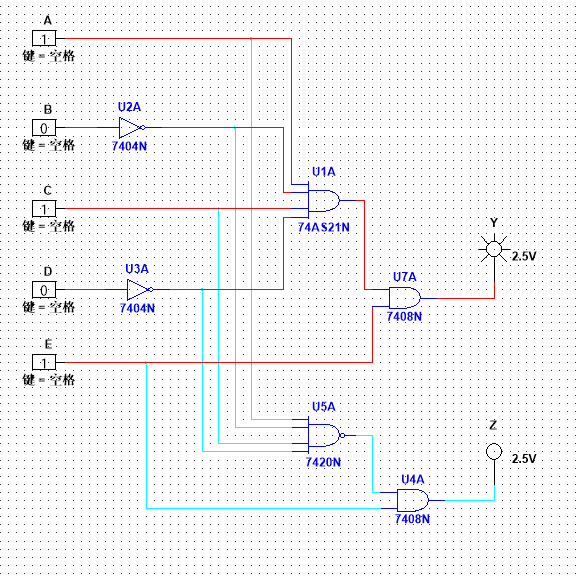


图5.2 仿真电路图

6 实验总结和建议

本实验中，实验者熟悉了数字逻辑电路实验箱的结构和用法；掌握了数字逻辑电路测试方法与测试的原理；测试了与门、或门、非门、与非门和异或门的逻辑功能；学习了用基本逻辑门电路设计组合逻辑电路。实验者学习了基本的电路知识，对计算机的发展有初步的认知。实验者对6种逻辑门电路进行静态测试，得出其真值表和逻辑功能；对4种逻辑门进行动态测试，理论分析并正确推测出实验结果。实验者利用电路设计流程和概率论知识，结合元件型号设计出3种电路。

此外，在进行电路实验时使用与门7409N会有出现逻辑上输出为1但是输出为0的情况。询问老师后了解到，7409N是集电极开路的门电路，输出端需要加上拉电阻，使用方面和二输入与门有轻微差异。

7 实验数据

实验数据见3 实验内容。