|  |  |
| --- | --- |
|  | |
| МИНОБРНАУКИ РОССИИ | |
| Федеральное государственное бюджетное образовательное учреждениевысшего профессионального образования"Московский технологический университет" **МИРЭА** | |
| **Институт информационных технологий (ИТ)** | |
| Кафедра вычислительной техники (ВТ) | |

|  |  |  |
| --- | --- | --- |
| **ОТЧЕТ**  **О выполнении практического задания №2** | | |
| **по дисциплине** | | |
| **«**Моделирование**»**  *Вариант 20* | | |
|  | | |
| Выполнил студент группы ИВБО-03-14 | *Кривошея М.С.* | |
| Преподаватель | *Борисенко Н.В.* | |

Москва 2016г

[Введение 3](#_Toc465631450)

[Техническое задание 3](#_Toc465631451)

[Таблица варианта 3](#_Toc465631452)

[Описание устройства 4](#_Toc465631453)

[Назначение входов и выходов 4](#_Toc465631454)

[Назначение регистров и блоков внутри устройства 4](#_Toc465631455)

[Вывод на семисегментный индикатор 5](#_Toc465631456)

[Фильтр дребезга контактов 6](#_Toc465631457)

[Реализация устройства на языке Verilog 6](#_Toc465631458)

[Верхний модуль «TOP.v» 6](#_Toc465631459)

[Фильтр дребезга контактов «ButtonFilter.v» 7](#_Toc465631460)

[Блок преобразования числа для вывода «ToDysplay.v» 8](#_Toc465631461)

[Блок преобразования номера по заданию «ToValue.v» 8](#_Toc465631462)

[Тестирование устройства в симуляторе ISim 9](#_Toc465631463)

[Тестовый модуль «TEST\_TOP.v» 9](#_Toc465631464)

[Временная диаграмма 10](#_Toc465631465)

Введение

Техническое задание**.**

Спроектировать устройство выводящее свое состояние на семисегментные и на LED индикаторы. Устройство должно поочередно отобразить все биты из таблицы варианта, переключение состояния осуществляется нажатием на кнопку, подключаемую ко входу устройства.

Реализовать на языке Verilog тестовое окружение и провести верификацию спроектированных моделей при помощи симулятора iSim из состава САПР Xilinx ISE Design Suite.

Провести апробацию моделей при помощи отладочной платы Digilent Nexys 4 на ПЛИС Xilinx Artix 7 XC7A100T-1CSG324. Комбинации на входах комбинационных схем должны задаваться при помощи движковых переключателей отладочной платы, комбинации на выходах комбинационных схем должны отображаться светодиодами отладочной платы.

Таблица варианта**.**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Вар\Вх.** | F | E | D | C | B | A | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| **20** | 7 | E | 8 | 9 | 5 | F | B | 5 | 3 | C | 7 | 3 | D | 1 | 7 | A |

Табл.1 Вариант задания.

Описание устройства

Назначение входов и выходов

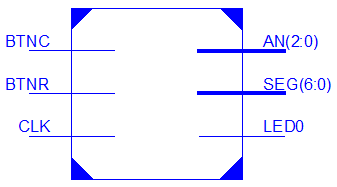


Рис. 1 Проектируемое устройство

Назначение входов:

* BTNC – сигнал перехода в следующее состояние
* BTNR – сигнал сброса состояния устройства
* CLK – синхросигнал

Назначение выходов:

* AN[2:0] – шина выбора семисегментного индикатора
* SEG[6:0] – шина значения семисегментного индикатора
* LED0 – сигнал активации LED индикатора

Назначение регистров и блоков внутри устройства

Устройство содержит следующие регистры:

* STATE [1:0] – хранит номер, необходимый для выбора семисегментного индикатора.
* ADDRESS [5:0] – хранит номер состояния устройства
* SEG\_BUFF[3:0] – хранит число, которое необходимо вывести на семисегментный индикатор.

При каждом нажатии на кнопку, подключенную ко входу BTNC значение в регистре ADDRESS увеличивается на единицу. При этом если значение больше 63, то устройство начинает цикл заново. 4 старших разряда ADDRESS указывают на выбранное число, младшие 2 разряда указывают на выбранный номер бита этого числа. Значение бита этого бита выводится на LED0. На семисегментные индикаторы выводится номер бита, выбранное число и соответствующее ему число из таблицы 1.

Вход BTNC рассчитан на подключение к реальной кнопке и оснащен фильтром дребезга контактов.

Вывод на семисегментный индикатор

Индикатор имеет 7 входов, каждый из которых активирует определенный сегмент. Активация происходит низким уровнем.

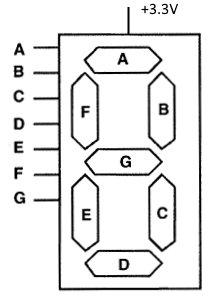
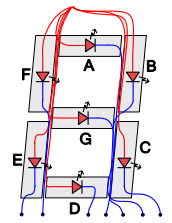
 

Рис. 2 Расположение элементов сесисегментника

Для вывода информации на семисегментный индикатор был разработан отдельный блок. Он преобразовывает 4х разрядное число в комбинацию, соответствующею его записи в hex.

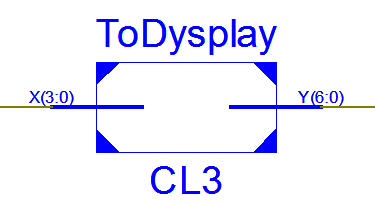


Рис. 3 Блок преобразования 4х разрядного числа

Отладочная плата Nexys 4 имеет 8 семисегментных индикаторов. Вывод информации на каждый из них осуществляется поочередно, на один индикатор за такт. Для этого на шину AN[7:0] необходимо подать «1» на те биты, номера которых соответствуют номеру нужных индикаторов.

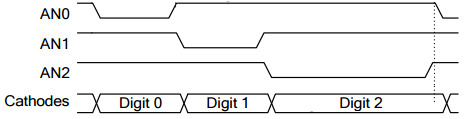


Рис. 4 Временная диаграмма вывода 3х чисел

Фильтр дребезга контактов

Для устранения многократного срабатывания был разработан блок ButtonFilter. Блок содержит 12 разрядный счетчик и один регистр. Он выдает на выход «1» если на его вход длительное время поступал сигнал «1». Сигнал на выходе активен только 1 такт, так что при длительном нажатии не возникнет лишних срабатываний.

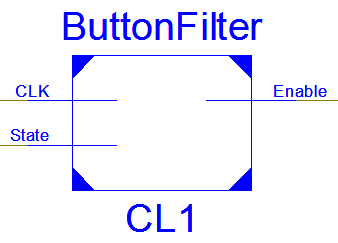


Рис. 4 Блок фильтра дребезга контактов

Время до срабатывания зависит от разрядности счетчика и частоты работы устройства. При частоте 100МГц и 12 разрядном счетчике блок выдаст «1» через 4мс после нажатия на кнопку.

Реализация устройства на языке Verilog

Верхний модуль «TOP.v»

`timescale 1ns / 1ps

module TOP(

input CLK,

input BTNC,

input BTNR,

output [6:0] SEG,

output reg [2:0] AN,

output reg LED0

);

reg [1:0] STATE;

reg [5:0] ADDRESS;

reg [3:0] SEG\_BUFF;

wire [3:0] VALUE;

initial begin

STATE <= 2'h0;

ADDRESS <= 0;

end

always @ (posedge CLK, posedge BTNR) begin

if(BTNR) begin

STATE <= 2'h0;

ADDRESS <= 0;

end else begin

if(BTNC\_F) begin

ADDRESS <= ADDRESS + 1;

end

LED0 <= VALUE[ADDRESS[1:0]];

case (STATE)

2'b00 : begin

SEG\_BUFF <= ADDRESS[5:2];

AN <= 3'b001;

end

2'b01 : begin

SEG\_BUFF <= VALUE;

AN <= 3'b010;

end

default: begin

SEG\_BUFF[3:2] <= 2'b00;

SEG\_BUFF[1:0] <= ADDRESS[1:0];

AN <= 3'b100;

end

endcase

STATE <= STATE + 1;

end

end

ButtonFilter CL1(BTNC, CLK, BTNC\_F);

ToValue CL2(ADDRESS[5:2], VALUE);

ToDysplay CL3(SEG\_BUFF, SEG);

endmodule

Фильтр дребезга контактов «ButtonFilter.v»

`timescale 1ns / 1ps

module ButtonFilter(

input State,

input CLK,

output reg Enable

);

reg [11:0] counter; // 4096/100000000 ~= 4ms

reg SET;

initial begin

SET <= 0;

Enable <= 0;

end

always @(posedge CLK) begin

Enable <= 0;

if(State) begin

counter <= counter + 1;

if(counter == 12'hFFF && SET == 0) begin

Enable <= 1;

SET <= 1;

end

end else begin

counter <= 0;

SET <= 0;

end

end

endmodule

Блок преобразования числа для вывода «ToDysplay.v»

`timescale 1ns / 1ps

module ToDysplay(

input [3:0] X,

output reg [6:0] Y

);

always @ (X)

begin

Y[0] <= (X == 1)|(X == 4)|(X == 4'hB)|(X == 4'hD);

Y[1] <= (X == 5)|(X == 6)|(X == 4'hB)|(X == 4'hC)|(X == 4'hE)|(X == 4'hF);

Y[2] <= (X == 2)|(X == 4'hC)|(X == 4'hE)|(X == 4'hF);

Y[3] <= (X == 1)|(X == 4)|(X == 7)|(X == 4'hA)|(X == 4'hF);

Y[4] <= (X == 1)|(X == 3)|(X == 4)|(X == 5)|(X == 7)|(X == 9);

Y[5] <= (X == 1)|(X == 2)|(X == 3)|(X == 7)|(X == 4'hD);

Y[6] <= (X == 0)|(X == 1)|(X == 7)|(X == 4'hC);

end

endmodule

Блок преобразования номера по заданию «ToValue.v»

`timescale 1ns / 1ps

module ToValue(

input [3:0] X,

output reg [3:0] Y

);

always @ (X)

begin

case(X)

4'h0: Y <= 4'hA;

4'h1: Y <= 4'h7;

4'h2: Y <= 4'h1;

4'h3: Y <= 4'hD;

4'h4: Y <= 4'h3;

4'h5: Y <= 4'h7;

4'h6: Y <= 4'hC;

4'h7: Y <= 4'h3;

4'h8: Y <= 4'h5;

4'h9: Y <= 4'hB;

4'hA: Y <= 4'hF;

4'hB: Y <= 4'h5;

4'hC: Y <= 4'h9;

4'hD: Y <= 4'h8;

4'hE: Y <= 4'hE;

4'hF: Y <= 4'h7;

endcase

end

endmodule

Тестирование устройства в симуляторе ISim

Тестовый модуль «TEST\_TOP.v»

`timescale 1ns / 1ps

module TEST\_TOP;

reg CLK;

reg BTNC;

reg BTNR;

wire [6:0] SEG;

wire AN0;

wire AN1;

wire LED0;

TOP uut (

.CLK(CLK),

.BTNC(BTNC),

.BTNR(BTNR),

.SEG(SEG),

.AN(AN),

.LED0(LED0)

);

always begin

CLK = 1'b0; #25;

CLK = 1'b1; #25;

end

initial begin

BTNC = 0; BTNR = 0; #100;

BTNR = 1; #100;

BTNR = 0; #100;

repeat (16) begin

repeat (4) begin

BTNC = 1; #10;

BTNC = 0; #50;

BTNC = 1; #250;

BTNC = 0; #80;

BTNC = 1; #20;

BTNC = 0; #170;

BTNC = 1; #300000;

BTNC = 0; #120;

BTNC = 1; #10;

BTNC = 0; #50;

BTNC = 1; #250;

BTNC = 0; #80;

BTNC = 1; #20;

BTNC = 0; #170;

end

end

end

endmodule

Временная диаграмма

