

## N32G430x6/x8 数据手册

N32G430系列采用32-bit ARM Cortex-M4F内核，最高工作主频128MHz，支持浮点运算和DSP指令，集成高达64KB嵌入式加密Flash，16KB SRAM，集成丰富的高性能模拟器件，内置1个12bit 4.7Msps ADC，3个高速比较器，集成多路U(S)ART、I2C、SPI、CAN等数字通信接口

### 关键特性

- 内核 CPU
  - 32 位 ARM Cortex-M4 内核+ FPU，支持 DSP 指令
  - 内置 1KB 指令 Cache 缓存，支持 Flash 加速单元执行程序 0 等待
  - 最高主频 128MHz，160DMIPS
- 加密存储器
  - 高达 64KByte 片内 Flash，支持加密存储、分区管理及数据保护，1 万次擦写次数，10 年数据保持
  - 高达 16KByte 片内 SRAM，Stop2 模式保持，Standby 模式可配置为保持
- 功耗模式
  - 支持 Run、Sleep、Stop0、Stop2、Standby 模式
- 高性能模拟接口
  - 1 个 12bit 4.7Msps ADC，12/10/8/6bits 可配置，多达 16 路外部单端输入通道，3 个内部单端输入通道，支持差分模式
  - 3 个高速比较器，内置 64 级可调比较基准
- 时钟
  - HSE: 4MHz~32MHz 外部高速晶体
  - LSE: 32.768KHz 外部低速晶体
  - HSI: 内部高速 RC 8MHz
  - LSI: 内部低速 RC 40KHz
  - 内置高速 PLL
  - MCO: 支持 2 路时钟输出，可配置 SYSCLK、HSI、HSE、LSI、LSE、可分频的 PLL 时钟输出
- 复位
  - 支持上电/掉电/外部引脚复位
  - 支持看门狗复位、软件复位
  - 支持可编程的电压检测
- 最大支持 39+1 个 GPIOs
- 通信接口
  - 4 个 U(S)ART 接口，其中 2 个 USART 接口（支持 ISO7816，IrDA，LIN），2 个 UART 接口
  - 2 个 SPI 接口，主模式速率高达 28 Mbps（不带 CRC），20Mbps(带 CRC)，从模式速率高达 32 Mbps，支持 I<sup>2</sup>S 通信
  - 2 个 I2C 接口，速率高达 1 MHz，主从模式可配，从机模式下支持双地址响应
  - 1 个 CAN 2.0A/B 总线接口，速率高达 1Mbps

- 1 个高速 DMA 控制器，支持 8 通道，通道源地址及目的地址任意可配
- 1 个 RTC 实时时钟，支持闰年万年历，闹钟事件，周期性唤醒,支持内外部时钟校准
- 1 个蜂鸣器 Beeper，支持互补输出，12mA 输出驱动能力
- 定时计数器
  - 2 个 16bit 高级定时计数器，支持输入捕获，互补输出，正交编码输入，最高控制精度 7.8ns；每个定时器有 4 个独立的通道，其中 Timer1 支持 4 个通道 8 路互补 PWM 输出，Timer8 支持 3 个通道 6 路互补 PWM 输出
  - 4 个 16bit 通用定时计数器，每个定时器有 4 个独立通道，支持输入捕获/输出比较/PWM 输出
  - 1 个 16bit 基础定时计数器
  - 1 个 16bit 低功耗定时计数器，支持单脉冲和双脉冲计数功能，可在 STOP2 模式下工作
  - 1x 24bit SysTick
  - 1x 14bit 窗口看门狗(WWDG)
  - 1x 12bit 独立看门狗(IWDG)
- 编程方式
  - 支持 SWD/JTAG 在线调试接口
  - 支持 UART Bootloader
- 安全特性
  - Flash 存储加密，多用户分区管理（MMU）
  - CRC16/32 运算
  - 支持写保护（WRP），多种读保护（RDP）等级（L0/L1/L2）
  - 支持安全启动，程序加密下载，安全更新
  - 支持外部时钟失效监测，防拆监测
- 96 位 UID 和 128 位 UCID
- 工作条件
  - 工作电压范围：2.4V~3.6V
  - 工作温度范围：-40℃~105℃
  - ESD: ±4KV（HBM 模型），±2KV（CDM 模型）
- 封装
  - LQFP32(7mm x 7mm)
  - LQFP48(7mm x 7mm)
  - QFN20(3mm x 3mm)
  - QFN28(4mm x 4mm)
  - QFN32(4mm x 4mm)
  - QFN48(6mm x 6mm)
  - TSSOP20(6.5mm x 4.4mm)
- 订购型号

系列	型号
N32G430x6	N32G430C6L7, N32G430K6L7 N32G430C6Q7, N32G430K6Q7, N32G430G6Q7, N32G430F6Q7, N32G430F6S7, N32G430F6S7-1
N32G430x8	N32G430C8L7, N32G430K8L7 N32G430C8Q7, N32G430K8Q7, N32G430G8Q7, N32G430F8Q7, N32G430F8S7, N32G430F8S7-1

## 目录

<b>1</b>	<b>产品简介 .....</b>	<b>10</b>
1.1	命名规则 .....	11
1.2	器件一览 .....	12
<b>2</b>	<b>功能简介 .....</b>	<b>13</b>
2.1	处理器内核 .....	13
2.2	存储器 .....	13
2.2.1	嵌入式闪存存储器 (FLASH) .....	14
2.2.2	嵌入式SRAM .....	15
2.2.3	嵌套的向量式中断控制器 (NVIC) .....	15
2.3	外部中断/事件控制器 (EXTI) .....	15
2.4	时钟系统 .....	15
2.5	启动模式 .....	16
2.6	供电方案 .....	16
2.7	复位 .....	17
2.8	可编程电压监测器 .....	17
2.9	电压调压器 .....	17
2.10	低功耗模式 .....	17
2.11	直接存储器存取 (DMA) .....	18
2.12	实时时钟 (RTC) .....	18
2.13	定时器和看门狗 .....	18
2.13.1	低功耗定时器 (LPTIM) .....	18
2.13.2	基本定时器 (TIM6) .....	19
2.13.3	通用定时器 (TIMx) .....	19
2.13.4	高级控制定时器 (TIM1 and TIM8) .....	19
2.13.5	系统时基定时器 (SysTick) .....	20
2.13.6	看门狗定时器 (WDG) .....	20
2.14	I <sup>2</sup> C总线接口 .....	21
2.15	通用同步/异步收发器 (USART) .....	22
2.16	串行外设接口 (SPI) .....	24
2.17	串行音频接口 (I <sup>2</sup> S) .....	24
2.18	控制器局域网 (CAN) .....	25
2.19	通用输入输出接口 (GPIO) .....	26
2.20	模拟/数字转换器 (ADC) .....	27
2.21	模拟比较器 (COMP) .....	28
2.22	温度传感器 (TS) .....	28
2.23	蜂鸣器 (BEEPER) .....	28
2.24	循环冗余校验计算单元 (CRC) .....	28
2.25	唯一设备序列号 (UID) .....	29
2.26	串行单线JTAG调试口 (SWJ-DP) .....	29
<b>3</b>	<b>引脚定义和描述 .....</b>	<b>30</b>
3.1	封装示意图 .....	30
3.1.1	LQFP32 .....	30
3.1.2	LQFP48 .....	31
3.1.3	QFN20 .....	32
3.1.4	QFN28 .....	33
3.1.5	QFN32 .....	34
3.1.6	QFN48 .....	35
3.1.7	TSSOP20 .....	36

3.2	引脚复用定义.....	37
<b>4</b>	<b>电气特性 .....</b>	<b>43</b>
4.1	测试条件.....	43
4.1.1	最小和最大数值.....	43
4.1.2	典型数值 .....	43
4.1.3	典型曲线 .....	43
4.1.4	负载电容 .....	43
4.1.5	引脚输入电压 .....	43
4.1.6	供电方案 .....	44
4.1.7	电流消耗测量 .....	45
4.2	绝对最大额定值.....	46
4.3	工作条件.....	47
4.3.1	通用工作条件 .....	47
4.3.2	上电和掉电时的工作条件.....	47
4.3.3	内嵌复位和电源控制模块特性.....	47
4.3.4	内置参考电压 .....	48
4.3.5	供电电流特性 .....	48
4.3.6	外部时钟源特性.....	52
4.3.7	内部时钟源特性.....	56
4.3.8	从低功耗模式唤醒的时间.....	56
4.3.9	PLL特性 .....	57
4.3.10	FLASH存储器特性 .....	57
4.3.11	绝对最大值(电气敏感性).....	58
4.3.12	I/O端口特性.....	58
4.3.13	NRST引脚特性 .....	62
4.3.14	TIM定时器特性.....	62
4.3.15	I <sup>2</sup> C接口特性.....	64
4.3.16	SPI/I <sup>2</sup> S接口特性 .....	65
4.3.17	控制器局域网(CAN)接口特性 .....	70
4.3.18	12位模数转换器(ADC)电气参数 .....	70
4.3.19	比较器(COMP)电气参数 .....	76
4.3.20	温度传感器(TS)特性.....	76
<b>5</b>	<b>封装尺寸 .....</b>	<b>77</b>
5.1	LQFP32.....	77
5.2	LQFP48.....	78
5.3	QFN20.....	79
5.4	QFN28.....	80
5.5	QFN32.....	81
5.6	QFN48.....	82
5.7	TSSOP20.....	83
5.8	丝印说明 .....	84
<b>6</b>	<b>版本历史 .....</b>	<b>85</b>
<b>7</b>	<b>声明 .....</b>	<b>86</b>

## 表目录

表 1-1 N32G430系列资源配置 .....	12
表 2-1 定时器功能比较.....	18
表 3-1 管脚定义 .....	37
表 4-1 电压特性 .....	46
表 4-2 电流特性 .....	46
表 4-3 温度特性 .....	46
表 4-4 通用工作条件 .....	47
表 4-5 上电和掉电时的工作条件.....	47
表 4-6 内嵌复位和电源控制模块特性.....	47
表 4-7 内置参考电压 .....	48
表 4-8 运行模式下的典型电流消耗，数据处理代码从内部闪存中运行 .....	49
表 4-9 睡眠模式下的典型电流消耗.....	50
表 4-10 运行模式下的典型电流消耗，数据处理代码从内部闪存中运行 .....	51
表 4-11 睡眠模式下的典型电流消耗.....	51
表 4-12 停机和待机模式下的典型电流消耗.....	52
表 4-13 高速外部用户时钟特性.....	52
表 4-14 低速外部用户时钟特性.....	53
表 4-15 HSE 4~32MHz振荡器特性 <sup>(1)(2)</sup> .....	54
表 4-16 LSE振荡器特性( $F_{LSE}=32.768kHz$ ) <sup>(1)</sup> .....	55
表 4-17 HSI振荡器特性 <sup>(1)(2)</sup> .....	56
表 4-18 LSI振荡器特性 <sup>(1)</sup> .....	56
表 4-19 低功耗模式的唤醒时间.....	57
表 4-20 PLL特性.....	57
表 4-21 闪存存储器特性.....	57
表 4-22 闪存存储器寿命和数据保存期限.....	58
表 4-23 ESD绝对最大值 .....	58
表 4-24 电气敏感性 .....	58
表 4-25 I/O静态特性.....	59
表 4-26 IO 输出驱动能力特性.....	59
表 4-27 输出电压特性 .....	60
表 4-28 输入输出交流特性 <sup>(1)</sup> .....	60
表 4-29 NRST引脚特性 .....	62
表 4-30 TIM1/8特性.....	63
表 4-31 TIM2/3/4/5特性 .....	63

表 4-32 LPTIMER特性 .....	63
表 4-33 IWDG 最大和最小计数复位时间 (LSI = 40 KHz) .....	63
表 4-34 WWDG最大和最小计数复位时间(APB1 PCLK1 = 32MHz) .....	64
表 4-35 I <sup>2</sup> C接口特性.....	64
表 4-36 SPI特性 <sup>(1)</sup> .....	66
表 4-37 I <sup>2</sup> S特性 <sup>(1)</sup> .....	68
表 4-38 ADC特性 .....	70
表 4-39 ADC采样时间 <sup>(1)</sup> .....	72
表 4-40 ADC精度 – 局限的测试条件 <sup>(1)(2)</sup> .....	73
表 4-41 COMP特性.....	76
表 4-42 温度传感器特性.....	76

## 图目录

图 1-1 N32G430 系列框图 .....	10
图 1-2 N32G430系列订货代码信息图示 .....	11
图 2-1 存储器映射图 .....	14
图 2-2 时钟树 .....	16
图 3-1 N32G430系列LQFP32 引脚分布 .....	30
图 3-2 N32G430系列LQFP48引脚分布 .....	31
图 3-3 N32G430系列QFN20 引脚分布 .....	32
图 3-4 N32G430系列QFN28引脚分布 .....	33
图 3-5 N32G430系列QFN32引脚分布 .....	34
图 3-6 N32G430系列QFN48引脚分布 .....	35
图 3-7 N32G430系列TSSOP20引脚分布 .....	36
图 3-8 N32G430系列TSSOP20引脚分布 .....	36
图 4-1 引脚的负载条件 .....	43
图 4-2 引脚输入电压 .....	44
图 4-3 供电方案 .....	44
图 4-4 电流消耗测量方案 .....	45
图 4-5 外部高速时钟源的交流时序图 .....	53
图 4-6 外部低速时钟源的交流时序图 .....	54
图 4-7 使用8MHz晶体的典型应用 .....	54
图 4-8 使用32.768KHz晶体的典型应用 <sup>(1)</sup> .....	55
图 4-9 输入输出交流特性定义 .....	61
图 4-10 传输延迟 .....	61
图 4-11 建议的NRST引脚保护 .....	62
图 4-12 I <sup>2</sup> C总线交流波形和测量电路 <sup>(1)</sup> .....	65
图 4-13 SPI时序图 – 从模式和CLKPHA=0 .....	67
图 4-14 SPI时序图 – 从模式和CLKPHA=1 <sup>(1)</sup> .....	67
图 4-15 SPI时序图 – 主模式 <sup>(1)</sup> .....	68
图 4-16 I <sup>2</sup> S从模式时序图(飞利浦协议) <sup>(1)</sup> .....	69
图 4-17 I <sup>2</sup> S主模式时序图(飞利浦协议) <sup>(1)</sup> .....	70
图 4-18 ADC精度特性 .....	74
图 4-19 使用ADC典型的连接图 .....	74
图 4-20 供电电源和参考电源去藕线路(V <sub>REF+</sub> 与V <sub>DDA</sub> 相连) .....	75
图 5-1 LQFP32封装尺寸 .....	77
图 5-2 LQFP48封装尺寸 .....	78



图 5-3 QFN20封装尺寸 .....	79
图 5-4 QFN28封装尺寸 .....	80
图 5-5 QFN32封装尺寸 .....	81
图 5-6 QFN48封装尺寸 .....	82
图 5-7 TSSOP20封装尺寸 .....	83
图 5-8 丝印说明 .....	84

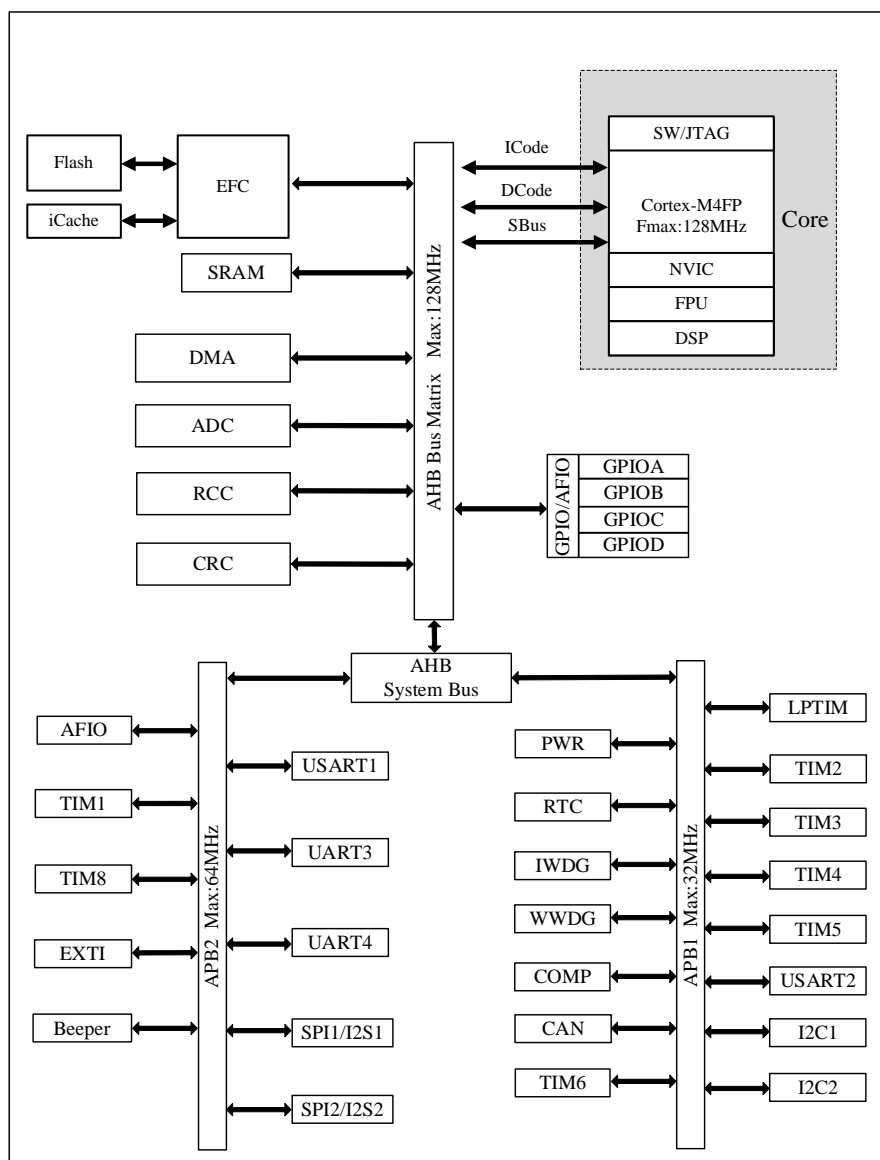
# 1 产品简介

N32G430系列微控制器产品采用高性能32位ARM Cortex™-M4F内核，集成浮点运算单元（FPU）和数字信号处理（DSP），支持并行计算指令。最高工作主频128MHz，集成高达64KB片内加密存储Flash，并支持多用户分区权限管理，最大16KB的嵌入式SRAM。内置一个内部高速AHB总线，两个低速外设时钟总线APB及总线矩阵，最多支持40个可复用I/Os，提供丰富的高性能模拟接口，包括1个12位4.7Mps ADC，最多支持16个外部输入通道和3个内部通道，同时提供多种数字通信接口，包括4个U(S)ART、2个I2C、2个SPI/ I2S、1个CAN 2.0B通信接口。

N32G430系列产品可稳定工作于-40℃至+105℃的温度范围，供电电压2.4V至3.6V，提供多种功耗模式供用户选择，符合低功耗应用的要求。该系列产品提供20/28/32/48脚的多种不同封装形式，根据不同的封装形式，芯片中的外设配置不尽相同。

图 1-1 N32G430 系列框图。

图 1-1 N32G430 系列框图





## 1.2 器件一览

表 1-1 N32G430系列资源配置

器件型号		N32G430F6S7 N32G430F6S7-1 <sup>(1)</sup>	N32G430F8S7 N32G430F8S7-1 <sup>(1)</sup>	N32G430 F6Q7	N32G430 F8Q7	N32G430 G6Q7	N32G430 G8Q7	N32G430K6L7 N32G430K6Q7	N32G430K8L7 N32G430K8Q7	N32G430C6L7 N32G430C6Q7	N32G430C8L7 N32G430C8Q7
Flash容量(KB)		32	64	32	64	32	64	32	64	32	64
SRAM容量(KB)		16	16	16	16	16	16	16	16	16	16
CPU频率		ARM Cortex-M4F @128MHz, 160DMIPS									
工作环境		2.4~3.6V/-40~105℃									
定时器	通用	4									
	高级	2 (Timer1支持4通道8路互补输出，Timer8支持3通道6路互补输出)									
	基本	1									
	LPTIM	1									
通讯接口	SPI	2									
	I2S	2									
	I2C	2									
	UART	1				2					
	USART	2									
	CAN	1									
	蜂鸣器	1									
GPIO		15+1			23+1		25+1		39+1		
DMA 通道数		1 8 Channel									
12bit ADC 通道数		1 9Channel		1 7Channel		1 10Channel			1 16Channel		
COMP		3									
安全保护		读写保护（RDP/WRP）、存储加密、分区保护、安全启动									
封装		TSSOP20		QFN20		QFN28		LQFP32 QFN32		LQFP48 QFN48	

1、N32G430F6S7 和 N32G430F8S7 的 PIN2/PIN3 是 OSC\_IN/OSC\_OUT, N32G430F6S7-1 和 N32G430F8S7-1 的 PIN2/PIN3 是 OSC32\_IN/OSC32\_OUT。

## 2 功能简介

### 2.1 处理器内核

N32G430系列集成了最新一代嵌入式ARM Cortex™-M4F处理器，在Cortex™-M3内核的基础上强化了运算能力、新增加了浮点运算处理单元（FPU）、DSP和并行计算指令，提供1.25DMIPS/MHz的优异性能。同时其高效的信号处理能力与Cortex-M系列处理器的低功耗，低成本和易于使用的优点组合，用以满足需要控制和信号处理混合能力且易于使用的应用场景。

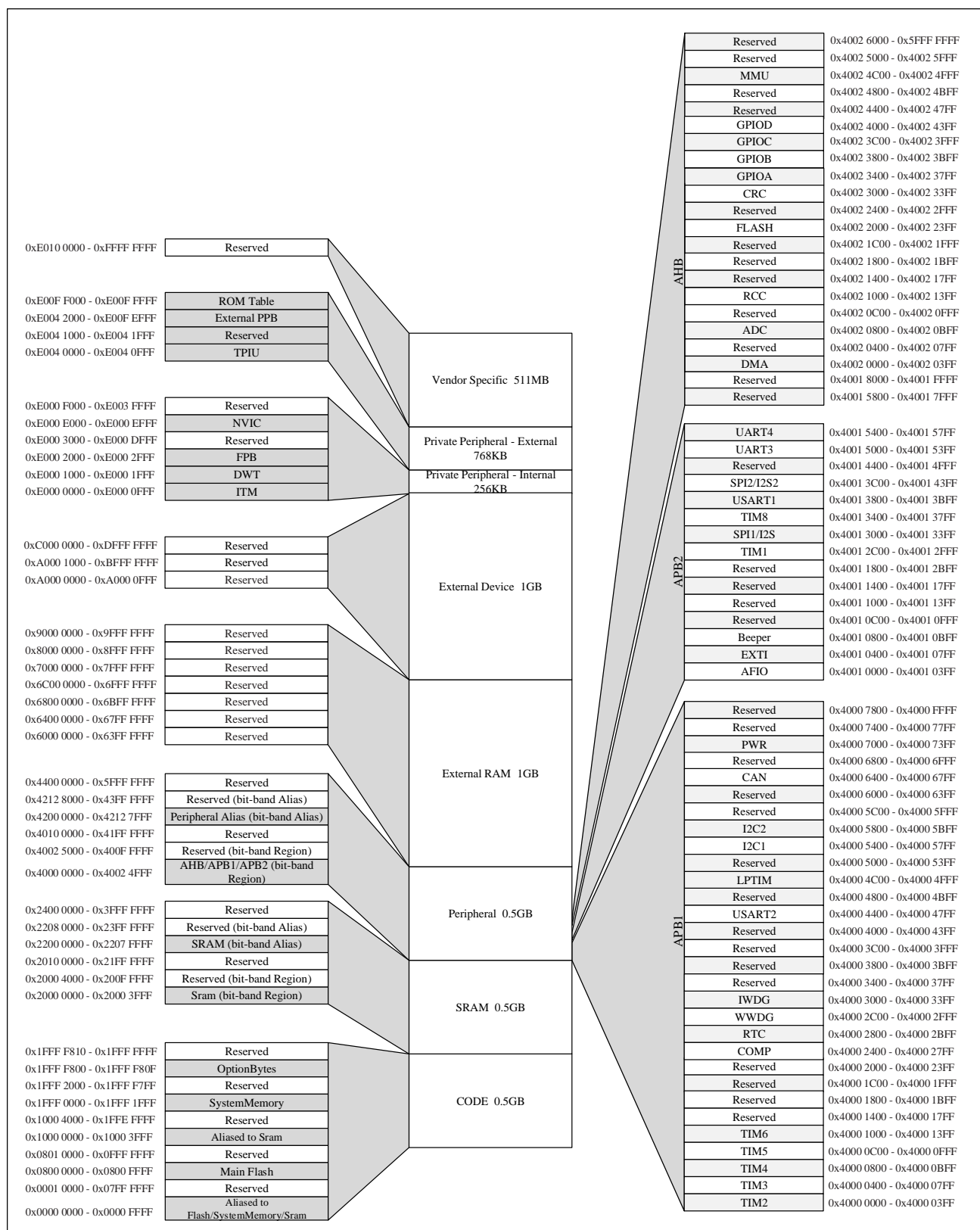
ARM Cortex™-M4F 32位精简指令集处理器具有优异的代码效率。

*注：Cortex-M4F向下兼容Cortex-M3代码。*

### 2.2 存储器

N32G430系列芯片包含嵌入式加密闪存（Flash）存储器、嵌入式SRAM。

图 2-1 存储器映射图



## 2.2.1 嵌入式闪存存储器 (FLASH)

片内集成从32K到64K字节嵌入式加密闪存 (FLASH)，用于存放程序和数据，页面大小2Kbyte，支持页擦除、字写、字读、半字读、字节读操作。

支持存储加密保护，写入自动加密、读出自动解密（包括程序执行操作）。

支持用户分区管理，最多可分为2个用户分区，不同用户之间不可相互访问数据（仅可执行代码）。

### 2.2.2 嵌入式SRAM

片内集成多达16K字节的内置SRAM。在RUN、SLEEP、STOP0、STOP2、STANDBY模式下SRAM可保持数据。

### 2.2.3 嵌套的向量式中断控制器 (NVIC)

内置嵌套的向量式中断控制器，能够处理多达53个可屏蔽中断通道(不包括16个Cortex™-M4F的中断线)和16个优先级。

- ◆ 紧耦合的NVIC能够达到低延迟的中断响应处理
- ◆ 中断向量入口地址直接进入内核
- ◆ 紧耦合的NVIC接口
- ◆ 允许中断的早期处理
- ◆ 处理晚到的较高优先级中断
- ◆ 支持中断尾部链接功能
- ◆ 自动保存处理器状态
- ◆ 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

## 2.3 外部中断/事件控制器 (EXTI)

外部中断/事件控制器包含24个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并能够单独地被屏蔽。有一个挂起寄存器维持所有中断请求的状态。EXTI可以检测到脉冲宽度小于内部APB2的时钟周期。多达40个通用I/O口连接到16个外部中断线。

## 2.4 时钟系统

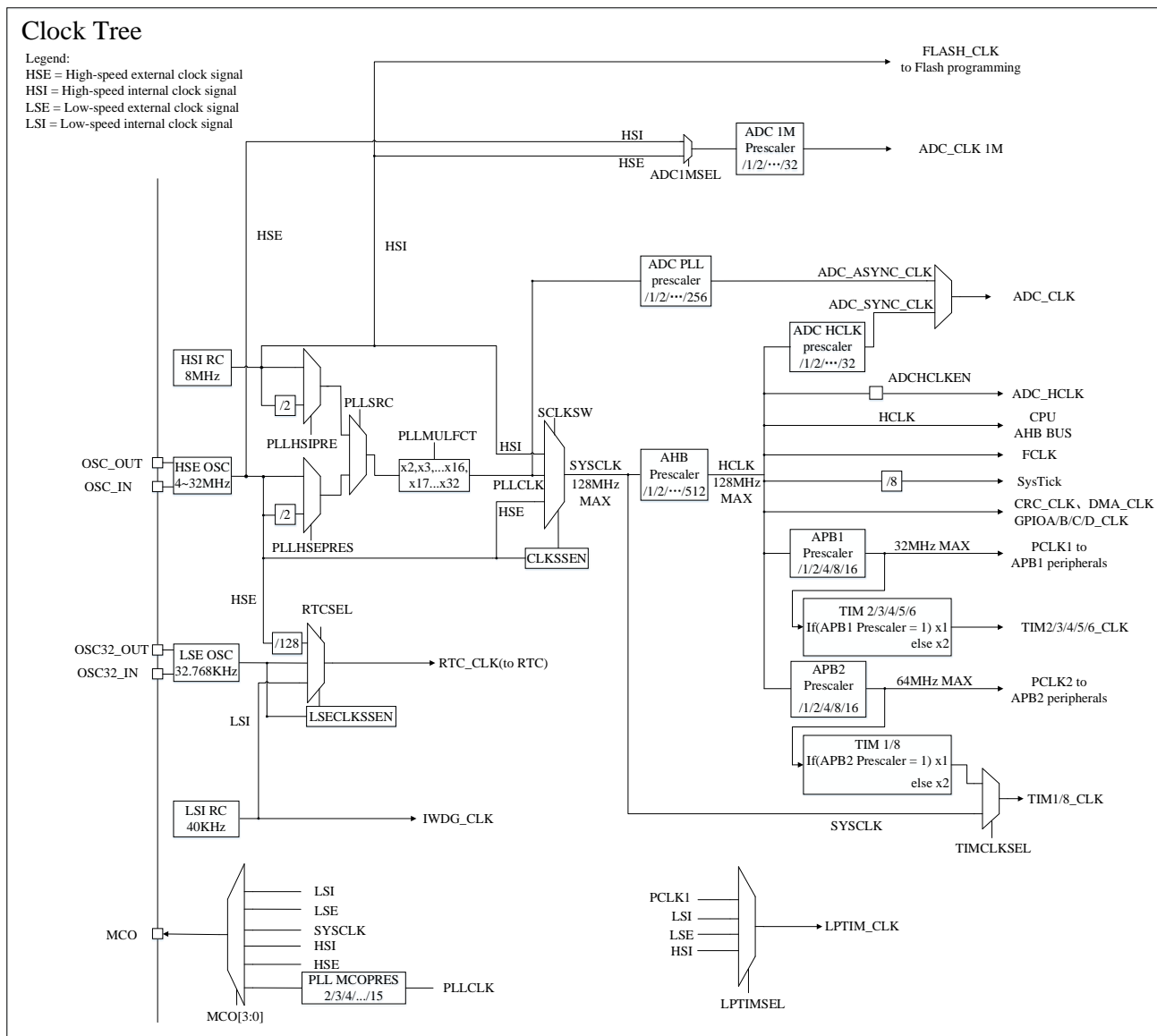
提供多种时钟供用户选择，包括内部高速RC振荡器HSI（8MHz），内部低速时钟LSI（40KHz），外部高速时钟HSE（4MHz~32MHz），外部低速时钟LSE（32.768KHz），PLL。

复位时内部HSI时钟被默认设置为CPU时钟，随后用户可以选择外部具有失效监控功能的HSE时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到HSI，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对PLL时钟安全的中断管理(如当一个间接使用的外部振荡器失效时)。

内置时钟安全系统，当用户选择开启后，可实时检测外部HSE或LSE是否失效，一旦检测到外部时钟失效，HSE将自动切换到内部时钟，并产生中断告警。

多个预分频器用于配置AHB的频率、高速APB(APB2)和低速APB(APB1)区域。AHB的最高频率是128MHz，APB2的最高频率是64MHz，APB1的最高频率为32MHz。

图 2-2 时钟树



## 2.5 启动模式

在启动时，可以通过BOOT0引脚和选项字节BOOT配置（USER2）来选择在复位后的启动模式：

- 从程序闪存存储器（FLASH Memory）启动
- 从系统存储器（System Memory）启动
- 从内部SRAM启动

启动加载程序(Bootloader)存放于系统存储器中，可以通过USART1对FLASH Memory进行编程。

## 2.6 供电方案

- $V_{DD} = 2.4 \sim 3.6V$ :  $V_{DD}$ 引脚为I/O引脚和内部调压器供电。
- $V_{SSA}, V_{DDA} = 2.4V \sim 3.6V$ : 为ADC、COMP供电。 $V_{DDA}$ 和 $V_{SSA}$ 必须分别连接到 $V_{DD}$ 和 $V_{SS}$ 。参见 图 4-3



## 2.7 复位

内部集成上电复位(POR)，这部分电路始终处于工作状态，保证系统在供电超过2.4V时稳定工作；当 $V_{DD}$ 低于设定的阈值( $V_{POR/PDR}$ )时，置芯片于复位状态，而不必使用外部复位电路。

## 2.8 可编程电压监测器

内置一个可编程电压监测器(PVD)，它监视 $V_{DD}$ 供电并与阈值 $V_{PVD}$ 比较，当 $V_{DD}$ 低于或高于阈值 $V_{PVD}$ 时将产生中断，中断处理程序可以发出警告信息，PVD功能需要通过程序开启。关于 $V_{POR/PDR}$ 和 $V_{PVD}$ 的值参考表 4-6。

## 2.9 电压调压器

调压器有三个操作模式：

- 主模式，芯片运行在RUN、SLEEP、STOP0模式
- 低功耗模式，芯片运行在STOP0模式
- 关断模式，芯片运行在STOP2、STANDBY模式

芯片复位后调压器默认处于主模式状态。

## 2.10 低功耗模式

N32G430系列产品支持四种低功耗模式。

### ■ SLEEP模式

在SLEEP模式下，只有CPU停止，所有外设处于工作状态并可在发生中断/事件时唤醒CPU。

### ■ STOP0模式

STOP0 模式基于 Cortex®-M4 深度睡眠模式，结合外设时钟控制机制。调压器可以配置为正常或低功耗模式。在STOP0模式下，主电源域的大部分时钟关闭，例如PLL、HSI、HSE。SRAM和所有寄存器内容保持。

在STOP0模式下，所有I/O状态保持为RUN模式状态。

### ■ STOP2模式

STOP2模式基于Cortex-M4F深度睡眠模式，所有的核心数字逻辑区域电源全部关闭。主电压调节器(MR)关闭，HSE/HSI/PLL关闭。CPU寄存器保持，LSE/LSI可配置工作，所有GPIO保持，SRAM保持，80字节备份寄存器保持，RET域和备份域正常工作。

唤醒：可以通过任一配置成EXTI的信号把芯片从STOP2模式中唤醒，EXTI信号可以是外部16个EXTI信号（I/O相关）、WKUP引脚唤醒、RTC周期性唤醒、RTC闹钟、RTC入侵、RTC时间戳、NRST复位、IWDG复位。

### ■ STANDBY模式

在STANDBY模式下可以达到较低的电流消耗状态。内部的电压调压器被关闭，PLL、HSI的RC振荡器和HSE晶体振荡器也被关闭，仅LSE和LSI可选工作；进入STANDBY模式后，IO输出状态保持，主电域寄存器的内容将丢失，SRAM可选保持，STANDBY电路仍工作。

进入STANDBY模式之前，如果PA13和PA14用做非调试管脚，且引脚配置成输入模式，需要在PA13和PA14引脚外部加强上下拉，上下拉电阻建议10KΩ以内。

NRST上的外部复位信号、IWDG复位、WKUP引脚上的一个上升/下降边沿、RTC周期性唤醒、RTC闹钟、RTC时间戳或RTC入侵可以把芯片从STANDBY模式唤醒。

注：在进入STANDBY模式时，RTC、IWDG和对应的时钟可以不被停止。

## 2.11 直接存储器存取 (DMA)

集成1个灵活的通用DMA控制器，支持8个DMA通道，可以管理存储器到存储器、外设到存储器和存储器到外设的数据传输；DMA控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件DMA请求逻辑，同时可以由软件触发每个通道。可通过软件单独设置每个通道的传输的长度、传输的源地址和目标地址。

DMA可以用于主要的外设：SPI、I2C、USART、高级/通用/基本定时器TIMx、I2S、ADC。

## 2.12 实时时钟 (RTC)

RTC是一组连续运行的计数器，内置日历时钟模块，可提供万年历功能，还具有闹钟中断和周期性中断（最短2个时钟周期）功能。RTC不会被系统复位而复位，当从STANDBY模式唤醒时，也不会被复位。RTC的驱动时钟可以选择为32.768KHz外部晶体振荡器、内部低功耗40KHz RC振荡器、或者高速的外部时钟经128分频任意一个时钟源。对于计时精度要求非常高的应用场景，建议使用外部32.768KHz时钟作为时钟源，同时为补偿天然晶体的时钟偏差，可以通过输出一个256Hz的信号对RTC的时钟进行校准。RTC有一个22位的预分频器用于时基时钟，默认情况下时钟为32.768kHz时，它将产生一个1秒长的时间基准。另外RTC可以用来触发低功耗状态下唤醒。

## 2.13 定时器和看门狗

最多2个高级控制定时器、4个普通定时器和1个基本定时器，1个低功耗定时器，以及2个看门狗定时器和1个系统嘀嗒定时器。

下表比较了高级控制定时器、普通定时器和基本定时器的功能：

表 2-1 定时器功能比较

定时器	分辨率	类型	预分频系数	产生DMA请求	捕获/比较通道	互补输出
TIM1 TIM8	16	向上，向下， 向上/向下	1~65536之间的任意整数	Y	4	Y
TIM2 TIM3 TIM4 TIM5	16	向上，向下， 向上/向下	1~65536之间的任意整数	Y	4	N
TIM6	16	向上	1~65536之间的任意整数	Y	0	N

### 2.13.1 低功耗定时器 (LPTIM)

LPTIM是一个具有多个时钟源的16位定时器，它可以在除Standby模式之外的所有功耗模式下保持运行。LPTIM可以在没有内部时钟源的情况下运行，可以用作“脉冲计数器”。此外，LPTIM可以将系统从低功耗模式唤醒，以极低的功耗实现“超时功能”。

低功耗定时器的主要功能如下：

- 16 位向上计数器
- 3bit 预分频，8 种分频因子（1、2、4、8、16、32、64、128）
- 多个时钟源

内部时钟源: LSE, LSI, HSI或者APB1时钟

外部时钟源: 通过LPTIM Input1输入的外部时钟源 (工作时无LP振荡器运行, 用于脉冲计数器应用)

- 16 bit 自动装载寄存器 (LPTIM\_ARR)
- 16 bit 比较寄存器 (LPTIM\_COMP)
- 连续或单触发计数模式
- 可编程软件或硬件输入触发
- 用于过滤毛刺的可编程数字滤波器
- 可配置输出 (方波, PWM)
- 可配置 IO 极性
- 编码器模式
- 脉冲计数模式, 支持单脉冲计数、双脉冲计数 (正交和非正交)

### 2.13.2 基本定时器 (TIM6)

基本定时器包含一个16位计数器。

基本定时器的主要功能如下:

- 16 位自动重载递增计数计数器。
- 16 位可编程预分频器。(分频系数可配置为 1 到 65536 之间的任意值)
- 产生中断/DMA 的事件如下:
  - ◆ 更新事件

### 2.13.3 通用定时器 (TIMx)

通用定时器 (TIM2、TIM3、TIM4和TIM5) 主要用于以下场合: 对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

通用定时器的主要功能包括:

- 16 位自动装载计数器。(可实现向上计数、向下计数、向上/下计数)。
- 16 位可编程预分频器。(分频系数可配置为 1 到 65536 之间的任意值)
- TIM2、TIM3、TIM 4 和 TIM5 最多支持 4 个通道
- 通道工作模式: PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 如下事件发生时产生中断/DMA:
  - ◆ 更新事件
  - ◆ 触发事件
  - ◆ 输入捕获
  - ◆ 输出比较
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起, 以实现定时器的同步或链接
- 增量 (正交) 编码器接口: 用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口: 用于三相电机控制

### 2.13.4 高级控制定时器 (TIM1 and TIM8)

高级控制定时器 (TIM1和TIM8) 主要用于以下场合: 对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

高级定时器具有互补输出功能、死区插入和刹车功能。适用于电机控制。

高级定时器的主要功能包括：

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）。TIM1 支持中央对齐非对称模式
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 可编程重复计数器
- TIM1 最多 9 个通道，TIM8 最多 6 个通道
- 4 个捕获/比较通道，工作模式为：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 如下事件发生时产生中断/DMA：
  - ◆ 更新事件
  - ◆ 触发事件
  - ◆ 输入捕获
  - ◆ 输出比较
  - ◆ 刹车信号输入
- 死区时间可编程的互补输出
  - 对于 TIM1，通道 1、2、3、4 支持此功能
  - 对于 TIM8，通道 1、2、3 支持此功能
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- TIM1\_CC5 和 TIM8\_CC5 用于比较器消隐
- TIM1 的通道 4/7/8/9 可输出的脉冲信号，可通过配置上升沿和下降沿来触发 ADC
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制

### 2.13.5 系统时基定时器 (Systick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。

它具有下述特性：

- 24位的递减计数器
- 自动重加载功能
- 当计数器为0时能产生一个可屏蔽系统中断
- 可编程时钟源

### 2.13.6 看门狗定时器 (WDG)

支持两个看门狗独立看门狗(IWDG)和窗口看门狗(WWDG)，两个看门狗提供了更高的安全性、时间的精确性和使用的灵活性。

#### 独立看门狗 (IWDG)

独立看门狗是基于一个12位的递减计数器和一个3位的预分频器，由独立的低速RC振荡器驱动，即使主时钟发生故障它也仍然有效，可工作在STOP模式和STANDBY模式。IWDG一旦被激活，如果不在设定的时间内喂狗（清除看门狗计数器），则在计数器计数至0x000时产生复位，它可以用于在应用程序发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。复位和低功耗唤醒可配。

#### 窗口看门狗 (WWDG)

窗口看门狗通常被用来监测，由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。除非递减计数器的值在T6位变成0前被刷新，看门狗电路在达到预置的时间周期时，会产生一个MCU复位。在递减计数器达到窗口寄存器数值之前，如果14位的递减计数器数值(在控制寄存器中)被刷新，那么也将产生一个MCU复位。这表明递减计数器需要在一个有限的时间窗口中被刷新。

主要特点：

- WWDG由APB1时钟分频后得到的时钟驱动;
- 可编程的自由运行递减计数器;
- 复位条件:
  - ◆ 当递减计数器的值小于0x40, (若看门狗被启动)则产生复位;
  - ◆ 当递减计数器在窗口外被重新装载, (若看门狗被启动)则产生复位;
  - ◆ 如果启动了看门狗并且允许中断, 当递减计数器等于0x40时产生提前唤醒中断(EWINT), 它可以被用于重装载计数器以避免WWDG复位。

## 2.14 I<sup>2</sup>C总线接口

集成最多2个独立的I2C总线接口, 它提供多主机功能, 控制所有I2C总线特定的时序、协议、仲裁和超时。支持多种通信速率模式(最高支持1MHz), 支持DMA操作, 同时与SMBus 2.0兼容。I2C模块有多种用途, 包括CRC码的生成和校验、SMBus(系统管理总线—System Management Bus)和PMBus(电源管理总线-Power Management Bus)。

I2C接口的主要功能描述如下:

- 多主机功能: 该模块既可做主设备也可做从设备;
- I2C主设备功能:
  - ◆ 产生时钟;
  - ◆ 产生起始和停止信号;
- I2C从设备功能:
  - ◆ 可编程的地址检测;
  - ◆ I2C接口支持7位或10位寻址, 7位从模式时支持双从地址响应能力;
  - ◆ 停止位检测;
- 产生和检测7位/10位地址和广播呼叫;
- 支持不同的通讯速度:
  - ◆ 标准速度(高达100 kHz);
  - ◆ 快速(高达400 kHz);
  - ◆ 快速+(高达1MHz);
- 状态标志:
  - ◆ 发送器/接收器模式标志;
  - ◆ 字节传输结束标志;
  - ◆ I2C总线忙标志;
- 错误标志:
  - ◆ 主模式时的仲裁丢失;
  - ◆ 地址/数据传输后的应答(ACK)错误;
  - ◆ 检测到错误的起始或停止条件;
  - ◆ 禁止拉长时钟功能时的上溢或下溢;



- 2个中断向量：
  - ◆ 1个中断用于地址/数据通讯成功；
  - ◆ 1个中断用于错误；
- 可选的拉长时钟功能
- 单字节缓冲器的DMA；
- 可配置的PEC(信息包错误检测)的产生或校验
- 发送模式中PEC值可以作为最后一个字节传输
- 用于最后一个接收字节的PEC错误校验
- 兼容SMBus 2.0
  - ◆ 25 ms时钟低超时延时
  - ◆ 10 ms主设备累积时钟低扩展时间
  - ◆ 25 ms从设备累积时钟低扩展时间
  - ◆ 带ACK控制的硬件PEC产生/校验
  - ◆ 支持地址解析协议(ARP)
- 兼容PMBus

## 2.15 通用同步/异步收发器 (USART)

N32G430系列产品中，集成了最多4个串行收发接口，包括2个通用同步/异步收发器(USART1和USART2)和2个通用异步收发器(UART3和UART4)。这4个接口提供异步通信、支持IrDA SIR ENDEC传输编解码、多处理器通信模式、单线半双工通信模式和LIN主/从功能。

USART1和USART2接口具有硬件的CTS和RTS信号管理、兼容ISO7816的智能卡模式和类SPI通信模式，所有接口都可以使用DMA操作。

USART主要特性如下：

- 全双工，异步通信；
- NRZ标准格式；
- 分数波特率发生器系统，波特率可编程，用于发送和接收
- 可编程数据字长度(8位或9位)
- 可配置的停止位，支持1或2个停止位；
- LIN主发送同步断开符的能力以及LIN从检测断开符的能力，当USART硬件配置成LIN时，生成13位断开符，检测10/11位断开符
- 输出发送时钟用于同步传输；
- IRDA SIR 编码器解码器，在正常模式下支持3/16位的持续时间；
- 智能卡模拟功能；
  - ◆ 智能卡接口支持ISO7816-3标准里定义的异步智能卡协议；
  - ◆ 智能卡用到的0.5和1.5个停止位；
- 单线半双工通信；

- 可配置的使用DMA的多缓冲器通信，在SRAM里利用集中式DMA缓冲接收/发送字节；
- 独立的发送器和接收器使能位；
- 检测标志
  - ◆ 接收缓冲器满
  - ◆ 发送缓冲器空
  - ◆ 传输结束标志
- 校验控制
  - ◆ 发送校验位
  - ◆ 对接收数据进行校验
- 四个错误检测标志
  - ◆ 溢出错误
  - ◆ 噪音错误
  - ◆ 帧错误
  - ◆ 校验错误
- 10个带标志的USART中断源
  - ◆ CTS改变
  - ◆ LIN断开符检测
  - ◆ 发送数据寄存器空
  - ◆ 发送完成
  - ◆ 接收数据寄存器满
  - ◆ 检测到总线为空闲
  - ◆ 溢出错误
  - ◆ 帧错误
  - ◆ 噪音错误
  - ◆ 校验错误
- 多处理器通信，如果地址不匹配，则进入静默模式；
- 从静默模式中唤醒(通过空闲总线检测或地址标志检测)
- 两种唤醒接收器的方式：地址位(MSB，第9位)，总线空闲
- 模式配置：

USART模式	USART1	USART2	UART3	UART4
异步模式	支持	支持	支持	支持
硬件流控制	支持	支持	不支持	不支持
多缓存通讯(DMA)	支持	支持	支持	支持
多处理器通讯	支持	支持	支持	支持
同步模式	支持	支持	不支持	不支持
智能卡	支持	支持	不支持	不支持
半双工(单线模式)	支持	支持	支持	支持

USART模式	USART1	USART2	UART3	UART4
IrDA	支持	支持	支持	支持
LIN	支持	支持	支持	支持

## 2.16 串行外设接口 (SPI)

集成2个SPI接口，可作为I2S接口复用，SPI与I2S共享资源。

SPI允许芯片与外部设备以半/全双工、同步、串行方式通信。此接口可以被配置成主模式，并为外部从设备提供通信时钟(SCK)。接口还能以多主配置方式工作。它可用于多种用途，包括使用一条双向数据线的双线单工同步传输，还可使用CRC校验的可靠通信。

SPI接口的主要功能如下：

- 3线全双工同步传输；
- 带或不带第三根双向数据线的双线单工同步传输；
- 8或16位传输帧格式选择；
- 主或从操作；
- 支持多主模式；
- 8个主模式波特率预分频系数(最大为 $f_{PCLK}/2$ )；
- 从模式频率 (最大为 $f_{PCLK}/2$ )；
- 主模式和从模式的快速通信；
- 主模式和从模式下均可以由软件或硬件进行NSS管理：主/从操作模式的动态改变；
- 可编程的时钟极性和相位；
- 可编程的数据顺序，MSB在前或LSB在前；
- 可触发中断的专用发送和接收标志；
- SPI总线忙状态标志；
- 支持可靠通信的硬件CRC：
  - ◆ 在发送模式下，CRC值可以被作为最后一个字节发送；
  - ◆ 在全双工模式中对接收到的最后一个字节自动进行CRC校验；
- 可触发中断的主模式故障、过载以及CRC错误标志
- 支持DMA功能的单字节发送和接收缓冲器：产生发送和接受请求
- 接口最高速度：主模式28 Mbps（不带CRC），20Mbps(带CRC)，从模式32Mbps

## 2.17 串行音频接口 (I<sup>2</sup>S)

I<sup>2</sup>S是一种3引脚的同步串行接口通讯协议，器件集成2个标准的I<sup>2</sup>S接口(与SPI复用)，可以工作于主或从模式，这2个接口可以配置为16位、24位或32位传输，亦可配置为输入或输出通道，支持音频采样频率从8KHz到96KHz。它支持四种音频标准，包括飞利浦I<sup>2</sup>S标准，MSB和LSB对齐标准，以及PCM标准。

它在半双工通讯中，可以工作在主和从2种模式下。当它作为主设备时，通过接口向外部的从设备提供时钟信号。

I<sup>2</sup>S接口的主要功能如下：



- 单工通信(仅发送或接收);
- 主或者从操作;
- 8位线性可编程预分频器, 获得精确的音频采样频率(8KHz到96KHz);
- 数据格式可以是16位, 24位或者32位;
- 音频信道固定数据包帧为16位(16位数据帧)或32位(16、24或32位数据帧);
- 可编程的时钟极性(稳定态);
- 从发送模式下的下溢标志位和主/从接收模式下的溢出标志位;
- 16位数据寄存器用来发送和接收, 在通道两端各有一个寄存器;
- 支持的FS协议:
  - ◆ FS飞利浦标;
  - ◆ MSB对齐标准(左对齐);
  - ◆ LSB对齐标准(右对齐);
  - ◆ PCM标准(16位通道帧上带长或短帧同步或者16位数据帧扩展为32位通道帧);
- 数据方向总是MSB在先;
- 发送和接收都具有DMA能力;
- 主时钟可以输出到外部音频设备, 比率固定为256xFs(Fs为音频采样频率)

## 2.18 控制器局域网络 (CAN)

集成1路CAN总线接口, 兼容2.0A和2.0B(主动) 规范, 位速率高达1Mbps。它可以接收和发送11位标识符的标准帧, 也可以接收和发送29位标识符的扩展帧。

主要特点:

- 支持CAN协议2.0A和2.0B主动模式;
- 波特率最高可达1Mbps;
- 支持时间触发通信功能
- 发送
  - ◆ 3个发送邮箱
  - ◆ 发送报文的优先级特性可软件配置
  - ◆ 记录发送SOF时刻的时间戳
- 接收
  - ◆ 3级深度的2个接收FIFO
  - ◆ 可变的过滤器组:
  - ◆ 有14个过滤器组
  - ◆ 标识符列表
  - ◆ FIFO溢出处理方式可配置
  - ◆ 记录接收SOF时刻的时间戳

- 时间触发通信模式
  - ◆ 禁止自动重传模式
  - ◆ 16位自由运行定时器
  - ◆ 可在最后2个数据字节发送时间戳
- 管理
  - ◆ 中断可屏蔽
  - ◆ 邮箱占用单独1块地址空间，便于提高软件效率

## 2.19 通用输入输出接口 (GPIO)

支持最多39+1个GPIO，共被分为4组（GPIOA/GPIOB/GPIOC/GPIOD），其中GPIOA、GPIOB每组16个端口，GPIOC 3个端口，GPIOD 4+1个端口。每个GPIO引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口，多数GPIO引脚都与数字或模拟的复用外设共用，有的I/O引脚还与时钟引脚复用；除了具有模拟输入功能的端口，其它所有的GPIO引脚都有大电流通过能力。

GPIO主要特性描述如下：

- GPIO端口的每个位可以由软件分别配置成多种模式：
  - ◆ 输入浮空；
  - ◆ 输入上拉（弱上拉）；
  - ◆ 输入下拉（弱下拉）；
  - ◆ 模拟输入；
  - ◆ 开漏输出；
  - ◆ 推挽式输出；
  - ◆ 推挽式复用功能；
  - ◆ 开漏复用功能。
- 通用 I/O(GPIO)
  - ◆ 复位期间和刚复位后，复用功能未开启，除 BOOT0（BOOT0 为输入下拉），NRST 引脚外，I/O 端口被配置成模拟输入模式；
  - ◆ 复位后，与调试系统关联的引脚默认状态为使能 SWD-JTAG，JTAG 引脚被置于输入上拉或下拉模式：
    - ✓ JTDI 置于上拉模式；
    - ✓ JTCK 置于下拉模式；
    - ✓ JTMS 置于上拉模式；
    - ✓ NJTRST 置于上拉模式；
  - ◆ 当作为输出配置时，写到输出数据寄存器上的值输出到相应的 I/O 引脚。可以以推挽模式或开漏模式输出
- 单独的位设置或位清除功能；
- 外部中断/唤醒：所有端口都有外部中断能力，为了使用外部中断线，端口必须配置成输入模式；

- 复用功能：(使用默认复用功能前必须对端口位配置寄存器编程)
- GPIO 锁定机制，锁定机制允许冻结 IO 配置。当在一个端口位上执行了锁定(LOCK)程序，在下次复位之前，将不能再更改端口位的配置。
- GPIO 使用注意事项
  - ◆ 当 VDD 和 VDDA 没有上电时，GPIO 施加电压不得超过 3.6V；
  - ◆ 当 GPIO 上施加的电压为 5.5V 时，VDD 和 VDDA 不得低于 2.4V；
  - ◆ 如果不希望 MCU 出现漏电情况，需要保证 GPIO 上施加的电压小于等于 VDD 和 VDDA；
  - ◆ 当 GPIO 上施加的电压大于 VDD 和 VDDA 时，如果希望 MCU 漏电电流减小，需要在 GPIO 上串联电阻。

## 2.20 模拟/数字转换器 (ADC)

器件支持1个12位4.7Msps采样率的逐次比较型ADC，支持单端输入和差分输入，可测量16个外部和3个内部信号源。

ADC主要特性描述如下：

- 支持12位、10位、8位、6位分辨率可配置
  - ◆ 12bit分辨率下最高采样速率4.7MSPS
  - ◆ 10bit分辨率下最高采样速率5.3MSPS
  - ◆ 8bit分辨率下最高采样速率7.2MSPS
  - ◆ 6bit分辨率下最高采样速率8.8MSPS
- ADC时钟源分为工作时钟源、采样时钟源和计时时钟源
  - ◆ 可配置AHB\_CLK作为工作时钟源，最高可到128MHz
  - ◆ 可配置PLL作为采样时钟源，最高可到80MHz，支持分频1,2,4,6,8,10,12,16,32,64,128,256
  - ◆ 可配置AHB\_CLK作为采样时钟源，最高可到80MHz，支持分频1,2,4,6,8,10,12,16,32
  - ◆ 计时时钟用于内部计时功能，频率必须配置成1MHz
- 支持定时器触发ADC采样
- 转换结束、注入转换结束和发生模拟看门狗事件时产生中断
- 单次和连续转换模式
- 从通道0到通道N的自动扫描模式
- 支持自校准
- 带内嵌数据一致性的数据对齐
- 采样间隔可以按通道分别编程
- 规则转换和注入转换均有外部触发选项
- 间断模式
- ADC供电要求：2.4V到3.6V
- ADC输入范围： $V_{REF-} \leq V_{IN} \leq V_{REF+}$

- ADC可以使用DMA操作，规则通道转换期间有DMA请求产生。
- 模拟看门狗功能，可以非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

## 2.21 模拟比较器 (COMP)

集成最多3个比较器。可以用作单独的设备（比较器所有端口引到I/O上），也可以和定时器组合使用，在电机控制场合可以与来自定时器的PWM输出配合形成逐周期电流控制。

比较器主要功能如下：

- 支持轨到轨比较器
- 比较器的反向和正向端支持以下输入
  - ◆ 可选的I/O
  - ◆ DAC通道输出
  - ◆ 内部64级可调电压输入参考
- 可编程的迟滞，可配置为无迟滞、低迟滞、中迟滞、高迟滞
- 比较器可以输出到I/O或者定时器输入，用于触发
  - ◆ 捕获事件
  - ◆ OCREF\_CLR事件（用于逐周期电流控制）
  - ◆ 刹车事件
- 比较器支持输出滤波，包括模拟滤波和数字滤波
- 支持带消隐的比较器输出，可以选择禁能消隐或选择Timer1\_OC5/Timer8\_OC5作消隐输入；
- 每个比较器可以有中断唤醒能力，支持从SLEEP模式、STOP0模式下唤醒；

## 2.22 温度传感器 (TS)

温度传感器产生一个随温度线性变化的电压，转换范围在 $2.4V < V_{DDA} < 3.6V$ 之间。温度传感器在内部被连接到ADC\_IN17的输入通道上，用于将温度传感器的输出转换到数字数值。

## 2.23 蜂鸣器 (BEEPER)

BEEPER模块支持互补输出，可以产生周期信号来驱动外部无源蜂鸣器。用于产生提示音或者报警发声。

## 2.24 循环冗余校验计算单元 (CRC)

集成CRC32和CRC16功能，循环冗余校验(CRC)计算单元是根据固定的生成多项式得到任一CRC计算结果。在众多的应用中，基于CRC的技术被用于验证数据传输或存储的一致性。在EN/IEC 60335-1标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

CRC的主要特性如下：

- ◆ CRC16：支持多项式  $X^{16} + X^{15} + X^2 + X^0$
- ◆ CRC32：支持多项式  $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$

- ◆ CRC16 计算时间：1 个 AHB 时钟周期(HCLK)
- ◆ CRC32 计算时间：1 个 AHB 时钟周期(HCLK)
- ◆ 循环冗余计算初始值可配置
- ◆ 支持 DMA 模式

## 2.25 唯一设备序列号 (UID)

N32G430系列产品内置两个不同长度的唯一设备序列号，分别为96位的UID(Unique device ID)和128位的UCID(Unique Customer ID)，这两个设备序列号存放在闪存存储器的系统配置块中，它们所包含的信息在出厂时编写，并保证对N32G430系列任意一个微控制器在任何情况下都是唯一的，用户应用程序或外部设备可以通过CPU或JTAG/SWD接口读取，不可被修改。

UID为96位，通常用来做为序列号或作为密码，在编写闪存时，将此唯一标识与软件加解密算法相结合，进一步提高代码在闪存存储器内的安全性。

UCID为128位，遵守国民技术芯片序列号定义，它包含芯片生产及版本相关信息。

## 2.26 串行单线JTAG调试口 (SWJ-DP)

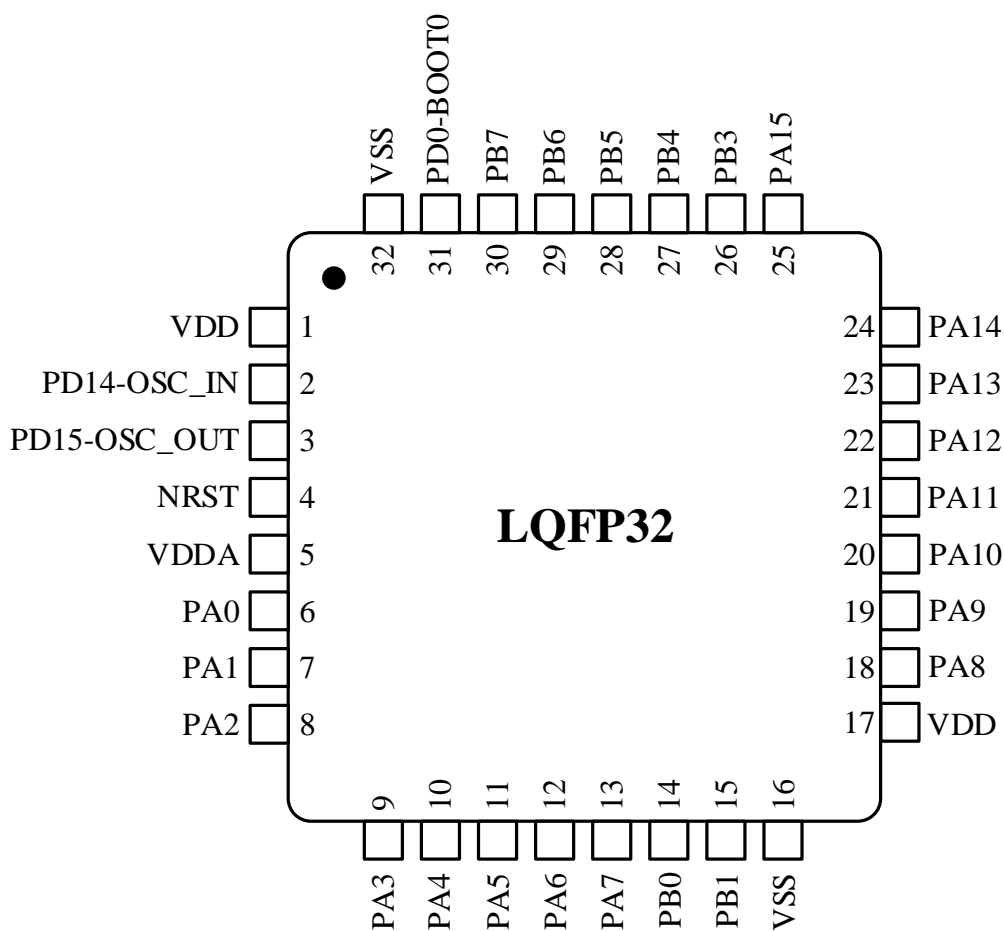
内嵌ARM的SWJ-DP接口，结合了JTAG和串行单线调试接口，可以实现串行单线调试接口或JTAG接口的连接。JTAG的JTMS和JTCK信号分别与SWDIO和SWCLK共用引脚，JTMS脚上的一个特殊的信号序列用于在JTAG-DP和SW-DP间切换。

## 3 引脚定义和描述

### 3.1 封装示意图

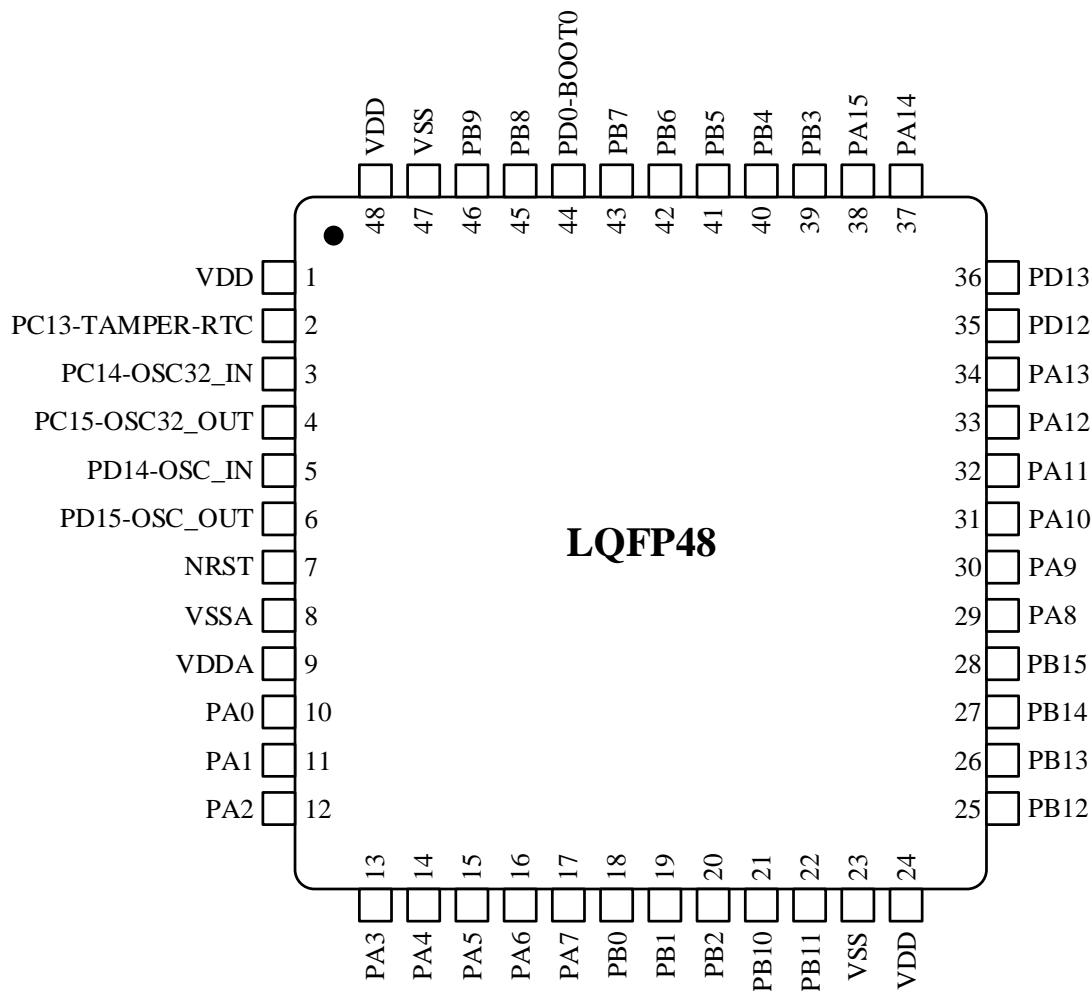
#### 3.1.1 LQFP32

图 3-1 N32G430 系列 LQFP32 引脚分布



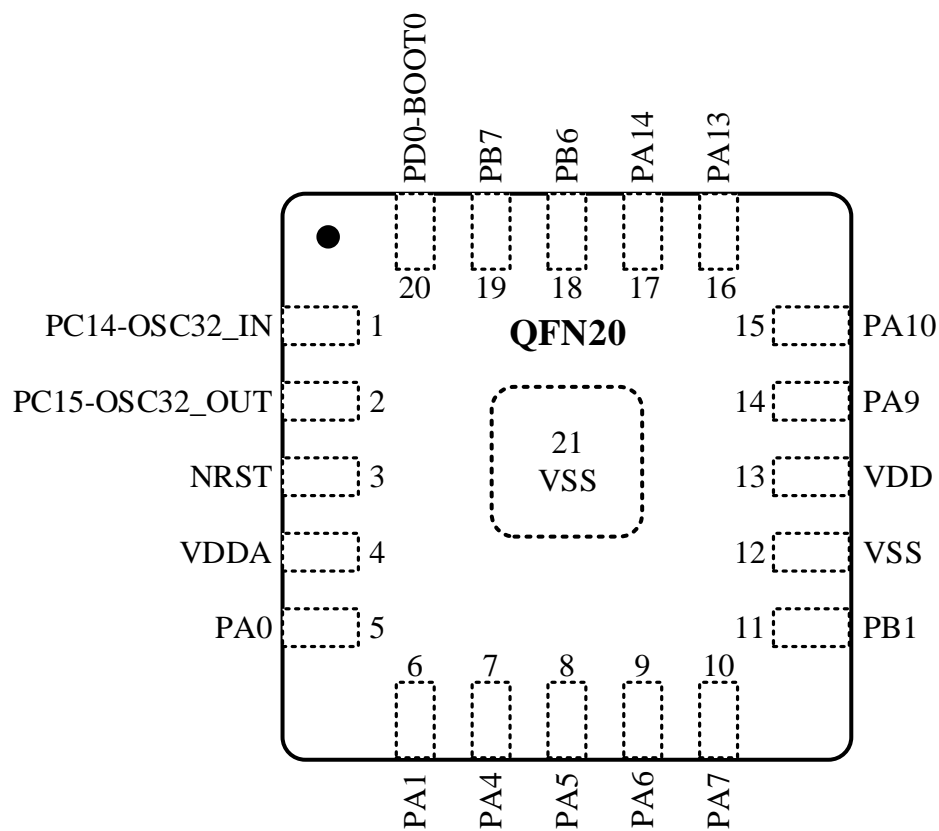
### 3.1.2 LQFP48

图 3-2 N32G430 系列 LQFP48 引脚分布



### 3.1.3 QFN20

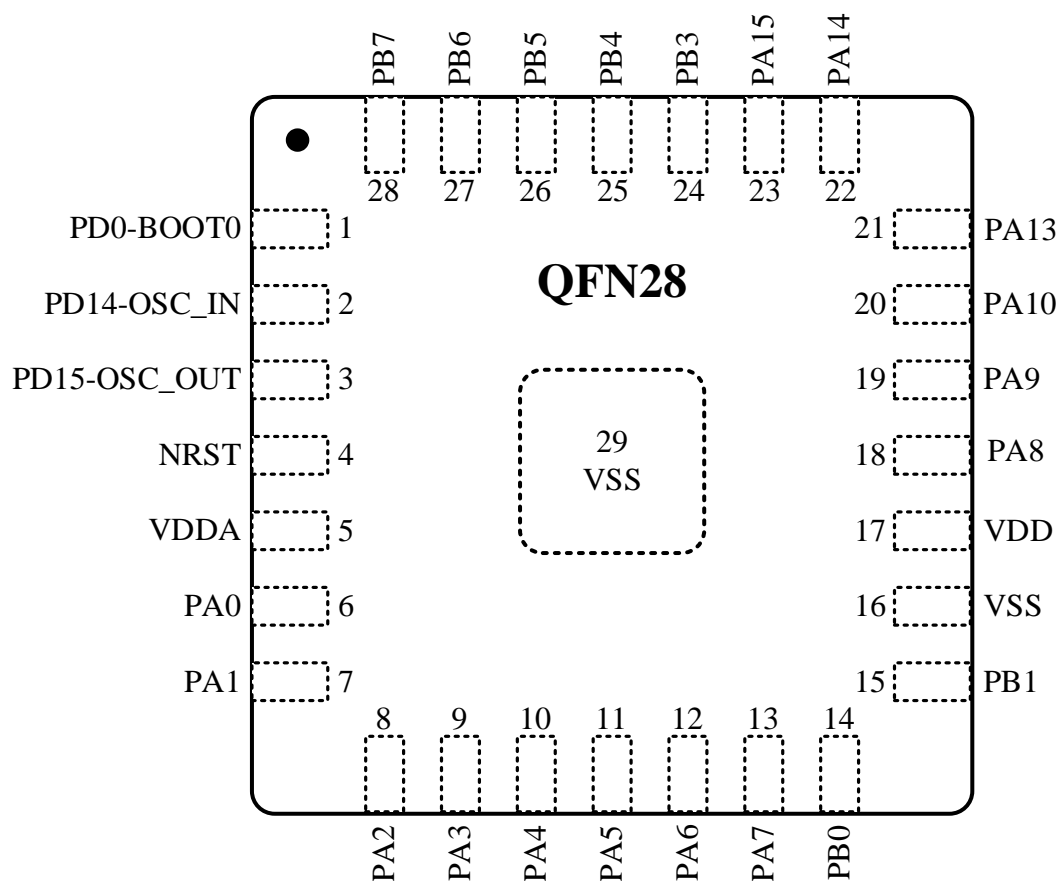
图 3-3 N32G430 系列 QFN20 引脚分布





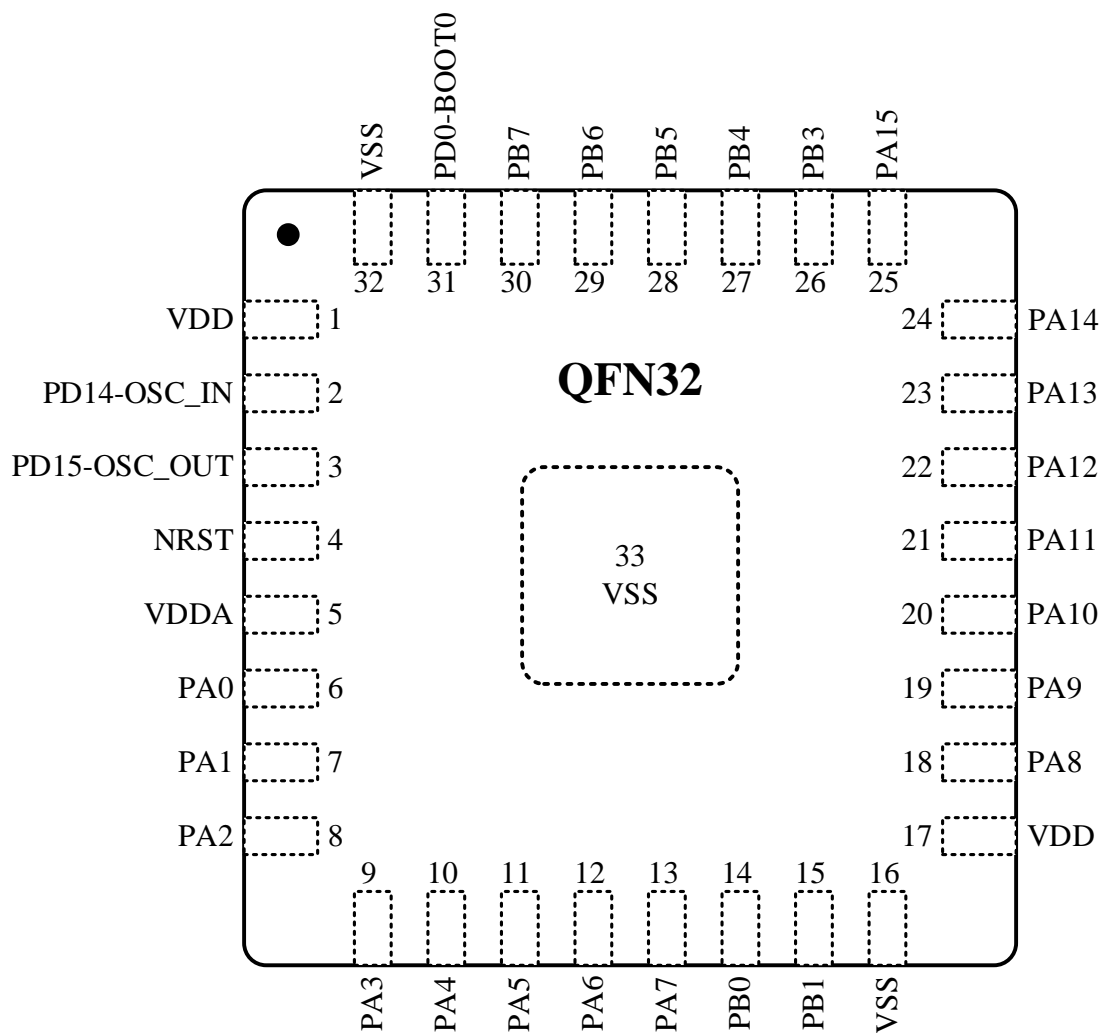
### 3.1.4 QFN28

图 3-4 N32G430 系列 QFN28 引脚分布



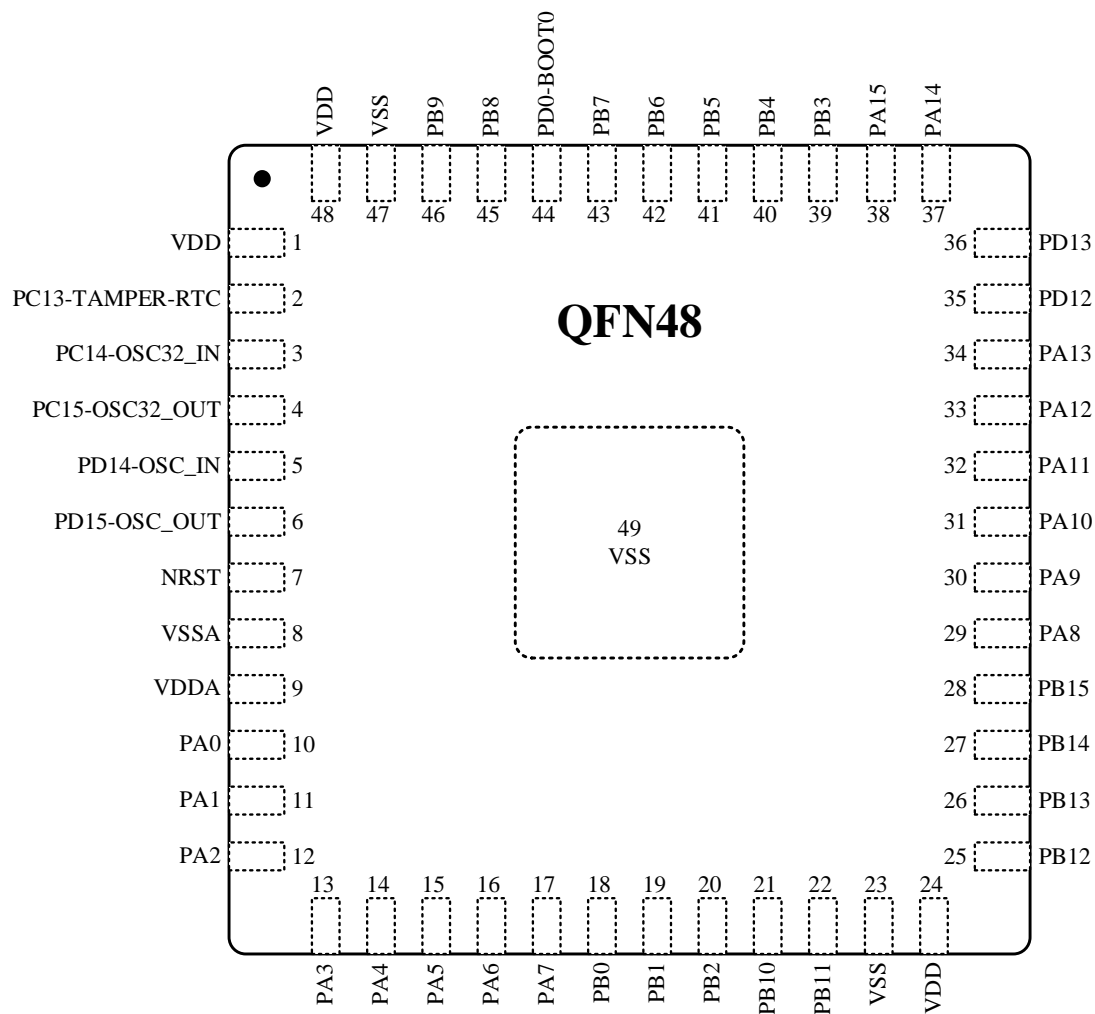
### 3.1.5 QFN32

图 3-5 N32G430 系列 QFN32 引脚分布



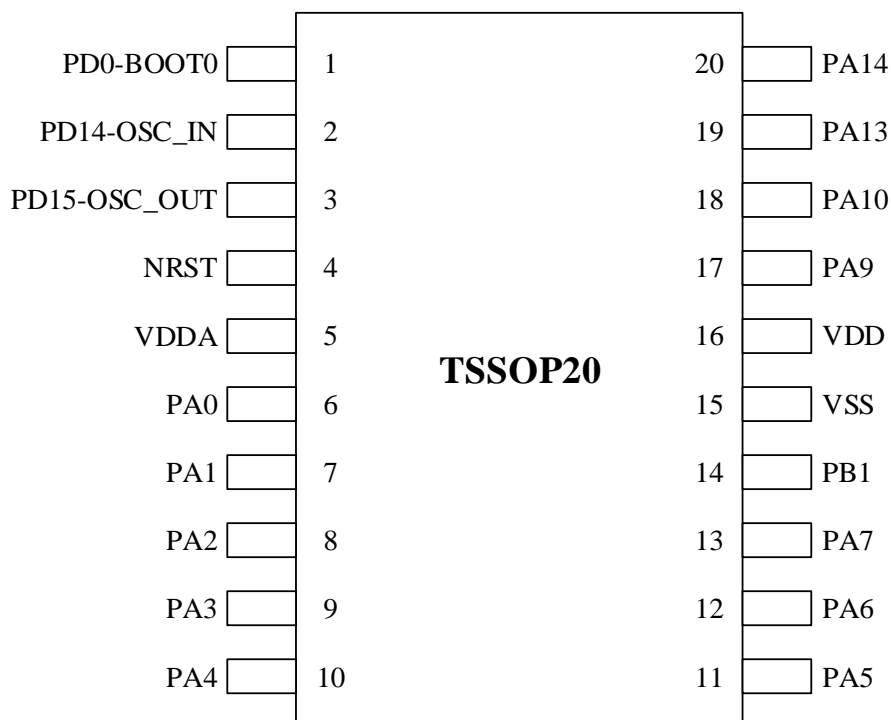
### 3.1.6 QFN48

图 3-6 N32G430 系列 QFN48 引脚分布



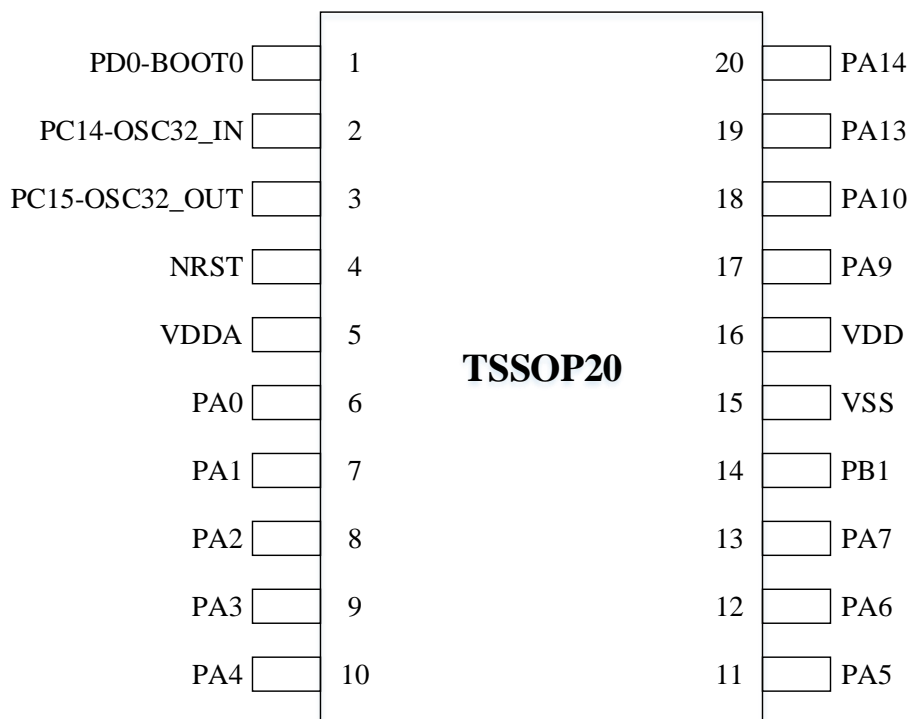
### 3.1.7 TSSOP20

图 3-7 N32G430 系列 TSSOP20 引脚分布



此引脚分布适用于N32G430F6S7和N32G430F8S7型号

图 3-8 N32G430 系列 TSSOP20 引脚分布



此引脚分布适用于N32G430F6S7-1和N32G430F8S7-1型号

## 3.2 引脚复用定义

表 3-1 管脚定义

TSSOP20	QFN20	QFN28	QFN32 LQFP32	QFN48 LQFP48	管脚名称(复位后)	类型 <sup>(1)</sup>	I/O <sup>(2)</sup>	Fail-safe <sup>(4)</sup>	复用功能 <sup>(3)</sup>	可选功能
-	-	-	1	1	VDD	S	-	-	-	-
-	-	-	-	2	PC13_TAMPER- RTC	I/O	FT	Y	TIM1_CH1N EVENTOUT	RTC-TAMP1 RTC_OUT WKUP3
2 <sup>(7)</sup>	1	-	-	3	PC14-OSC32_IN	I/O	FTa	Y	-	OSC32_IN
3 <sup>(7)</sup>	2	-	-	4	PC15-OSC32_OUT	I/O	FTa	Y	-	OSC32_OUT
2 <sup>(8)</sup>	-	2	2	5	PD14-OSC_IN	I/O	FTa	Y	USART2_TX I2C2_SDA TIM1_CH3N	OSC_IN
3 <sup>(8)</sup>	-	3	3	6	PD15-OSC_OUT	I/O	FTa	Y	USART2_RX I2C2_SCL TIM1_CH2N	OSC_OUT
4	3	4	4	7	NRST	I	-	-	-	-
-	-	-	-	8	VSSA/VREF-	S	-	-	-	-
5	4	5	5	9	VDDA/VREF+	S	-	-	-	-
6	5	6	6	10	PA0	I/O	FTa	Y	USART2_CTS TIM2_CH1 TIMER2_ETR TIM5_CH1 TIM8_ETR SPI1_MISO I2S1_MCK EVENTOUT COMP1_OUT TIM1_CH1 UART4_TX	ADC_IN1 <sup>(5)</sup> COMP1_INM COMP1_INP WKUP2 RTC-TAMP2 COMP3_INP
7	6	7	7	11	PA1	I/O	FTa	Y	USART2_RTS TIM5_CH2 TIM2_CH2 EVENTOUT SPI1_NSS TIM1_CH1N	ADC1_IN2 <sup>(5)</sup> COMP1_INP
8	-	8	8	12	PA2	I/O	FTa	Y	USART2_TX TIM5_CH3 TIM2_CH3 I2C2_SDA COMP2_OUT EVENTOUT TIM8_BKIN TIM8_CH1	ADC_IN3 <sup>(5)</sup> COMP2_INM COMP1_INP
9	-	9	9	13	PA3	I/O	FTa	Y	USART2_RX TIM5_CH4 I2C2_SCL EVENTOUT TIM8_CH2	ADC_IN4 <sup>(5)</sup> COMP2_INP COMP3_INM

10	7	10	10	14	PA4	I/O	FTa	Y	USART2_CK I2C1_SCL SPI1_NSS I2S1_WS USART1_TX EVENTOUT CAN_RX LPTIM_OUT SPI2_NSS TIM8_CH3 I2S2_WS TIM4_CH3	ADC_IN5 <sup>(5)</sup> COMP1_INM COMP2_INM
11	8	11	11	15	PA5	I/O	FTa	Y	SPI1_SCK I2C1_SDA I2S1_CK USART1_RX EVENTOUT CAN_TX LPTIM_IN1 TIM8_CH4 TIM4_CH4	ADC_IN6 <sup>(6)</sup> COMP1_INM COMP2_INM
12	9	12	12	16	PA6	I/O	FTa	Y	SPI1_MISO I2S1_MCK TIM8_BKIN TIM3_CH1 TIM1_BKIN COMP2_OUT EVENTOUT BEEPER_OUT _P TIM8_CH3 USART2_TX COMP3_OUT TIM1_CH2N	ADC_IN7 <sup>(6)</sup> COMP2_INM COMP2_INP
13	10	13	13	17	PA7	I/O	FTa	Y	SPI1_MOSI I2S1_SD TIM1_CH1N TIM8_CH1N TIM3_CH2 COMP2_OUT EVENTOUT USART2_RX BEEPER_OUT _N TIM1_CH4 TIM4_CH1	ADC_IN8 <sup>(6)</sup> COMP2_INP COMP3_INM
-	-	14	14	18	PB0	I/O	FTa	Y	TIM1_CH2N TIM3_CH3 TIM8_CH2N UART4_TX EVENTOUT	ADC_IN9 <sup>(6)</sup>
14	11	15	15	19	PB1	I/O	FTa	Y	TIM1_CH3N TIM3_CH4 TIM8_CH3N UART4_RX EVENTOUT SPI1_SCK SPI2_MOSI I2S2_SD TIM4_CH2	ADC_IN10 <sup>(6)</sup> COMP3_INP

-	-	-	-	20	PB2	I/O	FTa	Y	LPTIM_OUT EVENTOUT TIM3_ETR TIM1_CH4N	ADC_IN11 <sup>(6)</sup> COMP3_INM
-	-	-	-	21	PB10	I/O	FTa	Y	UART3_TX I2C2_SCL TIM2_CH3 EVENTOUT COMP3_OUT TIM4_ETR	COMP1_INP ADC_IN12 <sup>(6)</sup>
-	-	-	-	22	PB11	I/O	FTa	Y	UART3_RX I2C2_SDA TIM2_CH4 EVENTOUT	ADC_IN13 <sup>(6)</sup> COMP3_INP
15	12	16	16	23	VSS	S	-	-	-	-
16	13	17	-	24	VDD	S	-	-	-	-
-	-	-	-	25	PB12	I/O	FTa	Y	SPI2_NSS I2S2_WS I2C2_SMBA TIM1_BKIN EVENTOUT TIM5_CH1	ADC_IN14 <sup>(6)</sup>
-	-	-	-	26	PB13	I/O	FTa	Y	SPI2_SCK I2S2_CK I2C2_SCL TIM1_CH1N EVENTOUT TIM5_CH2	ADC_IN15 <sup>(6)</sup>
-	-	-	-	27	PB14	I/O	FTa	Y	SPI2_MISO I2S2_MCK TIM1_CH2N I2C2_SDA EVENTOUT UART4_TX TIM8_CH1 TIM1_CH1	ADC_IN16 <sup>(6)</sup> COMP3_INM
-	-	-	-	28	PB15	I/O	FTa	Y	UART4_RX SPI2_MOSI I2S2_SD TIM1_CH3N EVENTOUT RTC_REFIN TIM8_CH2 TIM8_CH1N TIM1_CH2N	COMP3_INP
-	-	-	17	-	VDD	S	-	-	-	-
-	-	18	18	29	PA8	I/O	FT	Y	USART1_CK I2C2_SMBA TIM1_CH1 I2C2_SDA SPI1_NSS I2S1_WS MCO EVENTOUT COMP3_OUT TIM1_CH2	WKUP1 RTC-TAMP3

17	14	19	19	30	PA9	I/O	FT	Y	USART1_TX I2C2_SCL TIM1_CH2 EVENTOUT TIM8_BKIN SPI2_MISO I2S2_MCK MCO TIM1_CH3N	LPTIM_IN2
18	15	20	20	31	PA10	I/O	FT	Y	USART1_RX I2C2_SDA SPI1_SCK SPI2_SCK I2S1_CK I2S2_CK TIM1_CH3 EVENTOUT TIM1_BKIN	COMP3_OUT LPTIM_ETR RTC_REFIN
-	-	-	21	32	PA11	I/O	FTa	Y	USART1_CTS SPI2_MISO I2S2_MCK CAN_RX TIM1_CH4 COMP1_OUT EVENTOUT TIM4_ETR	COMP2_INP
-	-	-	22	33	PA12	I/O	FTa	Y	USART1_RTS SPI2_MOSI I2S2_SD CAN_TX TIM1_ETR COMP2_OUT EVENTOUT	COMP1_INP
19	16	21	23	34	PA13 <sup>(9)</sup>	I/O	FT	Y	SWDIO-JTMS SPI2_NSS I2S2_WS EVENTOUT SPI2_MISO	-
-	-	-	-	35	PD12	I/O	FT	Y	UART4_RX I2C1_SDA SPI2_SCK I2S2_CK EVENTOUT	-
-	=	-	-	36	PD13	I/O	FT	Y	UART4_TX I2C1_SCL EVENTOUT	-
20	17	22	24	37	PA14 <sup>(9)</sup>	I/O	FT	Y	SWCLK-JTCK USART2_CK I2C1_SDA COMP2_OUT EVENTOUT SPI2_MOSI I2S2_SD	-



-	-	23	25	38	PA15	I/O	FTa	Y	JTDI USART2_CTS I2C1_SCL SPI2_NSS I2S2_WS TIM2_CH1 TIM2_ETR EVENTOUT SPI1_NSS TIM8_CH1N	COMP2_INP
-	-	24	26	39	PB3	I/O	FTa	Y	USART2_RTS SPI1_SCK I2S1_CK TIM2_CH2 JTDO EVENTOUT TIM8_CH2N	COMP1_INP COMP2_INM COMP3_INP
-	-	25	27	40	PB4	I/O	FTa	Y	USART2_TX SPI1_MISO I2S1_MCK TIM3_CH1 UART3_TX EVENTOUT TIM8_CH3 TIM1_BKIN NJTRST	COMP1_INP COMP3_OUT
-	-	26	28	41	PB5	I/O	FTa	Y	USART2_RX I2C1_SMBA SPI1_MOSI I2S1_SD TIM3_CH2 UART3_RX LPTIM_IN1 EVENTOUT TIM8_CH4 TIM8_BKIN	COMP1_INM COMP3_INP
-	18	27	29	42	PB6	I/O	FT	Y	USART1_TX I2C1_SCL SPI1_NSS I2S1_WS TIM1_CH2N TIM4_CH1 SPI2_SCK I2S2_CK LPTIM_ETR COMP1_OUT EVENTOUT CAN_RX TIM1_CH4 TIM8_CH3N	BEEPER_OUT _P
-	19	28	30	43	PB7	I/O	FTa	Y	USART1_RX I2C1_SDA TIM4_CH2 EVENTOUT LPTIM_IN2 CAN_TX BEEPER_OUT _N TIM8_ETR TIM1_CH4N	COMP2_INP

									SPI2_MISO I2S2_MCK	
1	20	1	31	44	BOOT0/PD0	I/O	FT	Y	-	-
-	-	-	-	45	PB8	I/O	FT	Y	I2C1_SCL CAN_RX TIM4_CH3 USART1_TX UART3_TX COMP1_OUT EVENTOUT TIM8_CH3	-
-	-	-	-	46	PB9	I/O	FT	Y	I2C1_SDA CAN_TX TIM4_CH4 UART3_RX COMP2_OUT EVENTOUT TIM1_CH4	-
-	-	-	32	47	VSS	S	-	-	-	-
-	-	-	-	48	VDD	S	-	-	-	-

1. I = 输入, O = 输出, S = 电源
2. FT: 5V tolerant; FTa: 5V tolerant, 带模拟功能
3. 此类复用功能能够由软件配置到其他引脚上(如果相应的封装型号有此引脚), 详细信息请参考N32G430系列用户手册的复用功能I/O章节和调试设置章节。
4. Fail-safe 指当芯片没有电源输入时, 在IO上加输入高电平, 不会存在输入高电平灌入芯片, 从而导致电源上有一定电压, 并消耗电流的现象。
5. 对应的ADC通道为快速通道, 支持最高采样速率4.7MSPS(12Bit)。
6. 对应的ADC通道为慢速通道, 支持最高采样速率4MSPS(12Bit)。
7. TSSOP20封装对应N32G430F6S7-1和N32G430F8S7-1型号的PIN2/PIN3是OSC32\_IN/OSC32\_OUT。
8. TSSOP20封装对应N32G430F6S7和N32G430F8S7型号的PIN2/PIN3是OSC\_IN/OSC\_OUT。
9. 如果MCU会进入STANDBY模式, 进入STANDBY模式之前, 如果PA13和PA14用做非调试管脚, 且引脚配置成输入模式, 需要在PA13和PA14引脚外部加强上下拉, 上下拉电阻建议10KΩ以内。

对于表中的FT和FTa口, 需要保证IO电压与电源电压的压差小于3.6V

## 4 电气特性

### 4.1 测试条件

除非特别说明，所有电压的都以 $V_{SS}$ 为基准。

#### 4.1.1 最小和最大数值

除非特别说明，在生产线上通过对100%的产品在环境温度 $T_A=25\text{ }^{\circ}\text{C}$ 下执行的测试，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过特征测试、设计仿真和/或工艺特性得到的数据，不会在生产线上进行测试；在特征测试的基础上，最小和最大值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\Sigma$ )得到。

#### 4.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25\text{ }^{\circ}\text{C}$ 和 $V_{DD}=3.3\text{V}$ ( $2.4\text{V} \leq V_{DD} \leq 3.6\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

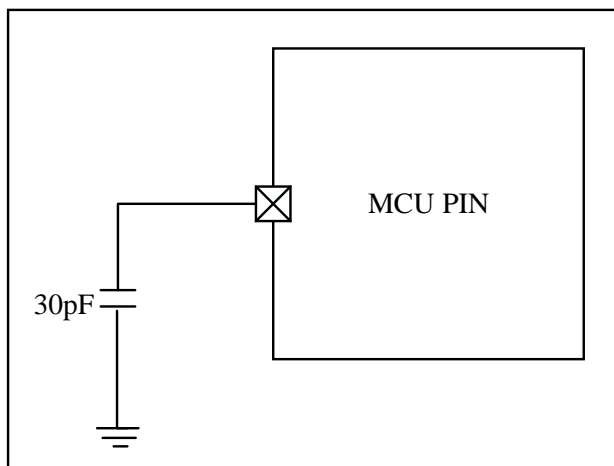
#### 4.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

#### 4.1.4 负载电容

测量引脚参数时的负载条件如图 4-1所示。

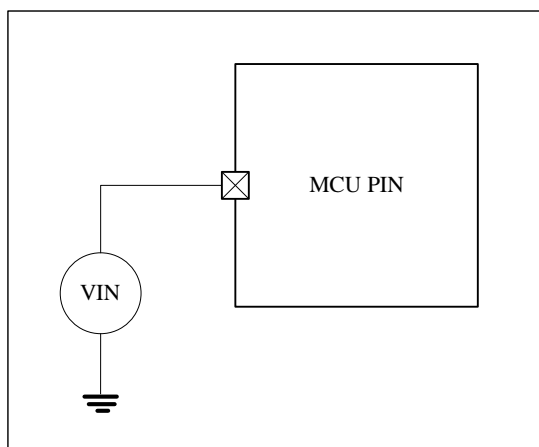
图 4-1 引脚的负载条件



#### 4.1.5 引脚输入电压

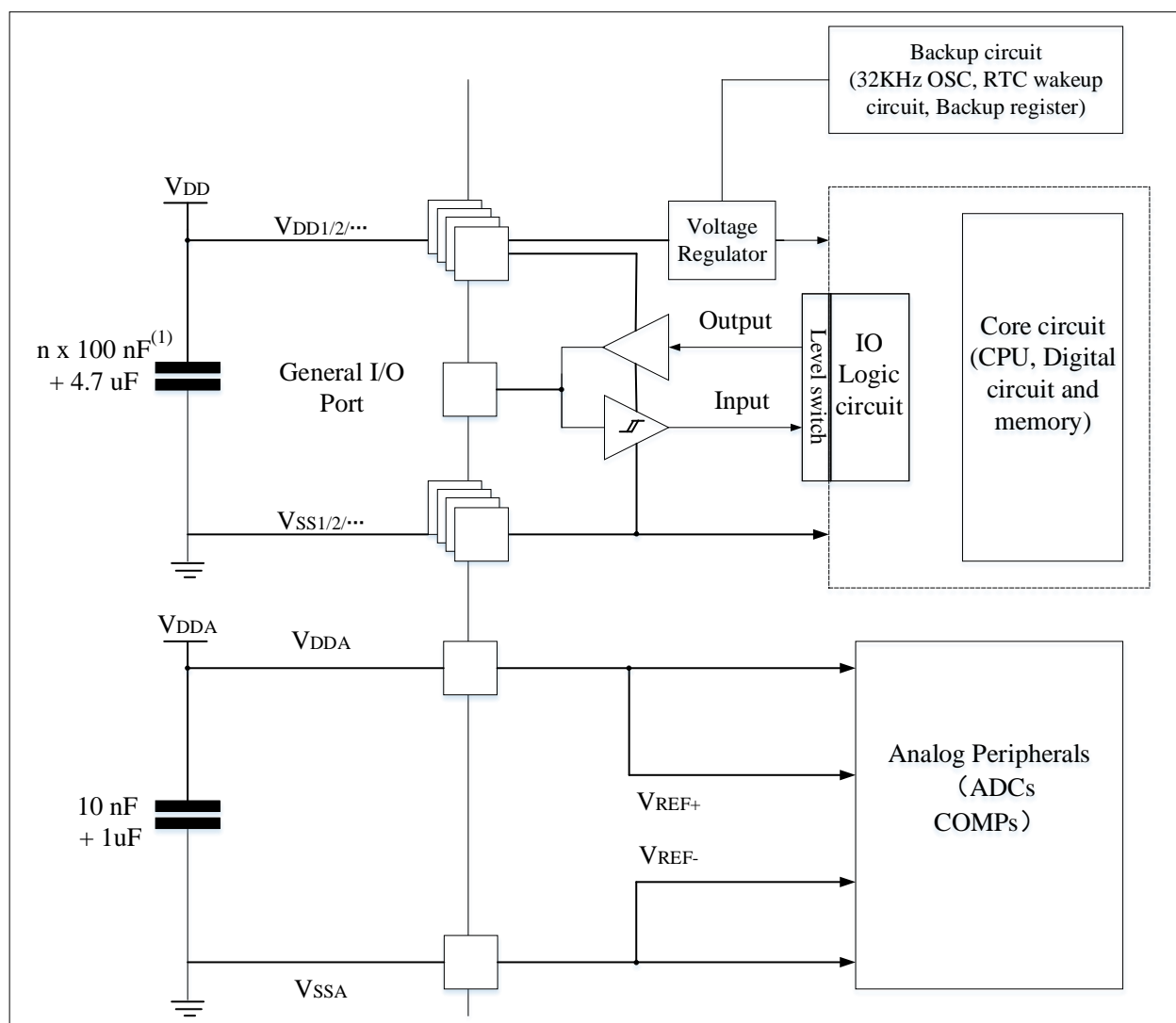
引脚上输入电压的测量方式如图 4-2所示。

图 4-2 引脚输入电压



#### 4.1.6 供电方案

图 4-3 供电方案

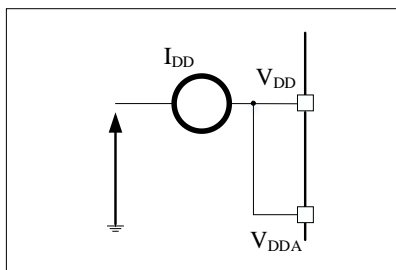


1.  $n$ 为 $V_{DD}$ 个数。

注意：电容连接方式请参考硬件设计指南。

## 4.1.7 电流消耗测量

图 4-4 电流消耗测量方案



## 4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表(表 4-1, 表 4-2, 表 4-3)中给出的值, 可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷, 并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 4-1 电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压(包含 $V_{DDA}$ 和 $V_{DD}$ ) <sup>(1)</sup>	-0.3	4.0	V
$V_{IN}$	在5V容忍引脚上的输入电压 <sup>(3)</sup>	$V_{SS} - 0.3$	5.5	
	在其它引脚上的输入电压 <sup>(2)</sup>	$V_{SS} - 0.3$	$V_{DD} + 0.3$	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差	-	50	
$V_{ESD(HBM)}$	ESD静电放电电压(人体模型)	见4.3.11章节		

1. 所有的电源( $V_{DD}$ ,  $V_{DDA}$ )和地( $V_{SS}$ ,  $V_{SSA}$ )引脚必须始终连接到外部允许范围内的供电系统上。
2.  $V_{IN}$ 不应超过其最大值, 电流特性参考表 4-2。
3. 当5V容忍引脚输入5.5V,  $V_{DD}$ 不能低于2.25V。

表 4-2 电流特性

符号	描述	最大值 <sup>(1)</sup>	单位
$I_{VDD}$	经过 $V_{DD}/V_{DDA}$ 电源线的总电流(供应电流) <sup>(1) (4)</sup>	150	mA
$I_{VSS}$	经过 $V_{SS}$ 地线的总电流(流出电流) <sup>(1) (4)</sup>	150	
$I_{IO}$	任意I/O和控制引脚上的输出灌电流	12	
	任意I/O和控制引脚上的输出电流	-12	
$I_{INJ(PIN)}^{(2)(3)}$	NRST引脚的注入电流	-5/0	
	其他引脚的注入电流	$\pm 5$	

1. 所有的电源( $V_{DD}$ ,  $V_{DDA}$ )和地( $V_{SS}$ ,  $V_{SSA}$ )引脚必须始终连接到外部允许范围内的供电系统上。
2. 当 $V_{IN} > V_{DD}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。 $I_{INJ(PIN)}$ 不应超过其最大值, 电压特性参考表 4-1。
3. 反向注入电流会干扰器件的模拟性能。参看第4.3.18节。
4. 发生最大电流时, 允许 $V_{DD}$ 最大的压降为 $0.1V_{DD}$ 。

表 4-3 温度特性

符号	描述	数值	单位
$T_{STG}$	储存温度范围	-40 ~ + 150	°C
$T_J$	最大结温度	125	°C

## 4.3 工作条件

### 4.3.1 通用工作条件

表 4-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
$f_{HCLK}$	内部AHB时钟频率	-	0	128	MHz
$f_{PCLK1}$	内部APB1时钟频率	-	0	32	
$f_{PCLK2}$	内部APB2时钟频率	-	0	64	
$V_{DD}$	标准工作电压	-	2.4	3.6	V
$V_{DDA}$	模拟部分工作电压	必须与 $V_{DD}^{(1)}$ 相同	2.4	3.6	V
$T_A$	环境温度(温度标号7)	后缀版本7	- 40	105	°C
$T_J$	结温度范围	后缀版本7	- 40	125	°C

1. 建议使用相同的电源为 $V_{DD}$ 和 $V_{DDA}$ 供电，在上电和正常操作期间， $V_{DD}$ 和 $V_{DDA}$ 之间最多允许有300mV的差别。

### 4.3.2 上电和掉电时的工作条件

下表中给出的参数是依据表 4-4列出的环境温度下测试得出。

表 4-5 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
$t_{VDD}$	$V_{DD}$ 上升速率	电源电压从0升到到 $V_{DD}$	20	$\infty$	$\mu s/V$
	$V_{DD}$ 下降速率	电源电压从 $V_{DD}$ 降到到0	80	$\infty$	

### 4.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 4-4列出的环境温度下和 $V_{DD}$ 供电电压下测试得出。

表 4-6 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{PVD}$	可编程的电压检测器的电平选择 (PWR_CTRL.MSB = 0)	PRS[2:0]=011 (rising)	2.38	2.48	2.58	V
		PRS[2:0]=011 (falling)	2.28	2.38	2.48	V
		PRS[2:0]=100 (rising)	2.47	2.58	2.69	V
		PRS[2:0]=100 (falling)	2.37	2.48	2.59	V
		PRS[2:0]=101 (rising)	2.57	2.68	2.79	V
		PRS[2:0]=101 (falling)	2.47	2.58	2.69	V
		PRS[2:0]=110 (rising)	2.66	2.78	2.9	V
		PRS[2:0]=110 (falling)	2.56	2.68	2.8	V
		PRS[2:0]=111 (rising)	2.76	2.88	3	V
		PRS[2:0]=111 (falling)	2.66	2.78	2.9	V
	可编程的电压检测器的电平选择 (PWR_CTRL.MSB = 1)	PRS[2:0]=100 (rising)	3.15	3.28	3.41	V
		PRS[2:0]=100 (falling)	3.05	3.18	3.31	V
		PRS[2:0]=101 (rising)	3.24	3.38	3.52	V
		PRS[2:0]=101 (falling)	3.15	3.28	3.41	V
		PRS[2:0]=110 (rising)	3.34	3.48	3.62	V
		PRS[2:0]=110 (falling)	3.24	3.38	3.52	V
		PRS[2:0]=111 (rising)	3.44	3.58	3.72	V



符号	参数	条件	最小值	典型值	最大值	单位
		PRS[2:0]=111 (falling)	3.34	3.48	3.62	V
$V_{PVDhyst}^{(1)}$	PVD迟滞	-	-	100	-	mV
$V_{POR/PDR}$	VDD上电/下电 复位阈值	Falling edge	1.625	1.856	2.179	V
		Rising edge	1.648	1.893	2.236	
$V_{PDRhyst}^{(1)}$	PDR迟滞	-	22	36	58	mV
$T_{RSTTEMPO}^{(1)}$	复位持续时间	-	-	0.8	4	ms

1. 由设计保证，不在生产中测试。

### 4.3.4 内置参考电压

下表中给出的参数是依据表 4-4列出的环境温度下和 $V_{DD}$ 供电电压下测试得出。

表 4-7 内置参考电压

符号	参数	条件	最小值	典型值	最大值	单位
$V_{REFINT}$	内置参考电压	$-40\text{ }^{\circ}\text{C} < T_A < +105\text{ }^{\circ}\text{C}$	1.164	1.2	1.236	V
$T_{S\_vrefint}^{(1)}$	当读出内置参照电压时， ADC的采样时间	-	-	5	17 <sup>(2)</sup>	$\mu\text{s}$
$V_{RERINT}^{(2)}$	全温范围内的内部电压 漂移	$V_{DD}=3.3\text{V}\pm 10\text{mV}$	-	-	10	mV
$T_{Coeff}^{(2)}$	温度系数	-	-	-	48	ppm/ $^{\circ}\text{C}$

1. 最短的采样时间是通过应用中的多次循环得到。

2. 由设计保证，不在生产中测试。

### 4.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O引脚的负载、产品的软件配置、工作频率、I/O脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见图 4-4。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

#### 4.3.5.1 最大电流消耗

微控制器处于下列条件：

- 所有的I/O引脚都处于输入模式，并连接到一个静态电平上—— $V_{DD}$ 或 $V_{SS}$ (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到所能运行的最快频率(0~32MHz时为0个等待周期，32~64MHz时为1个等待周期，64MHz~96MHz时为2个等待周期，96MHz~128MHz时为3个等待周期)<sup>(1)</sup>；(0~39MHz时为0个等待周期，39~78MHz时为1个等待周期，78MHz~117MHz时为2个等待周期，117MHz~128MHz时为3个等待周期)<sup>(2)</sup>。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时： $f_{PCLK1} = f_{HCLK}/4$ ， $f_{PCLK2} = f_{HCLK}/2$ 。
- $V_{DD}=3.63\text{V}$ ，环境温度等于105 $^{\circ}\text{C}$ 。

1. 适用于 C 版

2. 适用于 D 版

表 4-8和表 4-9中给出的参数，是依据表 4-4列出的环境温度下和V<sub>DD</sub>供电电压下测试得出。

表 4-8 运行模式下的典型电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	f <sub>HCLK</sub>	典型值 <sup>(1)</sup>	单位
				VDD=3.63V, T <sub>A</sub> = 105°C	
I <sub>DD</sub> <sup>(2)</sup>	运行模式下的 供应电流	外部时钟，使能 所有外设	128MHz	15.45	mA
			64MHz	9.21	
			32MHz	6.24	
			16MHz	4.82	
			8MHz	4.22	
		外部时钟，关闭 所有外设	128MHz	11.93	
			64MHz	7.49	
			32MHz	5.42	
			16MHz	4.42	
			8MHz	3.9	
I <sub>DD</sub> <sup>(2)</sup>	运行模式下的 供应电流	内部时钟，使能 所有外设	128MHz	13.06	mA
			64MHz	6.94	
			32MHz	3.91	
			16MHz	2.4	
			8MHz	1.73	
		内部时钟，关闭 所有外设	128MHz	9.57	
			64MHz	5.21	
			32MHz	3.03	
			16MHz	1.96	
			8MHz	1.39	

1. 由特征测试结果保证，不在生产中测试。

2. 当f<sub>HCLK</sub>>8MHz时启用PLL。

表 4-9 睡眠模式下的典型电流消耗

符号	参数	条件	$f_{HCLK}$	典型值 <sup>(1)</sup>	单位
				$V_{DD}=3.63V, T_A = 105^{\circ}C$	
$I_{DD}^{(2)}$	睡眠模式下的 供应电流	外部时钟, 使能 所有外设	128MHz	11.23	mA
			64MHz	7.19	
			32MHz	5.26	
			16MHz	4.35	
			8MHz	3.98	
		外部时钟, 关闭 所有外设	128MHz	7.43	
			64MHz	5.36	
			32MHz	4.39	
			16MHz	3.91	
			8MHz	3.65	
$I_{DD}^{(2)}$	睡眠模式下的 供应电流	内部时钟, 使能 所有外设	128MHz	8.98	mA
			64MHz	4.91	
			32MHz	2.89	
			16MHz	1.88	
			8MHz	1.47	
		内部时钟, 关闭 所有外设	128MHz	5.15	
			64MHz	2.98	
			32MHz	1.92	
			16MHz	1.4	
			8MHz	1.1	

1. 由特征测试结果保证, 不在生产中测试。
2. 当  $f_{HCLK} > 8MHz$  时启用 PLL。

#### 4.3.5.2 典型电流消耗

MCU处于下述条件:

- 所有的I/O引脚都处于输入模式, 并连接到一个静态电平上— $V_{DD}$ 或 $V_{SS}$ (无负载)。
  - 所有的外设都处于关闭状态, 除非特别说明。
  - 闪存存储器的访问时间调整到所能运行的最快频率(0~32MHz时为0个等待周期, 32~64MHz时为1个等待周期, 64MHz~96 MHz时为2个等待周期, 96MHz~128MHz时为3个等待周期)<sup>(1)</sup>; (0~39MHz时为0个等待周期, 39~78MHz时为1个等待周期, 78MHz~117MHz时为2个等待周期, 117MHz~128MHz时为3个等待周期)<sup>(2)</sup>。
  - 环境温度和 $V_{DD}$ 供电电压条件列于表 4-4。
  - 指令预取功能开启(提示: 这个参数必须在设置时钟和总线分频之前设置)。当开启外设时:  $f_{PCLK1} = f_{HCLK}/4$ ,  $f_{PCLK2} = f_{HCLK}/2$ ,  $f_{ADCCLK} = f_{HCLK}/2$ 。
1. 适用于 C 版
  2. 适用于 D 版

表 4-10 运行模式下的典型电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	f <sub>HCLK</sub>	典型值 <sup>(1)</sup>		单位
				使能所有外设	关闭所有外设	
I <sub>DD</sub> <sup>(2)</sup>	运行模式下的供应电流	外部时钟	128MHz	13.94	10.51	mA
			64MHz	7.91	6.19	
			32MHz	4.86	4.04	
			16MHz	3.44	3.04	
			8MHz	2.82	2.52	
I <sub>DD</sub> <sup>(2)</sup>	运行模式下的供应电流	内部时钟	128MHz	12.45	8.95	mA
			64MHz	6.4	4.66	
			32MHz	3.37	2.5	
			16MHz	1.87	1.43	
			8MHz	1.21	0.86	

1. 典型值是在T<sub>A</sub>=25°C、V<sub>DD</sub>=3.3V时测试得到。

2. 当f<sub>HCLK</sub>>8MHz时启用PLL。

表 4-11 睡眠模式下的典型电流消耗

符号	参数	条件	f <sub>HCLK</sub>	典型值 <sup>(1)</sup>		单位
				使能所有外设 <sup>(2)</sup>	关闭所有外设	
I <sub>DD</sub> <sup>(3)</sup>	睡眠模式下的供应电流	外部时钟	128MHz	9.85	6.07	mA
			64MHz	5.85	4.05	
			32MHz	3.93	3.1	
			16MHz	3.02	2.63	
			8MHz	2.66	2.36	
I <sub>DD</sub> <sup>(3)</sup>	睡眠模式下的供应电流	内部时钟	128MHz	8.41	4.59	mA
			64MHz	4.37	2.46	
			32MHz	2.36	1.4	
			16MHz	1.36	0.88	
			8MHz	0.95	0.59	

1. 典型值是在T<sub>A</sub>=25°C、V<sub>DD</sub>=3.3V时测试得到。

2. 当ADC开启时会增加0.2mA(1MSPS)额外电流消耗。在应用环境中，这部分电流只有在开启ADC(设置ADC\_CTRL2.ON位)时才会增加。

3. 当f<sub>HCLK</sub>>8MHz时启用PLL。

#### 4.3.5.3 低功耗模式电流消耗

微控制器处于下列条件：

- 所有的I/O引脚都处于输入模式，并连接到一个静态电平上-V<sub>DD</sub>或V<sub>SS</sub>(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。

表 4-12 停机和待机模式下的典型电流消耗

符号	参数	条件	典型值 <sup>(1)</sup>			单位
			V <sub>DD</sub> = 3.3 V T <sub>A</sub> = -40°C	V <sub>DD</sub> = 3.3 V T <sub>A</sub> = 25 °C	V <sub>DD</sub> = 3.3 V T <sub>A</sub> = 105°C	
I <sub>DD_STOP0</sub>	停机模式 0 (STOP0) 下的供应电流	调压器处于运行模式，低速和高速内部RC振荡器和高速外部振荡器处于关闭状态(没有独立看门狗)	180	212.3	700	μA
		调压器处于低功耗模式，低速和高速内部RC振荡器和高速外部振荡器处于关闭状态(没有独立看门狗)	42	52.7	420	
I <sub>DD_STOP2</sub>	停机模式 2 (STOP2) 下的供应电流	外部低速时钟开启，RTC运行，SRAM保持，所有I/O状态保持，独立看门狗关闭	2.01	6.0	63.11	
		内部低速时钟开启，RTC运行，SRAM保持，所有I/O状态保持，独立看门狗关闭	1.76	5.77	62.77	
I <sub>DD_STANDBY</sub>	待机模式 (STANDBY) 下的供应电流	外部低速时钟和独立看门狗处于开启状态，RTC运行，SRAM保持	1.28	2.42	20.51	
		外部低速时钟开启，RTC运行，SRAM保持，独立看门狗关闭	1.23	2.33	20.4	
		外部低速时钟开启，RTC运行，SRAM不保持，独立看门狗关闭	0.94	1.96	19.89	
		外部低速时钟开启，RTC关闭，SRAM不保持，独立看门狗关闭	0.81	1.78	19.62	

1. 由特征测试结果保证，不在生产中测试。

### 4.3.6 外部时钟源特性

#### 4.3.6.1 外部高速时钟源(HSE)

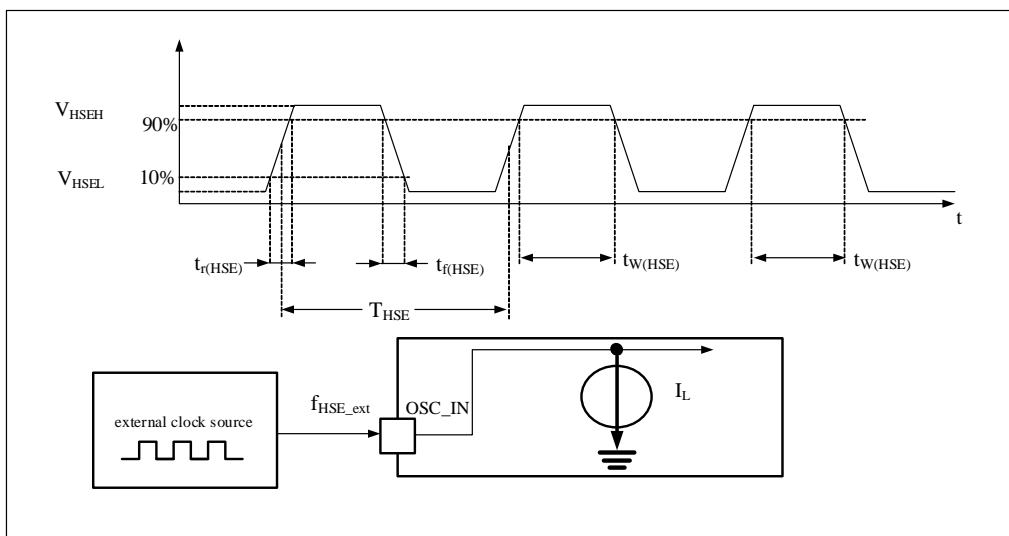
下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合表 4-4的条件。

表 4-13 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f <sub>HSE_ext</sub>	用户外部时钟频率 <sup>(1)</sup>	-	4	8	32	MHz
V <sub>HSEH</sub>	OSC_IN输入引脚高电平电压 <sup>(1)</sup>		0.8V <sub>DD</sub>	-	V <sub>DD</sub>	V
V <sub>HSEL</sub>	OSC_IN输入引脚低电平电压 <sup>(1)</sup>		V <sub>SS</sub>	-	0.2V <sub>DD</sub>	
t <sub>w(HSE)</sub>	OSC_IN高或低的时间 <sup>(1)</sup>		16	-	-	ns
t <sub>r(HSE)</sub> t <sub>f(HSE)</sub>	OSC_IN上升或下降的时间 <sup>(1)</sup>		-	-	20	
DuCy <sub>(HSE)</sub>	占空比 <sup>(1)</sup>	-	45	-	55	%
I <sub>L</sub>	OSC_IN输入漏电流 <sup>(1)</sup>	V <sub>SS</sub> ≤ V <sub>IN</sub> ≤ V <sub>DD</sub>	-1	-	+1	μA

1. 由设计保证，不在生产中测试。

图 4-5 外部高速时钟源的交流时序图



#### 4.3.6.2 外部低速时钟源(LSE)

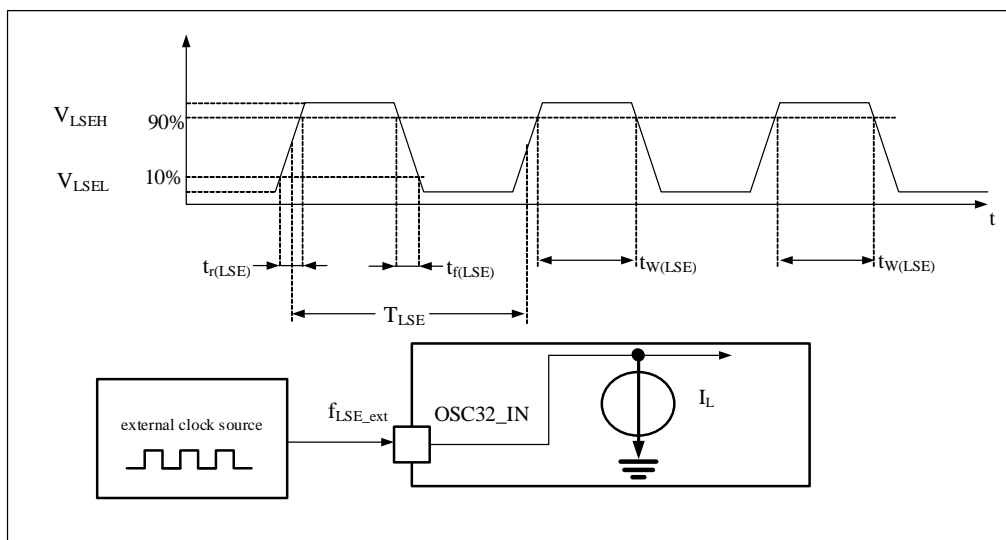
下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合表 4-4的条件。

表 4-14 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{LSE\_ext}$	用户外部时钟频率 <sup>(1)</sup>	-	0	32.768	1000	KHz
$V_{LSEH}$	OSC32_IN输入引脚高电平电压 <sup>(1)</sup>		$0.5V_{DD}$	-	$V_{DD}$	V
$V_{LSEL}$	OSC32_IN输入引脚低电平电压 <sup>(1)</sup>		$V_{SS}$	-	200	mV
$t_{w(LSE)}$ $t_{w(LSE)}$	OSC32_IN高或低的时间 <sup>(1)</sup>		450	-	-	ns
$t_{r(LSE)}$ $t_{r(LSE)}$	OSC32_IN上升或下降的时间 <sup>(1)</sup>		-	-	50	
$DuCy_{(LSE)}$	占空比 <sup>(1)</sup>	-	30	-	70	%
$I_L$	OSC32_IN输入漏电流 <sup>(1)</sup>	$V_{SS} \leq V_{IN} \leq V_{DD}$	-1	-	+1	$\mu A$

1. 由设计保证，不在生产中测试。

图 4-6 外部低速时钟源的交流时序图



### 使用一个晶体/陶瓷谐振器产生的高速外部时钟

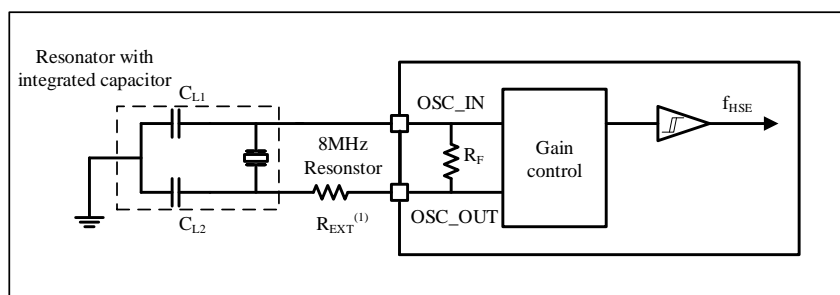
高速外部时钟(HSE)可以使用一个4~32MHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件,通过综合特性评估得到的结果。在应用中,谐振器和负载电容必须尽可能地靠近振荡器的引脚,以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等),请咨询相应的生产厂商。(这里提到的晶体谐振器就是我们通常说的无源晶振)

表 4-15 HSE 4~32MHz振荡器特性<sup>(1)(2)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{OSC\_IN}$	振荡器频率	-	4	8	32	MHz
$R_F$	反馈电阻	-	-	160	-	K $\Omega$
$i_2$	HSE驱动电流	$V_{DD} = 3.3\text{ V}$ , $V_{IN} = V_{SS}$ 30 pF 负载	-	1.7	-	mA
$g_m$	振荡器的跨导	启动	-	10	-	mA/V
$t_{SU(HSE)}^{(3)}$	启动时间(8M晶体)	$V_{DD}$ 是稳定的	-	7	-	ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由设计保证,不在生产中测试
3.  $t_{SU(HSE)}$ 是启动时间,是从软件使能HSE开始测量,直至得到稳定的8MHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到,它可能因晶体制造商的不同而变化较大。

图 4-7 使用8MHz晶体的典型应用



1.  $R_{EXT}$ 数值由晶体的特性决定。

## 使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个32.768kHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用表4-16中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(这里提到的晶体谐振器就是我们通常说的无源晶振)

**注意：**对于 $C_{L1}$ 和 $C_{L2}$ ，建议使用高质量的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 $C_{L1}$ 和 $C_{L2}$ 具有相同参数。晶体制造商通常以 $C_{L1}$ 和 $C_{L2}$ 的串行组合给出负载电容的参数。

负载电容 $C_L$ 由下式计算： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 $C_{stray}$ 是引脚的电容和PCB板或PCB相关的电容。

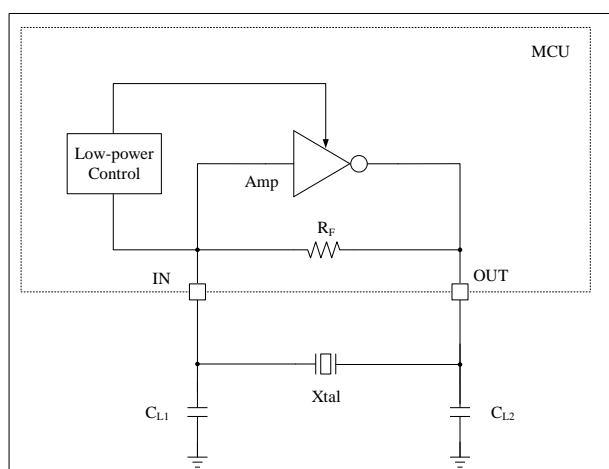
例如：如果选择了一个负载电容 $C_L=6\text{pF}$ 的谐振器并且 $C_{stray}=2\text{pF}$ ，则 $C_{L1}=C_{L2}=8\text{pF}$ 。

表 4-16 LSE振荡器特性( $f_{LSE}=32.768\text{kHz}$ )<sup>(1)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$R_F$	反馈电阻	-	-	5	-	$\text{M}\Omega$
$g_m$	振荡器的跨导	-	-	15	-	$\mu\text{A}/\text{V}$
$t_{SU(LSE)}^{(2)}$	启动时间	$V_{DD}$ 是稳定的	-	1	-	s

1. 由设计保证，不在生产中测试。
2.  $t_{SU(LSE)}$ 是启动时间，是从软件使能LSE开始测量，直至得到稳定的32.768KHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图 4-8 使用32.768KHz晶体的典型应用<sup>(1)</sup>



1. 请参考LSE晶体选型指南。



### 4.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

#### 4.3.7.1 高速内部(HSI)RC振荡器

表 4-17 HSI振荡器特性<sup>(1)(2)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{HSI}}$	频率	$V_{\text{DD}}=3.3\text{V}$ , $T_{\text{A}} = 25^{\circ}\text{C}$ , after calibration	7.96 <sup>(3) (5)</sup>	8	8.04 <sup>(3) (5)</sup>	MHz
			7.94 <sup>(3) (6)</sup>	8	8.04 <sup>(3) (6)</sup>	
DuCy <sub>(HSI)</sub>	占空比	-	45	-	55	%
ACC <sub>HSI</sub>	HSI振荡器的精度 <sup>(4)</sup>	$V_{\text{DD}}=3.3\text{V}$ , $T_{\text{A}} = -40\sim 105^{\circ}\text{C}$	-1.5	-	2	%
		$V_{\text{DD}}=3.3\text{V}$ , $T_{\text{A}} = -10\sim 85^{\circ}\text{C}$	-1.2	-	1.6	%
		$V_{\text{DD}}=3.3\text{V}$ , $T_{\text{A}} = 0\sim 70^{\circ}\text{C}$	-1	-	1.2	%
$t_{\text{SU(HSI)}}$	HSI振荡器启动时间	-	-	-	6	μs
$I_{\text{DD(HSI)}}$	HSI振荡器功耗	-	-	120	-	μA

1.  $V_{\text{DD}} = 3.3\text{V}$ ,  $T_{\text{A}} = -40\sim 105^{\circ}\text{C}$ , 除非特别说明。
2. 由设计保证, 不在生产中测试。
3. 生产校准精度, 未包括焊接影响。焊接带来频率偏差范围约 $\pm 1\%$ 。
4. 频率偏差包括焊接带来的影响, 数据来自样品测试, 不在生产中进行测试。
5. 适用于TSSOP20以外封装。
6. 适用于TSSOP20封装。

#### 4.3.7.2 低速内部(LSI)RC振荡器

表 4-18 LSI振荡器特性<sup>(1)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{LSI}}^{(2)}$	输出频率	25°C校准, $V_{\text{DD}} = 3.3\text{V}$	38.8	40	41.2	KHz
		$V_{\text{DD}} = 2.4\text{ V to } 3.6\text{ V}$ , $T_{\text{A}} = -40 \sim 105^{\circ}\text{C}$	28	40	60	KHz
$t_{\text{SU(LSI)}}^{(2)}$	LSI振荡器启动时间	-	-	80	130	μs
$I_{\text{DD(LSI)}}^{(2)}$	LSI振荡器功耗	-	-	0.1	-	μA

1.  $V_{\text{DD}} = 3.3\text{V}$ ,  $T_{\text{A}} = -40\sim 105^{\circ}\text{C}$ , 除非特别说明。
2. 由设计保证, 不在生产中测试。

### 4.3.8 从低功耗模式唤醒的时间

表 4-19列出的唤醒时间是在一个8MHz的HSI RC振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定:

- 停机或待机模式: 时钟源是RC振荡器
- 睡眠模式: 时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-19 低功耗模式的唤醒时间

符号	参数	典型值	单位
$t_{WUSLEEP}^{(1)}$	从SLEEP模式唤醒	7	HCLK
$t_{WUSTOP0}^{(1)}$	从STOP0模式唤醒	15	$\mu s$
$t_{WUSTOP2}^{(1)}$	从STOP2模式唤醒	33	$\mu s$
$t_{WUSTDBY}^{(1)}$	从STANDBY模式唤醒	75	$\mu s$

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

### 4.3.9 PLL特性

表 4-20列出的参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-20 PLL特性

符号	参数	数值			单位
		最小值	典型值	最大值 <sup>(1)</sup>	
$f_{PLL\_IN}$	PLL PFD输入时钟	4	8	32	MHz
	PLL输入时钟占空比	40	50	60	%
$f_{PLL\_OUT}$	PLL 输出时钟 <sup>(2)</sup>	32	-	128	MHz
$t_{LOCK}$	PLL Ready 指示信号输出时间 <sup>(3)</sup>	-	-	150	$\mu s$
Jitter	RMS cycle-to-cycle jitter @128MHz	-	8	-	ps
$I_{pll}$	Operating Current of PLL @128MHz VCO frequency. <sup>(1)</sup>	-	600	-	$\mu A$

1. 由特征测试结果保证，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据PLL输入时钟频率使得 $f_{PLL\_OUT}$ 处于允许范围内。
3. 由设计保证，不在生产中测试。

### 4.3.10 FLASH存储器特性

除非特别说明，所有特性参数是在 $T_A = -40 \sim 105^\circ C$ 得到。

表 4-21 闪存存储器特性

符号	参数	条件	最小值 <sup>(1)</sup>	典型值 <sup>(1)</sup>	最大值 <sup>(1)</sup>	单位
$t_{prog}$	32位的编程时间	$T_A = -40 \sim 105^\circ C$	-	60	-	$\mu s$
$t_{ERASE}$	页(2K字节)擦除时间	$T_A = -40 \sim 105^\circ C$	-	12.5	-	ms
$t_{ME}$	整片擦除时间	$T_A = -40 \sim 105^\circ C$	-	-	20	ms
$I_{DD}$	供电电流	读模式, $f_{HCLK}=128MHz$ , 3个等待周期, $V_{DD}=3.3V$	-	-	3.231	mA
		写模式, $f_{HCLK}=128MHz$ , $V_{DD}=3.3V$	-	-	6.5	mA
		擦除模式, $f_{HCLK}=128MHz$ , $V_{DD}=3.3V$	-	-	4.5	mA
		掉电模式, $V_{DD}=3.0$ to $3.6V$	-	-	4.63	$\mu A$
$V_{prog}$	编程电压	-	2.4	-	3.6	V

1. 由设计保证，不在生产中测试。

表 4-22 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 <sup>(1)</sup>	单位
$N_{END}$	寿命(注: 擦写次数)	$T_A = -40 \sim 105\text{ }^{\circ}\text{C}$ (尾缀为7)	10	Kcycle
$t_{RET}$	数据保存期限	$T_A = 125^{\circ}\text{C}$	10	Years

1. 由特征测试结果保证, 不在生产中测试。

### 4.3.11 绝对最大值(电气敏感性)

基于三个不同的测试(ESD, LU), 使用特定的测量方法, 对芯片进行强度测试以决定它的电气敏感性方面的性能。

#### 静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上。

表 4-23 ESD绝对最大值

符号	参数	条件	类型	最大值 <sup>(1)</sup>	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T_A = +25\text{ }^{\circ}\text{C}$ , 符合MIL-STD-883K Method 3015.9	3A	4000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	$T_A = +25\text{ }^{\circ}\text{C}$ , 符合ESDA/JEDEC JS-002-2018	C3	2000	

1. 由特征测试结果保证, 不在生产中测试。

#### 静态栓锁

为了评估栓锁性能, 需要在6个样品上进行2个互补的静态栓锁测试:

- 为每个电源引脚, 提供超过极限的供电电压。
- 在每个输入、输出和可配置的I/O引脚上注入电流。

这个测试符合EIA/JESD78E集成电路栓锁标准。

表 4-24 电气敏感性

符号	参数	条件	类型
LU	静态栓锁类	$T_A = +105\text{ }^{\circ}\text{C}$ , 符合JESD78E标准	II 类A

### 4.3.12 I/O端口特性

#### 通用输入/输出特性

除非特别说明, 下表列出的参数是按照表 4-4的条件测量得到。所有的I/O端口都是兼容CMOS和TTL。

表 4-25 I/O静态特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL}$	输入低电平电压	TTL端口	$V_{SS}$	-	0.8	V
$V_{IH}$	输入高电平电压		2	-	5.5	
$V_{IL}$	输入低电平电压	CMOS端口	$V_{SS}$	-	$0.35V_{DD}$	
$V_{IH}$	输入高电平电压		$0.65V_{DD}$	-	$V_{DD}+0.5$	
$V_{hys}$	施密特触发器电压迟滞 <sup>(1)</sup>	$V_{DD} = 3.3\text{ V} / 2.5\text{ V}$	200	-	-	mV
$I_{lk}$	输入漏电流 <sup>(2)</sup>	$V_{DD}=\text{Maximum}$ $V_{PAD} = 0$ 或 $V_{PAD} = V_{DD}$ <sup>(4)</sup>	-1	-	1	$\mu\text{A}$
$R_{PU}$	弱上拉等效电阻 <sup>(3)</sup>	$V_{DD} = 3.3\text{ V}, V_{IN} = V_{SS}$	80	-	220	$\text{K}\Omega$
		$V_{DD} = 2.5\text{ V}, V_{IN} = V_{SS}$	90	-	300	$\text{K}\Omega$
$R_{PD}$	弱下拉等效电阻 <sup>(3)</sup>	$V_{DD} = 3.3\text{ V}, V_{IN} = V_{DD}$	80	-	220	$\text{K}\Omega$
		$V_{DD} = 2.5\text{ V}, V_{IN} = V_{DD}$	90	-	300	$\text{K}\Omega$
$C_{IO}$	I/O引脚的电容	-	-	5	-	pF

1. 施密特触发器开关电平的迟滞电压。由特征测试结果保证，不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
3. 上拉和下拉电阻是由一个可开关的PMOS/NMOS实现。
4.  $V_{PAD}$ 是指IO管脚的输入电压。

所有I/O端口都是CMOS和TTL兼容(不需软件配置)，它们的特性考虑了多数严格的CMOS工艺或TTL参数：

● 对于 $V_{IH}$ ：

- 如果 $V_{DD}$ 是介于[2.4V~3.08V]；使用CMOS特性但包含TTL。
- 如果 $V_{DD}$ 是介于[3.08V~3.6V]；使用TTL特性但包含CMOS。

● 对于 $V_{IL}$ ：

- 如果 $V_{DD}$ 是介于[2.4V~3.6V]；使用CMOS特性但包含TTL。

## 输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达+/-12mA电流。

## 输出电压

除非特别说明，由设计保证，不在生产中测试。表 4-26列出的参数是使用环境温度和 $V_{DD}$ 供电电压符合表 4-4的条件测量得到。所有的I/O端口都是兼容CMOS和TTL的。

表 4-26 IO 输出驱动能力特性

Drive class	$I_{OH}^{(1)}, V_{DD}=3.3\text{V}$	$I_{OL}^{(1)}, V_{DD}=3.3\text{V}$	$I_{OH}^{(1)}, V_{DD}=2.5\text{V}$	$I_{OL}^{(1)}, V_{DD}=2.5\text{V}$	单位
2	-2	2	-1.5	1.5	mA
4	-4	4	-3	3	mA
8	-8	8	-7	7	mA
12	-12	12	-11	11	mA

1. 由设计保证，不在生产中测试。

表 4-27 输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平	$V_{DD} = 3.3\text{ V}$ , $I_{OL}^{(3)} = 2\text{mA}, 4\text{mA}, 8\text{mA}, \text{ and } 12\text{mA}$	$V_{SS}$	0.4	V
		$V_{DD} = 2.5\text{ V}$ , $I_{OL}^{(3)} = 1.5\text{mA}, 3\text{mA}, 7\text{mA}, \text{ and } 11\text{mA}$	$V_{SS}$	0.4	
$V_{OH}^{(2)}$	输出高电平	$V_{DD} = 3.3\text{ V}$ , $I_{OH}^{(3)} = -2\text{mA}, -4\text{mA}, -8\text{mA}, \text{ and } -12\text{mA}$	2.4	$V_{DD}$	
		$V_{DD} = 2.5\text{ V}$ , $I_{OL}^{(3)} = -1.5\text{mA}, -3\text{mA}, -7\text{mA}, \text{ and } -11\text{mA}$	1.8	$V_{DD}$	

1. 芯片吸收的电流 $I_{IO}$ 必须始终遵循表 4-2中给出的绝对最大额定值，同时 $I_{IO}$ 的总和(所有I/O脚和控制脚)不能超过 $I_{VSS}$ 。
2. 芯片输出的电流 $I_{IO}$ 必须始终遵循表 4-2中给出的绝对最大额定值，同时 $I_{IO}$ 的总和(所有I/O脚和控制脚)不能超过 $I_{VDD}$ 。
3. 实际驱动能力见表 4-26。

## 输入输出交流特性

输入和输出交流特性的定义和数值在图 4-10和表 4-28给出。

除非特别说明，表 4-28列出的参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-28 输入输出交流特性<sup>(1)</sup>

GPIOn_DS.DSy[1:0] 配置	符号	参数	条件	最小值	最大值	单位
00 (2mA)	$f_{\max(IO)out}$	最大频率 <sup>(2)</sup>	$C_L = 5\text{ pF}$ , $V_{DD} = 3.3\text{ V}$	-	75	MHz
			$C_L = 5\text{ pF}$ , $V_{DD} = 2.5\text{ V}$	-	50	
	$t_{(IO)out}$	输出延时 (A to pad)	$C_L = 5\text{ pF}$ , $V_{DD} = 3.3\text{ V}$	-	3.66	ns
			$C_L = 5\text{ pF}$ , $V_{DD} = 2.5\text{ V}$	-	4.72	
	$t_{(IO)in}$	输入延时 (pad to Y)	$C_L = 50\text{ fF}$ , $V_{DD} = 2.97\text{ V}$ , $V_{DDD} = 0.81\text{ V}$ Input characteristics at 2.5V is derated	-	2	ns
10 (4mA)	$f_{\max(IO)out}$	最大频率 <sup>(2)</sup>	$C_L = 10\text{ pF}$ , $V_{DD} = 3.3\text{ V}$	-	90	MHz
			$C_L = 10\text{ pF}$ , $V_{DD} = 2.5\text{ V}$	-	60	
	$t_{(IO)out}$	输出延时 (A to pad)	$C_L = 10\text{ pF}$ , $V_{DD} = 3.3\text{ V}$	-	3.5	ns
			$C_L = 10\text{ pF}$ , $V_{DD} = 2.5\text{ V}$	-	4.5	
	$t_{(IO)in}$	输入延时 (pad to Y)	$C_L = 50\text{ fF}$ , $V_{DD} = 2.97\text{ V}$ , $V_{DDD} = 0.81\text{ V}$ Input characteristics at 2.5V is derated	-	2	ns
01 (8mA)	$f_{\max(IO)out}$	最大频率 <sup>(2)</sup>	$C_L = 20\text{ pF}$ , $V_{DD} = 3.3\text{ V}$	-	100	MHz
			$C_L = 20\text{ pF}$ , $V_{DD} = 2.5\text{ V}$	-	75	
	$t_{(IO)out}$	输出延时 (A to pad)	$C_L = 20\text{ pF}$ , $V_{DD} = 3.3\text{ V}$	-	3.42	ns
			$C_L = 20\text{ pF}$ , $V_{DD} = 2.5\text{ V}$	-	4.37	
	$t_{(IO)in}$	输入延时 (pad to Y)	$C_L = 50\text{ fF}$ , $V_{DD} = 2.97\text{ V}$ , $V_{DDD} = 0.81\text{ V}$ Input characteristics at 2.5V is derated	-	2	ns
11 (12mA)	$f_{\max(IO)out}$	最大频率 <sup>(2)</sup>	$C_L = 30\text{ pF}$ , $V_{DD} = 3.3\text{ V}$	-	120	MHz
			$C_L = 30\text{ pF}$ , $V_{DD} = 2.5\text{ V}$	-	90	
	$t_{(IO)out}$	输出延时 (A to pad)	$C_L = 30\text{ pF}$ , $V_{DD} = 3.3\text{ V}$	-	3.34	ns
			$C_L = 3\text{ pF}$ , $V_{DD} = 2.5\text{ V}$	-	4.26	

GPIOx_DS.DSy[1:0] 配置	符号	参数	条件	最小值	最大值	单位
	$t_{(IO)in}$	输入延时 (pad to Y)	$C_L = 50 \text{ fF}$ , $V_{DD} = 2.97 \text{ V}$ , $V_{DDD} = 0.81 \text{ V}$ Input characteristics at 2.5V is derated	-	2	
-	$t_{EXTIpw}$	EXTI控制器检测到的外部信号脉冲宽度	-	10	-	ns

1. I/O端口的驱动能力可以通过GPIOx\_DS.DSy[1:0]配置。参见N32G430用户手册中有关GPIO端口驱动能力配置寄存器的说明。
2. 最大频率在图4-9中定义。
3. 传输延迟在图4-10中定义。

图 4-9 输入输出交流特性定义

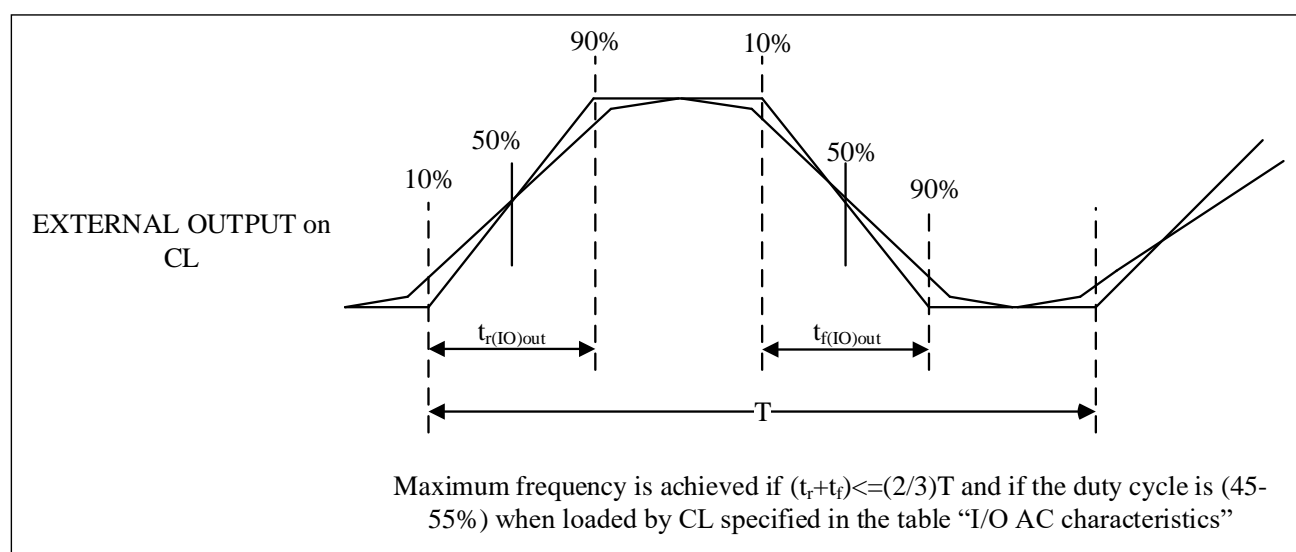
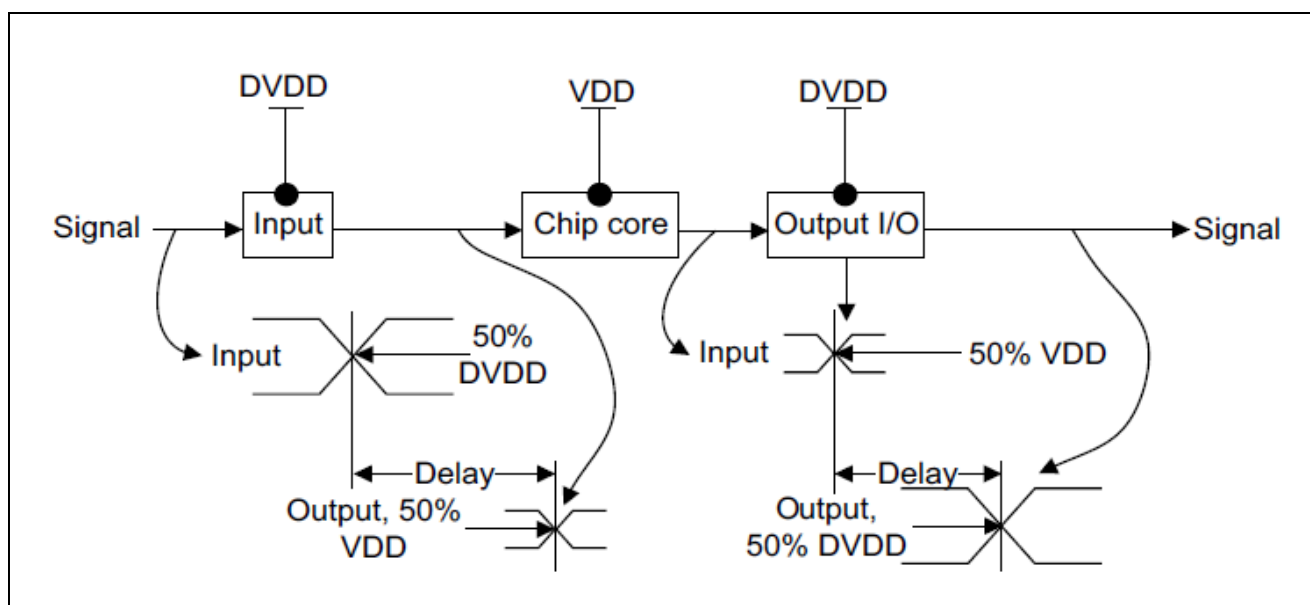


图 4-10 传输延迟



### 4.3.13 NRST引脚特性

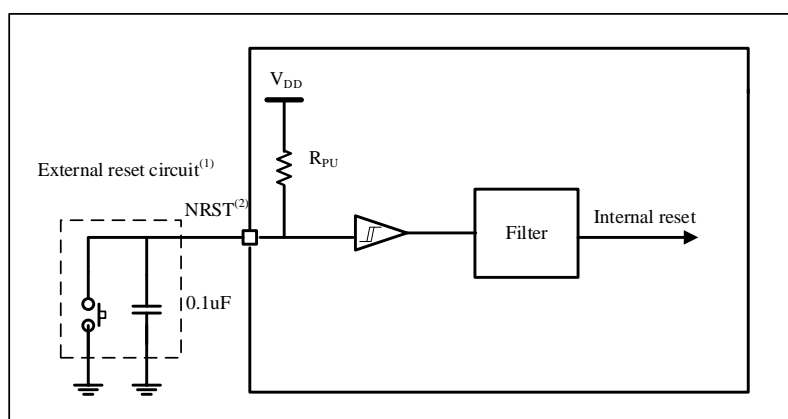
NRST引脚内部集成上拉电阻， $R_{PU}$ (参见表 4-29)。除非特别说明，表 4-29列出的参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-29 NRST引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST输入低电平电压	$V_{DD} = 3.3\text{ V}$	$V_{SS}$	-	0.8	V
$V_{IH(NRST)}^{(1)}$	NRST输入高电平电压	$V_{DD} = 3.3\text{ V}$	2	-	VDD	
$V_{hys(NRST)}$	NRST施密特触发器电压迟滞	-	-	100	-	mV
$R_{PU}$	弱上拉等效电阻 <sup>(2)</sup>	$V_{DD} = 3.3\text{ V}$	30	50	70	K $\Omega$
$V_{F(NRST)}^{(1)}$	NRST输入滤波脉冲	-	-	-	100	ns
$V_{NF(NRST)}^{(1)}$	NRST输入非滤波脉冲	-	300	-	-	ns
$T_{NRST\_OUT}$	产生复位脉冲持续时间	内部复位源	10	13	-	$\mu\text{s}$

1. 由设计保证，不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个不可开关的PMOS实现。这个PMOS开关的电阻很小(约占10%)。

图 4-11 建议的NRST引脚保护



1. 滤波作用。
2. 用户必须保证NRST引脚的电位能够低于表 4-29中列出的最大 $V_{IL(NRST)}$ 以下，否则MCU不能得到复位。

### 4.3.14 TIM定时器特性

表 4-30、表 4-31和表 4-32列出的参数由设计保证。

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM输出)的特性详情，参见第4.3.12节。



表 4-30 TIM1/8特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMCLK}$
		$f_{TIMCLK} = 128MHz$	7.8	-	ns
$f_{EXT}$	CH1至CH4的定时器外部时钟频率	-	0	$f_{TIMCLK}/2$	MHz
		$f_{TIMCLK} = 128MHz$	0	64	MHz
$Res_{TIM}$	定时器分辨率	-	-	16	bits
$t_{COUNTER}$	当选择了内部时钟时，16位计数器时钟周期	-	1	65536	$t_{TIMCLK}$
		$f_{TIMCLK} = 128MHz$	0.0078	512	$\mu s$
$t_{MAX\_COUNT}$	最大可能的计数	-	-	$65536 \times 65536$	$t_{TIMCLK}$
		$f_{TIMCLK} = 128MHz$	-	33.554	s

表 4-31 TIM2/3/4/5特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMCLK}$
		$f_{TIMCLK} = 64MHz$	15.62	-	ns
$f_{EXT}$	CH1至CH4的定时器外部时钟频率	-	0	$f_{TIMCLK}/2$	MHz
		$f_{TIMCLK} = 64MHz$	0	32	MHz
$Res_{TIM}$	定时器分辨率	-	-	16	bits
$t_{COUNTER}$	当选择了内部时钟时，16位计数器时钟周期	-	1	65536	$t_{TIMCLK}$
		$f_{TIMCLK} = 64MHz$	0.01562	1024	$\mu s$
$t_{MAX\_COUNT}$	最大可能的计数	-	-	$65536 \times 65536$	$t_{TIMCLK}$
		$f_{TIMCLK} = 64MHz$	-	67.108	s

表 4-32 LPTIMER特性

符号	参数	条件	最小值	最大值	单位
$t_{res(LPTIM)}$	定时器分辨时间	-	1	-	$t_{LPTIMCLK}$
		$f_{LPTIMCLK} = 32MHz$	31.25	-	ns
$f_{EXT}$	IN2和OUT的定时器外部时钟频率	-	0	32	MHz
		$f_{LPTIMCLK} = 32MHz$	0	32	MHz
$Res_{LPTIM}$	定时器分辨率	-	-	16	bits
$t_{COUNTER}$	当选择了内部时钟时，16位计数器时钟周期	-	1	65536	$t_{LPTIMCLK}$
		$f_{LPTIMCLK} = 32MHz$	0.03125	2048	$\mu s$
$t_{MAX\_COUNT}$	最大可能的计数	-	-	$65536 \times 65536$	$t_{LPTIMCLK}$
		$f_{LPTIMCLK} = 32MHz$	-	134.217	s

表 4-33 IWDG 最大和最小计数复位时间 (LSI = 40 KHz)

预分频	IWDG_PREDIV. PD[2:0]	最小值 <sup>(1)</sup> IWDG_RELV.REL[11:0]=0	最大值 <sup>(1)</sup> IWDG_RELV.REL[11:0]=0xFFFF	单位
/4	000	0.1	409.6	ms
/8	001	0.2	819.2	
/16	010	0.4	1638.4	
/32	011	0.8	3276.8	
/64	100	1.6	6553.6	
/128	101	3.2	13107.2	



/256	11x	6.4	26214.4	
------	-----	-----	---------	--

1. 由设计保证，不在生产中测试。

表 4-34 WWDG最大和最小计数复位时间(APB1 PCLK1 = 32MHz)

预分频	WWDG_CFG.TI MERB[1:0]	最小值 <sup>(1)</sup> WWDG_CFG.W[13:0]=0x3F	最大值 <sup>(1)</sup> WWDG_CFG.W[13:0]=0x3FFF	单位
/1	00	0.128	2089	ms
/2	01	0.256	4178	
/3	10	0.512	8356	
/4	11	1.024	16712	

1. 由设计保证，不在生产中测试。

### 4.3.15 I<sup>2</sup>C接口特性

除非特别说明，表 4-35列出的参数是使用环境温度，f<sub>PCLK1</sub>频率和V<sub>DD</sub>供电电压符合表 4-4的条件测量得到。

N32G430产品的I<sup>2</sup>C接口符合标准I<sup>2</sup>C通信协议，但有如下限制：SDA和SCL不是“真”开漏的引脚，当配置为开漏输出时，在引出脚和V<sub>DD</sub>之间的PMOS管被关闭，但仍然存在。

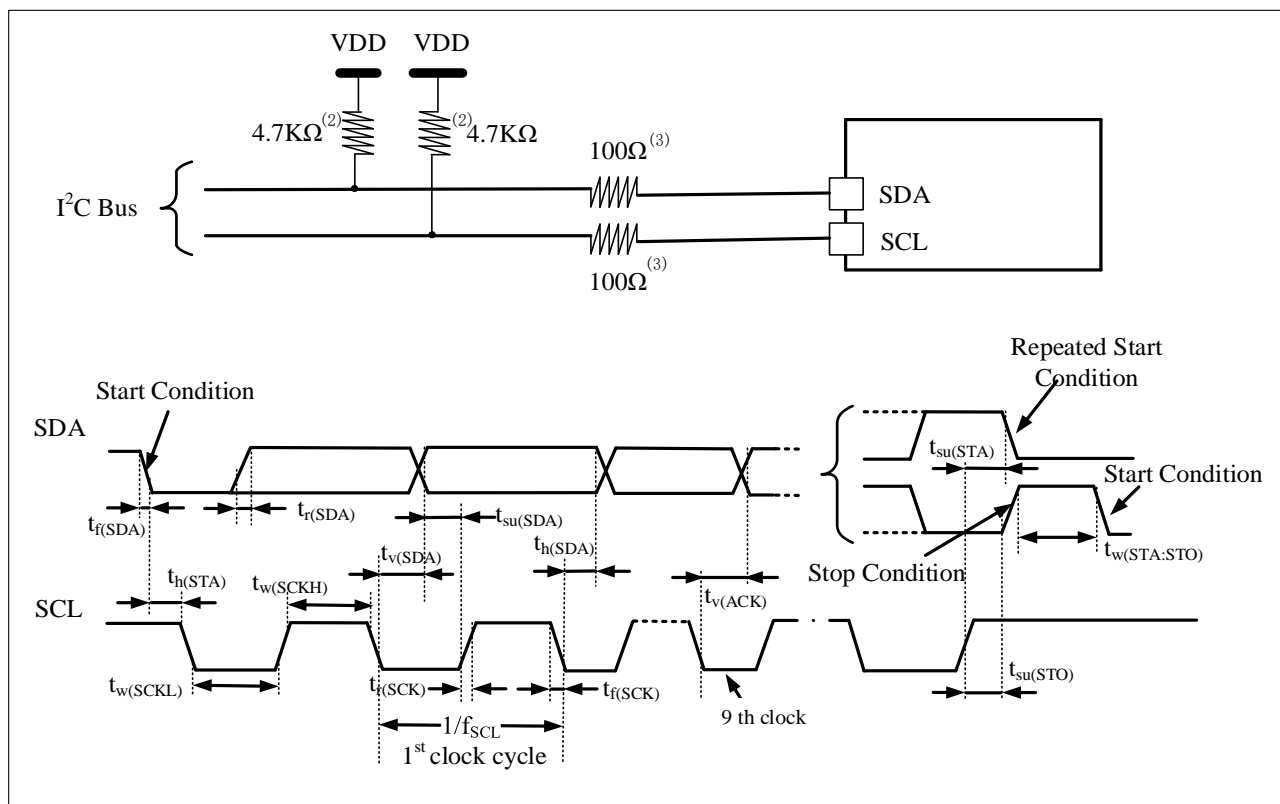
I<sup>2</sup>C接口特性列于表 4-35，有关输入输出复用功能引脚(SDA和SCL)的特性详情，参见第4.3.12节。

表 4-35 I<sup>2</sup>C接口特性

符号	参数	标准模式 <sup>(1)(2)</sup>		快速模式 <sup>(1)(2)</sup>		快速+模式 <sup>(1)(2)</sup>		单位
		最小	最大	最小	最大	最小	最大	
f <sub>SCL</sub>	I2C 接口频率	0.0	100	0	400	0	1000	KHz
t <sub>h(STA)</sub>	开始条件保持时间	4.0	-	0.6	-	0.26	-	μs
t <sub>w(SCLL)</sub>	SCL 时钟低时间	4.7	-	1.3	-	0.50	-	μs
t <sub>w(SCLH)</sub>	SCL 时钟高时间	4.0	-	0.6	-	0.26	-	μs
t <sub>su(STA)</sub>	重复的开始条件建立时间	4.7	-	0.6	-	0.26	-	μs
t <sub>h(SDA)</sub>	SDA 数据保持时间	-	3.4	-	0.9	-	0.4	μs
t <sub>su(SDA)</sub>	SDA 建立时间	250	-	100	-	50	-	ns
t <sub>r(SDA)</sub> t <sub>r(SCL)</sub>	SDA 和 SCL 上升时间	-	1000	20+0.1Cb	300	-	120	ns
t <sub>f(SDA)</sub> t <sub>f(SCL)</sub>	SDA 和 SCL 下降时间	-	300	20+0.1Cb	300	-	120	ns
t <sub>su(STO)</sub>	停止条件建立时间	4.0	-	0.6	-	0.26	-	μs
t <sub>w(STO:STA)</sub>	停止条件至开始条件的 (总线空闲)	4.7	-	1.3	-	0.50	-	μs
C <sub>b</sub>	每条总线的容性负载	-	400	-	400	-	100	pf
t <sub>SP</sub>	标准和快速模式下由模拟滤波器抑制的尖峰脉冲宽度	0	35	0	35	0	35	ns
t <sub>v(SDA)</sub>	数据有效时间	-	3.45	-	0.9	-	0.45	μs
t <sub>v(ACK)</sub>	应答有效时间	-	3.45	-	0.9	-	0.45	

1. 由设计保证，不在生产中测试。
2. 为达到标准模式I2C的最大频率，f<sub>PCLK1</sub>必须大于2MHz。为达到快速模式I2C的最大频率，f<sub>PCLK1</sub>必须大于4MHz。

图 4-12 I<sup>2</sup>C总线交流波形和测量电路<sup>(1)</sup>



1. 测量点设置于 $0.3V_{DD}$ 和 $0.7V_{DD}$ 。
2. 上拉电阻阻值取决于I<sup>2</sup>C接口速度。
3. 电阻值取决于实际电气特性，可以不连接串电阻，信号线直连。

### 4.3.16 SPI/I<sup>2</sup>S接口特性

除非特别说明，表 4-36列出的SPI参数和表 4-37列出的I<sup>2</sup>S参数是使用环境温度， $f_{CLK}$ 频率和 $V_{DD}$ 供电电压符合表 4-4的条件测量得到。

有关输入输出复用功能引脚(SPI的NSS、SCLK、MOSI、MISO，I<sup>2</sup>S的WS、CLK、SD)的特性详情，参见第4.3.12节。

表 4-36 SPI特性<sup>(1)</sup>

符号	参数	条件		最小值	最大值	单位
$f_{\text{SCLK}}$ $1/t_{\text{c(SCLK)}}$	SPI时钟频率	主模式		-	$18^{(4)}/20^{(5)}/28^{(6)}$	MHz
		从模式		-	32	
$t_{\text{r(SCLK)}}$ $t_{\text{f(SCLK)}}$	SPI时钟上升和下降时间	负载电容: C = 30pF		-	8	ns
DuCy(SCK)	SPI从输入时钟占空比	SPI从模式		45	55	%
$t_{\text{su(NSS)}}^{(1)}$	NSS建立时间	从模式		$4t_{\text{PCLK}}$	-	ns
$t_{\text{h(NSS)}}^{(1)}$	NSS保持时间	从模式		$2t_{\text{PCLK}}$	-	ns
$t_{\text{w(SCLKH)}}^{(1)}$ $t_{\text{w(SCLKL)}}^{(1)}$	SCLK高和低的时间	主模式		$t_{\text{PCLK}} - 2$	$t_{\text{PCLK}} + 2$	ns
$t_{\text{su(MI)}}^{(1)}$	数据输入建立时间	主模式	SPI1	14	-	ns
			SPI2	$13^{(4)}/12^{(5)}$	-	
$t_{\text{su(SI)}}^{(1)}$		从模式	SPI1	$4.5^{(4)}/4^{(5)}$	-	
			SPI2	4.5	-	
$t_{\text{h(MI)}}^{(1)}$	数据输入保持时间	主模式	SPI1	$2.5^{(4)}/4.5^{(5)}$	-	ns
			SPI2	$2^{(4)}/4.5^{(5)}$	-	
$t_{\text{h(SI)}}^{(1)}$		从模式	SP1	$2.5^{(4)}/4.5^{(5)}$	-	
			SP2	$2.5^{(4)}/4.5^{(5)}$	-	
$t_{\text{a(SO)}}^{(1)(2)}$	数据输出访问时间	从模式, $f_{\text{PCLK}} = 32\text{MHz}$		0	$3t_{\text{PCLK}}$	ns
$t_{\text{dis(SO)}}^{(1)(3)}$	数据输出禁止时间	从模式		2	10	ns
$t_{\text{v(SO)}}^{(1)}$	数据输出有效时间	从模式(使能边沿之后)	SPI1	-	15	ns
			SPI2	-	15	
$t_{\text{v(MO)}}^{(1)}$		主模式(使能边沿之后)	SPI1	-	5.5	
			SPI2	-	5.0	
$t_{\text{h(SO)}}^{(1)}$	数据输出保持时间	从模式(使能边沿之后)	SPI1	4.5	-	ns
			SPI2	4.0	-	
$t_{\text{h(MO)}}^{(1)}$		主模式(使能边沿之后)	SPI1	-1.0	-	
			SPI2	$-0.5^{(4)}/-1.0^{(5)}$	-	

1. 由设计保证, 不在生产中测试。
2. 最小值表示驱动输出的最小时间, 最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间, 最大值表示把数据线置于高阻态的最大时间。
4. 适用于 C 版
5. 适用于 D 版, 带 CRC 校验
6. 适用于 D 版, 不带 CRC 校验

图 4-13 SPI时序图 – 从模式和CLKPHA=0

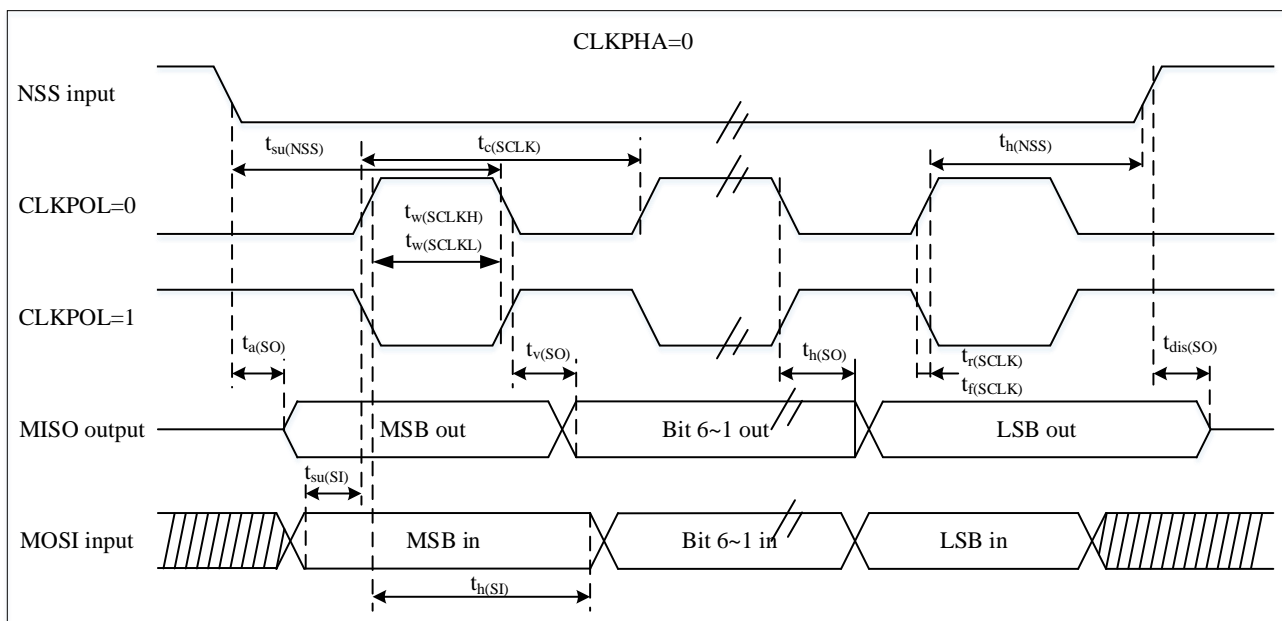
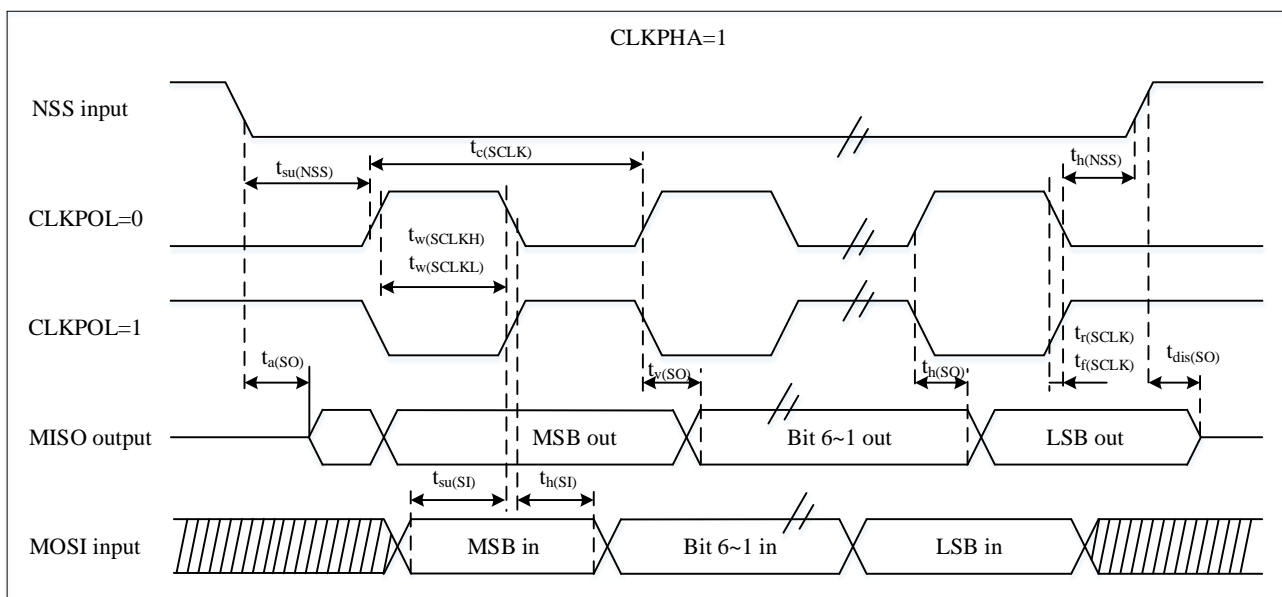
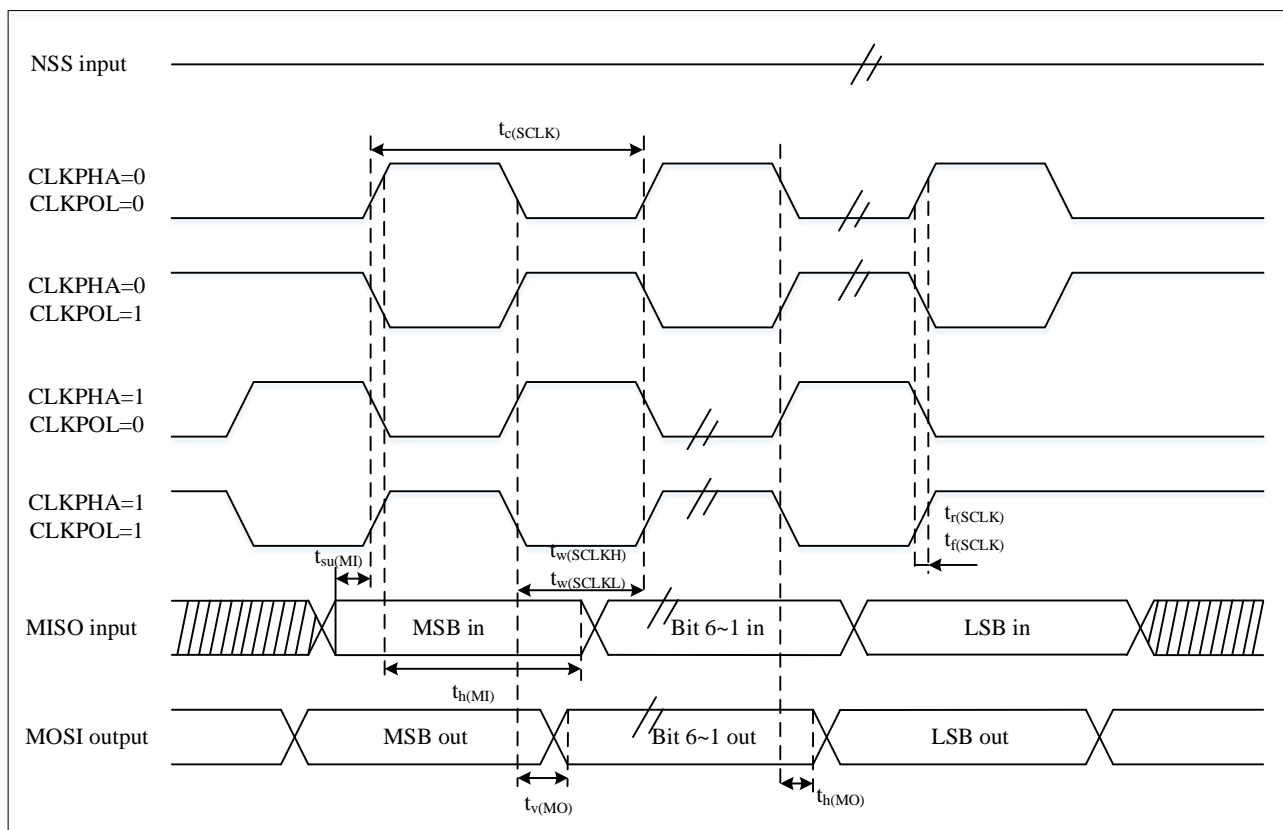


图 4-14 SPI时序图 – 从模式和CLKPHA=1<sup>(1)</sup>



1. 测量点设置于0.3V<sub>DD</sub>和0.7V<sub>DD</sub>。

图 4-15 SPI时序图 – 主模式<sup>(1)</sup>



1. 测量点设置于0.3V<sub>DD</sub>和0.7V<sub>DD</sub>。

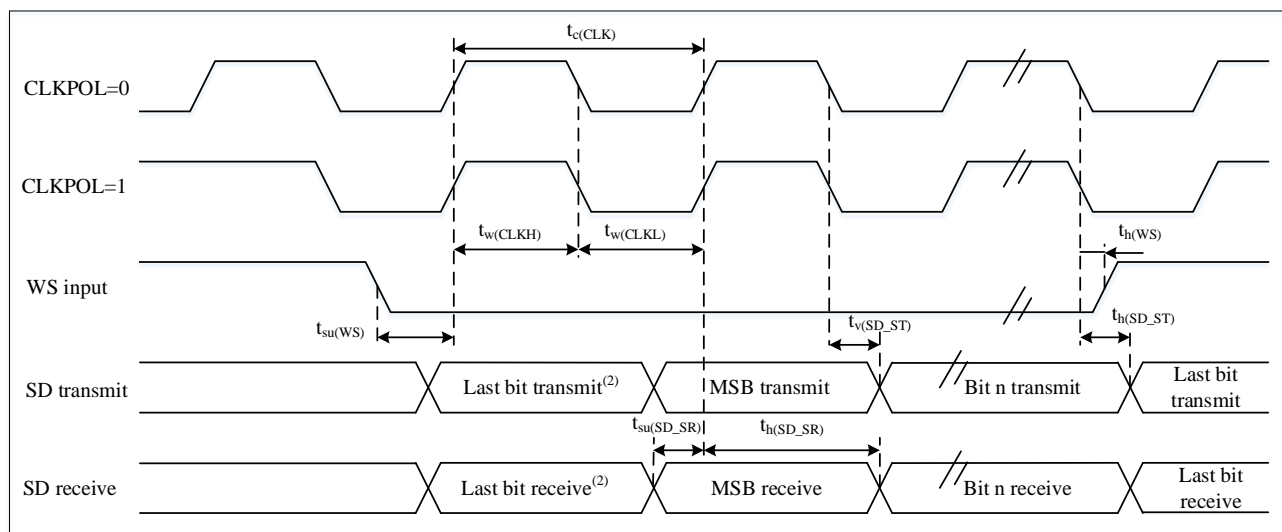
表 4-37 I<sup>2</sup>S特性<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位
f <sub>MCLK</sub>	I <sup>2</sup> S主时钟频率	主模式	-	256F <sub>S</sub> <sup>(3)</sup>	MHz
f <sub>CLK</sub> 1/t <sub>c(CLK)</sub>	I <sup>2</sup> S时钟频率	主模式(32bit)	-	64*F <sub>S</sub> <sup>(3)</sup>	MHz
		从模式(32bit)		64*F <sub>S</sub> <sup>(3)</sup>	
DuCy(SCK)	I <sup>2</sup> S从输入时钟占空比	I <sup>2</sup> S从模式	30	70	%
t <sub>r(CLK)</sub> t <sub>f(CLK)</sub>	I <sup>2</sup> S时钟上升和下降时间	负载电容: CL = 50pF		-	8
t <sub>v(WS)</sub> <sup>(1)</sup>	WS有效时间	主模式	I2S1 7.5	-	ns
			I2S2 6.0	-	
t <sub>h(WS)</sub> <sup>(1)</sup>	WS保持时间	主模式	I2S1 0	-	
			I2S2 0	-	
t <sub>su(WS)</sub> <sup>(1)</sup>	WS建立时间	从模式	I2S1 4.5	-	
			I2S2 4.5	-	
t <sub>h(WS)</sub> <sup>(1)</sup>	WS保持时间	从模式	I2S1 2.5	-	
			I2S2 2.5	-	
t <sub>w(CLKH)</sub> <sup>(1)</sup> t <sub>w(CLKL)</sub> <sup>(1)</sup>	CLK高和低的时间	主模式, fPCLK = 16MHz, 音频 48kHz		312.5 345	-
t <sub>su(SD_MR)</sub> <sup>(1)</sup>	数据输入建立时间	主接收器	I2S1 5.0	-	ns
			I2S2 5.0	-	
t <sub>su(SD_SR)</sub> <sup>(1)</sup>		从接收器	I2S1 4.5	-	
			I2S2 4.5	-	

$t_{h(SD\_MR)}^{(1)(2)}$	数据输入保持时间	主接收器	I2S1	1.5	-
			I2S2	1.5	-
$t_{h(SD\_SR)}^{(1)(2)}$		从接收器	I2S1	1.5	-
			I2S2	1.5	-
$t_{v(SD\_ST)}^{(1)(2)}$	数据输出有效时间	从发送器(使能边沿之后)	I2S1	-	16.0
			I2S2	-	15.5
$t_{h(SD\_ST)}^{(1)}$	数据输出保持时间	从发生器(使能边沿之后)	I2S1	4.5	-
			I2S2	4.5	-
$t_{v(SD\_MT)}^{(1)(2)}$	数据输出有效时间	主发生器(使能边沿之后)	I2S1	-	5.5
			I2S2	-	5.5
$t_{h(SD\_MT)}^{(1)}$	数据输出保持时间	主发生器(使能边沿之后)	I2S1	1	-
			I2S2	1	-

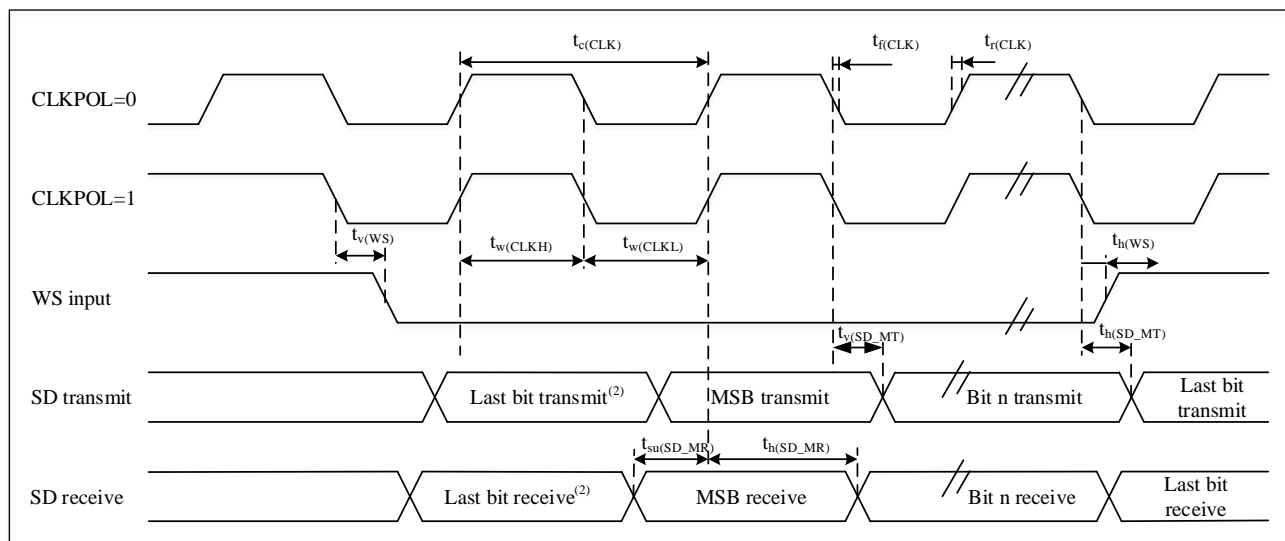
1. 由设计保证，不在生产中测试。
2. 依赖于 $f_{CLK}$ 。例如，如果 $f_{CLK}=16MHz$ ，则 $T_{PCLK}=1/f_{CLK}=125ns$ 。
3. 音频采样频率。

图 4-16 I²S从模式时序图(飞利浦协议)<sup>(1)</sup>



1. 测量点设置于 $0.3V_{DD}$ 和 $0.7V_{DD}$ 。
2. 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

图 4-17 I<sup>2</sup>S主模式时序图(飞利浦协议)<sup>(1)</sup>



1. 测量点设置于 $0.3V_{DD}$ 和 $0.7V_{DD}$ 。
2. 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

### 4.3.17 控制器局域网络(CAN)接口特性

有关输入输出复用功能引脚(CAN\_TX和CAN\_RX)的特性详情，参见第4.3.12节。

### 4.3.18 12位模数转换器(ADC)电气参数

除非特别说明，表 4-38的参数是使用符合表 4-4的条件的环境温度、 $f_{HCLK}$ 频率和 $V_{DDA}$ 供电电压测量得到。  
注意：建议在每次上电时执行一次校准。

表 4-38 ADC特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DDA}$	供电电压	使用外部参考电压	2.4	-	3.6	V
$V_{REF+}$	正参考电压	-	2.4	-	$V_{DDA}$	V
$V_{REF-}$	负参考电压	-	0			V
$f_{ADC}$	ADC时钟频率	-	-	-	80	MHz
$f_s^{(2)}$	采样速率	分辨率=12bits 快速通道	-	-	4.7	MSPs
		分辨率=10bits 快速通道	-	-	5.3	
		分辨率=8bits 快速通道	-	-	7.2	
		分辨率=6bits 快速通道	-	-	8.8	
$f_{TRIG}^{(2)}$	外部触发频率 <sup>(3)</sup>	$f_{ADC}=80MHz$ 分辨率=12bits	-	-	4.7	MHz
		分辨率=12bits	-	-	17	$1/f_{ADC}$
$V_{AIN}$	转换电压范围	-	0( $V_{SSA}$ 或 $V_{REF-}$ 连接到地)	-	$V_{REF+}$	V
$R_{AIN}^{(2)}$	外部输入阻抗	-	-	-	100 <sup>(1)</sup>	K $\Omega$

R <sub>ADC</sub> <sup>(2)</sup>	采样开关电阻	快速通道, VDD=3.3V	-	-	0.4	KΩ
		慢速通道, VDD=3.3V	-	-	0.65	
C <sub>ADC</sub> <sup>(2)</sup>	内部采样和保持电容	-	-	5	-	pF
t <sub>cal</sub> <sup>(2)</sup>	校准时间	-	82			1/f <sub>ADC</sub>
t <sub>lat</sub> <sup>(2)</sup>	注入触发转换延迟	f <sub>ADC</sub> = 80 MHz	-	-	7.52	μs
		-	-	-	601.5	1/f <sub>ADC</sub>
t <sub>latr</sub> <sup>(2)</sup>	规则触发转换延迟	f <sub>ADC</sub> = 80 MHz	-	-	7.52	μs
		-	-	-	601.5	1/f <sub>ADC</sub>
SNDR	信噪失真	-	-	65	-	dB
t <sub>s</sub> <sup>(2)</sup>	采样时间	f <sub>ADC</sub> = 80 MHz(快速通道) 分辨率=12bits	0.0563 <sup>(1)</sup>	-	7.52	μs
		f <sub>ADC</sub> = 80 MHz(快速通道) 分辨率=10bits	0.0563 <sup>(1)</sup>	-	7.52	
		f <sub>ADC</sub> = 80 MHz(快速通道) 分辨率=8bits	0.0313 <sup>(1)</sup>	-	7.52	
		f <sub>ADC</sub> = 80 MHz(快速通道) 分辨率=6bits	0.0313 <sup>(1)</sup>	-	7.52	
		f <sub>ADC</sub> = 80 MHz(慢速通道) 分辨率=12bits	0.0938 <sup>(1)</sup>	-	7.52	
		f <sub>ADC</sub> = 80 MHz(慢速通道) 分辨率=10bits	0.0938 <sup>(1)</sup>	-	7.52	
		f <sub>ADC</sub> = 80 MHz(慢速通道) 分辨率=8bits	0.0938 <sup>(1)</sup>	-	7.52	
		f <sub>ADC</sub> = 80 MHz(慢速通道) 分辨率=6bits	0.0563 <sup>(1)</sup>	-	7.52	
T <sub>s</sub> <sup>(2)</sup>	采样周期数	快速通道 分辨率=12bits	4.5 <sup>(1)</sup>	-	601.5	1/f <sub>ADC</sub>
		慢速通道 分辨率=12bit	7.5 <sup>(1)</sup>	-	601.5	
t <sub>STAB</sub> <sup>(2)</sup>	上电时间	-	6	10	20	μs
t <sub>CONV</sub> <sup>(2)</sup>	总的转换时间(包括采样时间)	-	9~ 614 (采样 T <sub>s</sub> + 逐步逼近 6.5/8.5/10.5/12.5)			1/f <sub>ADC</sub>

1. 由设计保证, 不在生产中测试, 具体参见表 4-39。
2. 由设计保证, 不在生产中测试。
3. 适用于ADC连续转换模式。

公式1: 最大R<sub>AIN</sub>公式

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式(公式1)用于决定最大的外部阻抗, 使得误差可以小于1/4 LSB。其中N=12(表示12位分辨率)。



表 4-39 ADC采样时间<sup>(1)</sup>

输入	分辨率	Rin (kΩ)	最小采样时间 (ns)	输入	分辨率	Rin (kΩ)	最小采样时间 (ns)
快速通道	12-bit	0	39.6	慢速通道	12-bit	0	79.2
		0.05	43.5			0.05	83.1
		0.1	47.4			0.1	86.9
		0.2	55.1			0.2	94.7
		0.5	78.4			0.5	118.0
		1	117.2			1	156.8
		10	815.9			10	855.5
		20	1592.2			20	1631.8
		50	3921.2			50	3960.8
		100	7802.8			100	7842.4
快速通道	10-bit	0	33.9	慢速通道	10-bit	0	67.9
		0.05	37.3			0.05	71.2
		0.1	40.6			0.1	74.5
		0.2	47.2			0.2	81.2
		0.5	67.2			0.5	101.1
		1	100.5			1	134.4
		10	699.4			10	733.3
		20	1364.8			20	1398.7
		50	3361.0			50	3395.0
		100	6688.1			100	6722.1
快速通道	8-bit	0	28.3	慢速通道	8-bit	0	56.6
		0.05	31.1			0.05	59.3
		0.1	33.8			0.1	62.1
		0.2	39.4			0.2	67.7
		0.5	56.0			0.5	84.3
		1	83.7			1	112.0
		10	582.8			10	611.1
		20	1137.3			20	1165.6
		50	2800.9			50	2829.1
		100	5573.5			100	5601.7
快速通道	6-bit	0	22.6	慢速通道	6-bit	0	45.2
		0.05	24.8			0.05	47.5
		0.1	27.1			0.1	49.7
		0.2	31.5			0.2	54.1
		0.5	44.8			0.5	67.4
		1	67.0			1	89.6
		10	466.2			10	488.9
		20	909.9			20	932.5
		50	2240.7			50	2263.3
		100	4458.8			100	4481.4

1. 由设计保证，不在生产中测试。

表 4-40 ADC精度 – 局限的测试条件<sup>(1)(2)</sup>

符号	参数	测试条件	最大值 <sup>(3)</sup>	单位
ET	综合误差 <sup>(4)</sup>	$f_{\text{ADC}} = 80\text{MHz}$ , sample rate = 4.7MSPS, $V_{\text{DDA}} = 2.4\text{V} \sim 3.3\text{V}$ , $T_A = 25^\circ\text{C}$ , Single-ended mode	$\pm 4.5$	LSB
		$f_{\text{ADC}} = 80\text{MHz}$ , sample rate = 4.7MSPS, $V_{\text{DDA}} = 2.4\text{V} \sim 3.3\text{V}$ , $T_A = 25^\circ\text{C}$ , Differential mode	$\pm 4.5$	
EO	偏移误差	$f_{\text{ADC}} = 80\text{MHz}$ , sample rate = 4.7MSPS, $V_{\text{DDA}} = 2.4\text{V} \sim 3.3\text{V}$ , $T_A = 25^\circ\text{C}$ , Single-ended mode	$\pm 1.5$	
		$f_{\text{ADC}} = 80\text{MHz}$ , sample rate = 4.7MSPS, $V_{\text{DDA}} = 2.4\text{V} \sim 3.3\text{V}$ , $T_A = 25^\circ\text{C}$ , Differential mode	$\pm 1.5$	
EG	增益误差	$f_{\text{ADC}} = 80\text{MHz}$ , sample rate = 4.7MSPS, $V_{\text{DDA}} = 2.4\text{V} \sim 3.3\text{V}$ , $T_A = 25^\circ\text{C}$ , Single-ended mode	TBD	
		$f_{\text{ADC}} = 80\text{MHz}$ , sample rate = 4.7MSPS, $V_{\text{DDA}} = 2.4\text{V} \sim 3.3\text{V}$ , $T_A = 25^\circ\text{C}$ , Differential mode	TBD	
ED	微分线性误差	$f_{\text{ADC}} = 80\text{MHz}$ , sample rate = 1MSPS, $V_{\text{DDA}} = 2.4\text{V} \sim 3.3\text{V}$ , $T_A = 25^\circ\text{C}$ , Single-ended mode	$\pm 2.0$	
		$f_{\text{ADC}} = 80\text{MHz}$ , sample rate = 1MSPS, $V_{\text{DDA}} = 2.4\text{V} \sim 3.3\text{V}$ , $T_A = 25^\circ\text{C}$ , Differential mode	$\pm 1.5$	
EL	积分线性误差	$f_{\text{ADC}} = 80\text{MHz}$ , sample rate = 1MSPS, $V_{\text{DDA}} = 2.4\text{V} \sim 3.3\text{V}$ , $T_A = 25^\circ\text{C}$ , Single-ended mode	$\pm 1.5$	
		$f_{\text{ADC}} = 80\text{MHz}$ , sample rate = 1MSPS, $V_{\text{DDA}} = 2.4\text{V} \sim 3.3\text{V}$ , $T_A = 25^\circ\text{C}$ , Differential mode	$\pm 1.0$	

1. ADC的直流精度数值是在经过内部校准后测量的。
2. ADC精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间) 增加一个肖特基二极管。如何正向的注入电流，只要处于表 4-2中给出的 $I_{\text{NJ}}(\text{PIN})$ 范围之内，就不会影响ADC精度。
3. 由特征测试结果保证，不在生产中测试。
4. 由设计保证，不在生产中测试。

图 4-18 ADC精度特性

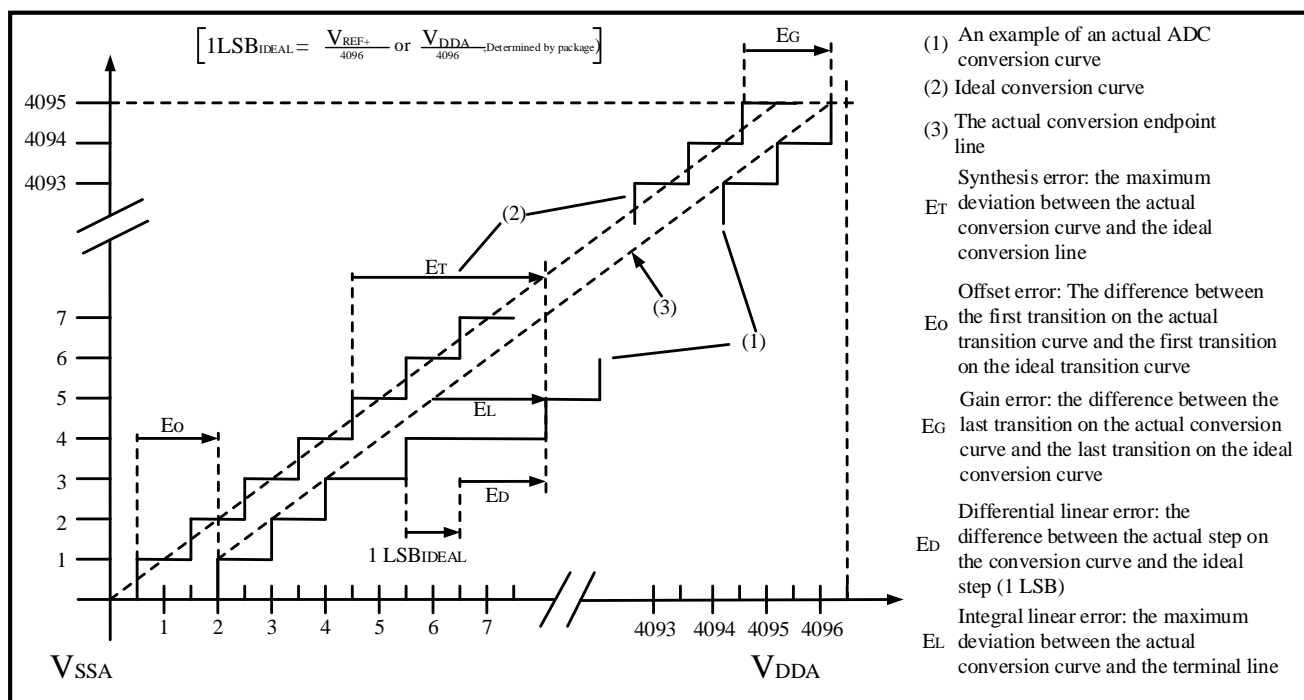
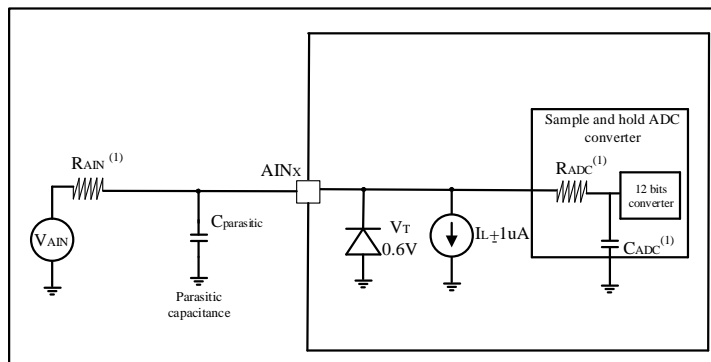


图 4-19 使用ADC典型的连接图

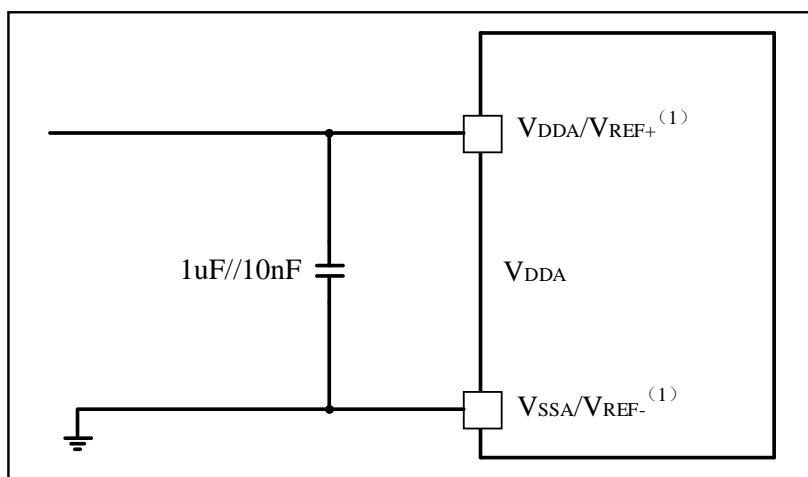


1. 有关 $R_{\text{AIN}}$ 、 $R_{\text{ADC}}$ 和 $C_{\text{ADC}}$ 的数值，参见表 4-38。
2.  $C_{\text{parasitic}}$ 表示PCB(与焊接和PCB布局质量相关)与焊盘上的寄生电容(大约7pF)。较大的 $C_{\text{parasitic}}$ 数值将降低转换的精度，解决的办法是减小 $f_{\text{ADC}}$ 。

### PCB设计建议

电源的去藕必须按照图 4-20连接。图中的10nF电容必须是瓷介电容(好的质量)，它们应该尽可能地靠近MCU芯片。

图 4-20 供电电源和参考电源去藕线路( $V_{REF+}$ 与 $V_{DDA}$ 相连)



1.  $V_{REF+}$ 和 $V_{REF-}$ 内部与 $V_{DDA}$ 和 $V_{SSA}$ 相连接。

### 4.3.19 比较器(COMP)电气参数

除非特别说明，表 4-41 的参数是使用符合表 4-4 的条件的环境温度、 $f_{HCLK}$  频率和  $V_{DDA}$  供电电压测量得到。

表 4-41 COMP 特性

符号	参数	条件		最小值	典型值	最大值	单位
$V_{DDA}$	模拟供电电压	-		2.4	-	3.6	V
$V_{IN}$	输入电压范围	-		0	-	$V_{DDA}$	
$I_{DDA(SCALER)}$	Scaler static consumption from $V_{DDA}$	Sel = 100000 'b		-	-	350	$\mu A$
$T_{START\_SCALER}$	Scaler startup time	-		-	1	2	$\mu s$
$t_{START}^{(1)}$	比较器启动建立时间	高速模式	$2.4V \leq V_{DDA} \leq 3.6V$	-	-	6	$\mu s$
$t_D$	Propagation delay for 200 mV step with 100 mV overdrive	高速模式	$2.4V \leq V_{DDA} \leq 3.6V$	-	72	200	ns
$V_{OFFSET}$	比较器输入失调误差	全共模范围		-	$\pm 10$	$\pm 20$	mV
$V_{hys}$	比较滞后电压	低迟滞		-	10	-	mV
		中等迟滞		-	20	-	
		高迟滞		-	30	-	
$I_{DDA}$	比较器电流消耗	高速模式：开启一个比较器，内部参考关闭	Static	-	45	-	$\mu A$
			With 50 kHz $\pm 100$ mV overdrive square signal	-	50	-	

1. 由设计保证，不在生产中测试。

### 4.3.20 温度传感器(TS)特性

除非特别说明，表 4-42 的参数是使用符合表 4-4 的条件的环境温度、 $f_{HCLK}$  频率和  $V_{DDA}$  供电电压测量得到。

表 4-42 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	$V_{SENSE}$ 相对于温度的线性度	-	$\pm 1$	$\pm 4$	$^{\circ}C$
Avg_Slope <sup>(1)</sup>	平均斜率	-3.7	-4	-4.3	mV/ $^{\circ}C$
$V_{25}^{(1)}$	在 25 $^{\circ}C$ 时的电压	-	1.32	-	V
$t_{START}^{(1)}$	建立时间	-	-	10	$\mu s$
$T_{S\_temp}^{(2)(3)}$	当读取温度时，ADC 采样时间	8.2	-	17.1	$\mu s$

1. 由特征测试结果保证，不在生产中测试。

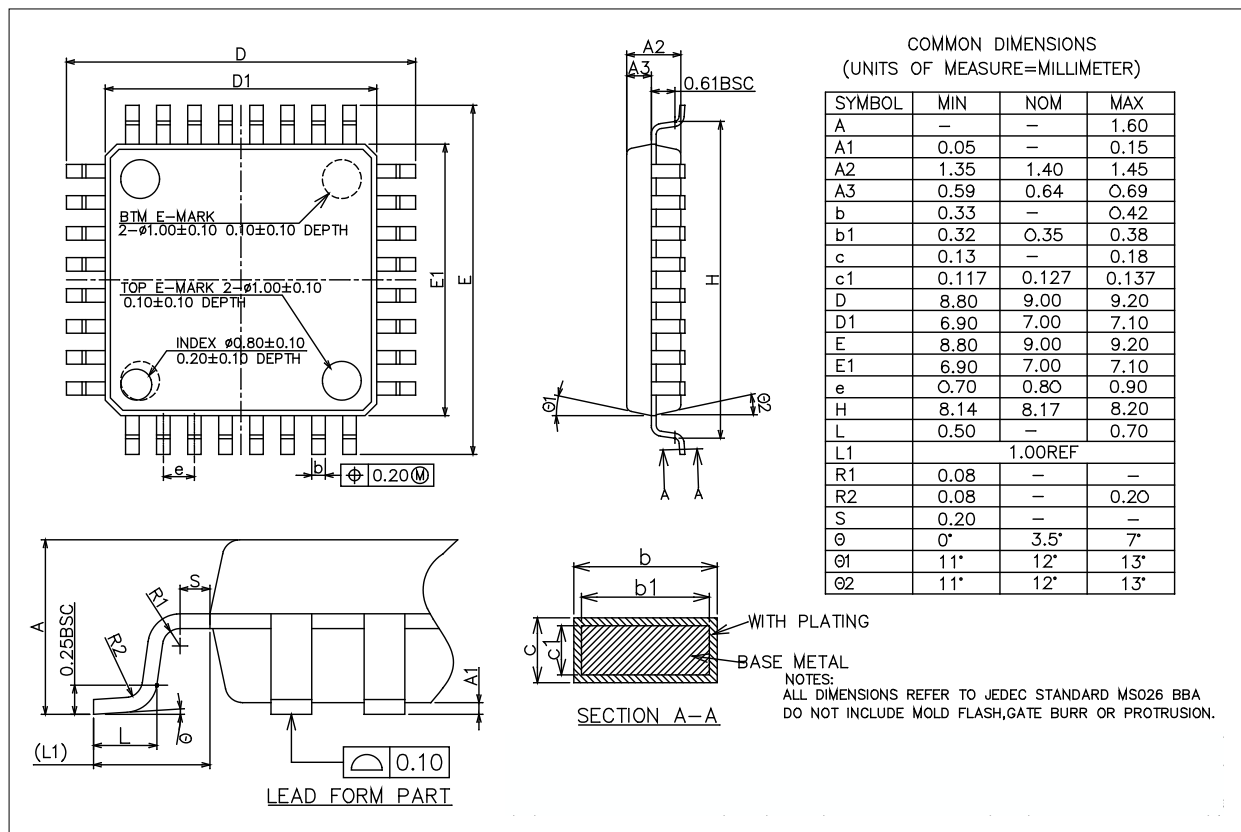
2. 由设计保证，不在生产中测试。

3. 最短的采样时间可以由应用程序通过多次循环决定。

## 5 封装尺寸

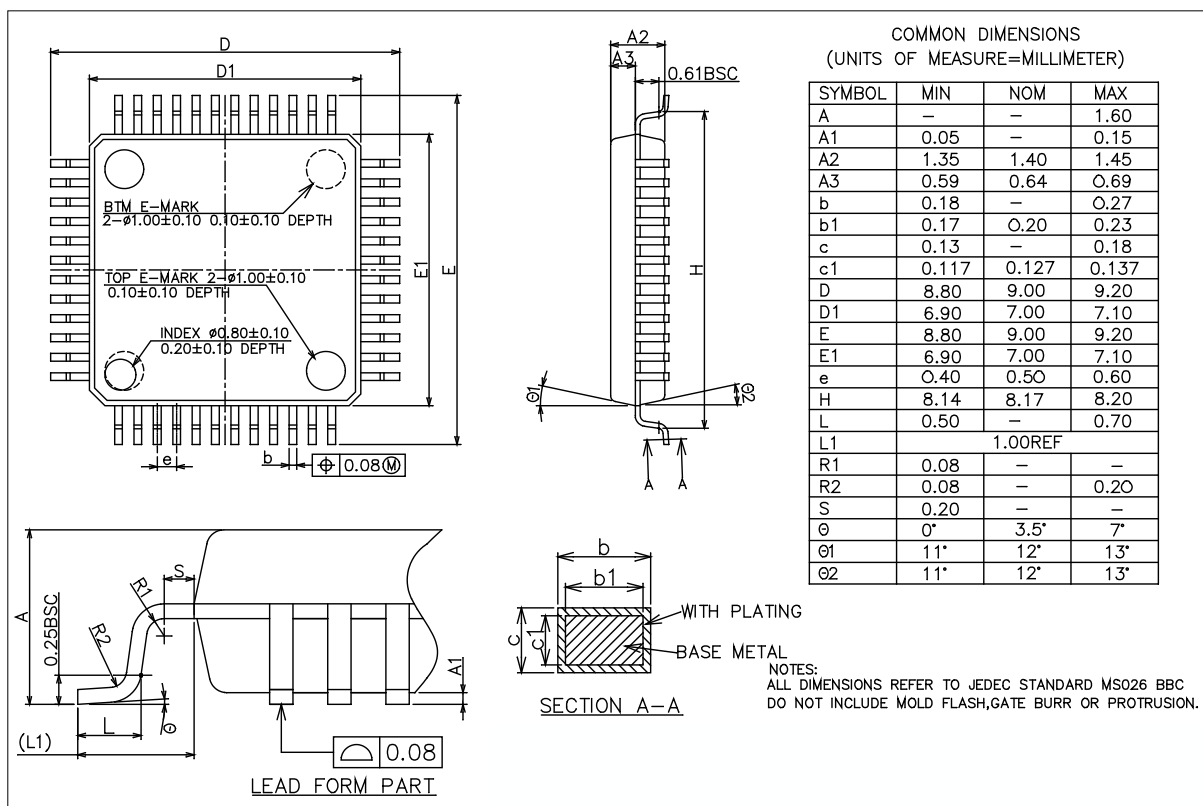
### 5.1 LQFP32

图 5-1 LQFP32封装尺寸



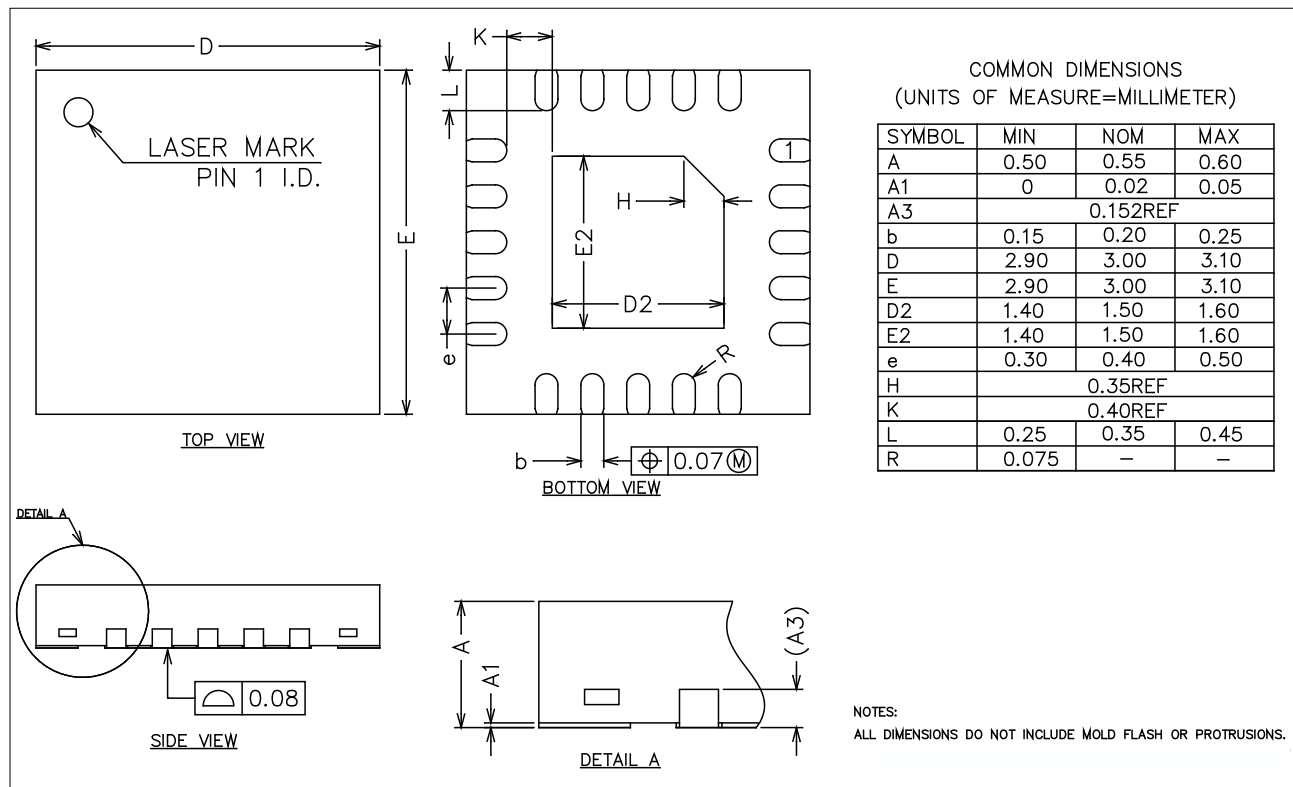
## 5.2 LQFP48

图 5-2 LQFP48封装尺寸



## 5.3 QFN20

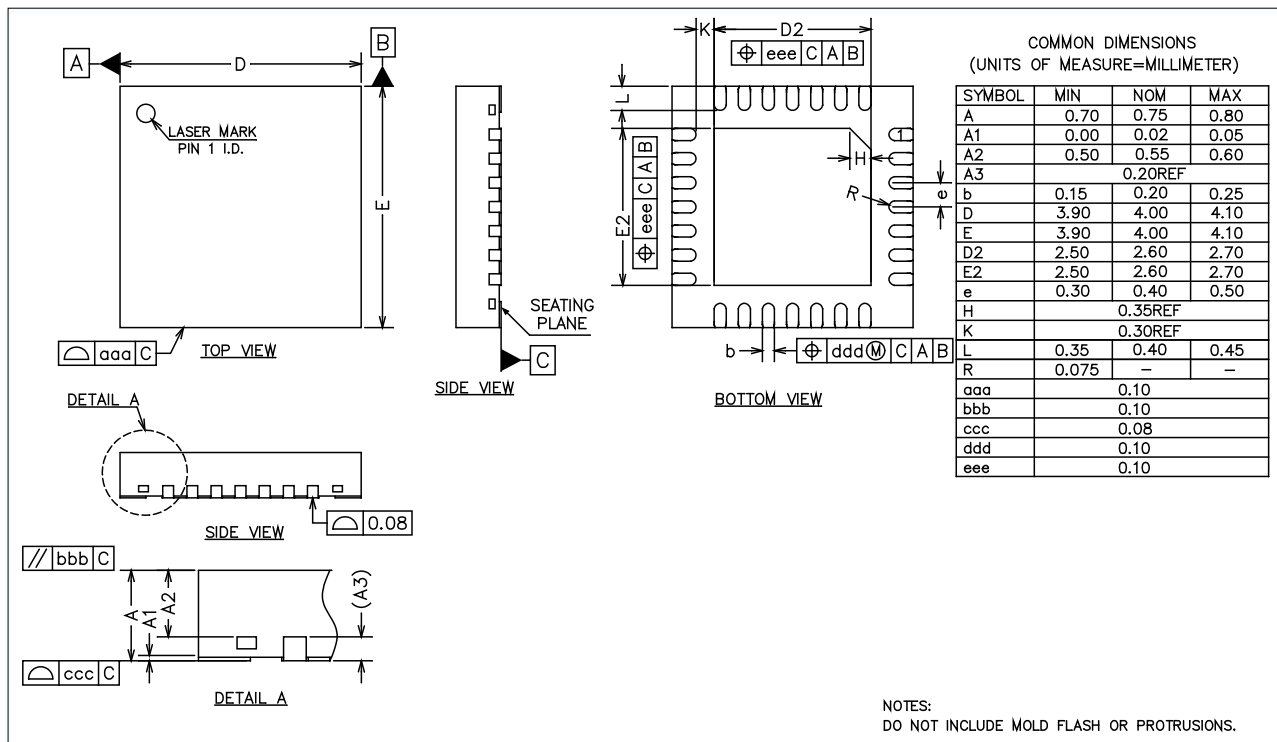
图 5-3 QFN20封装尺寸





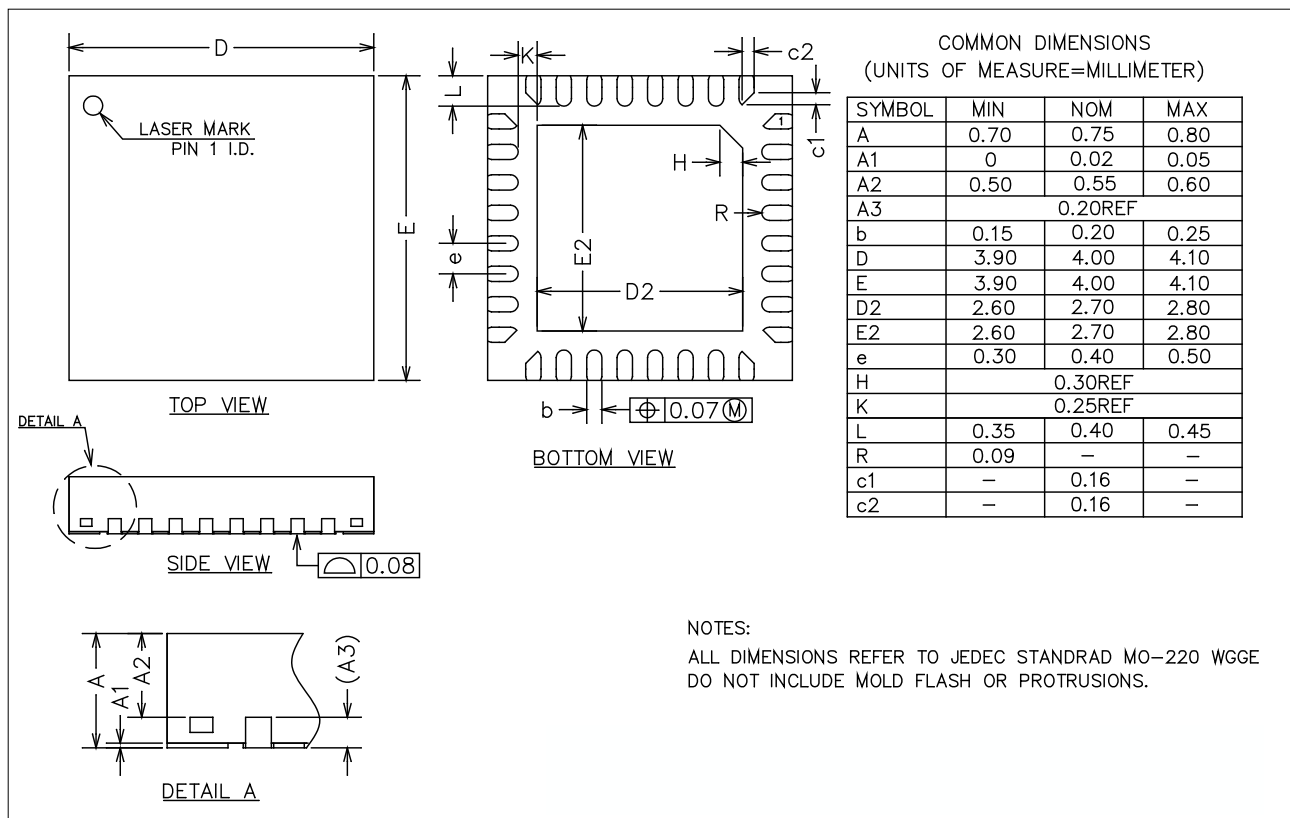
## 5.4 QFN28

图 5-4 QFN28封装尺寸



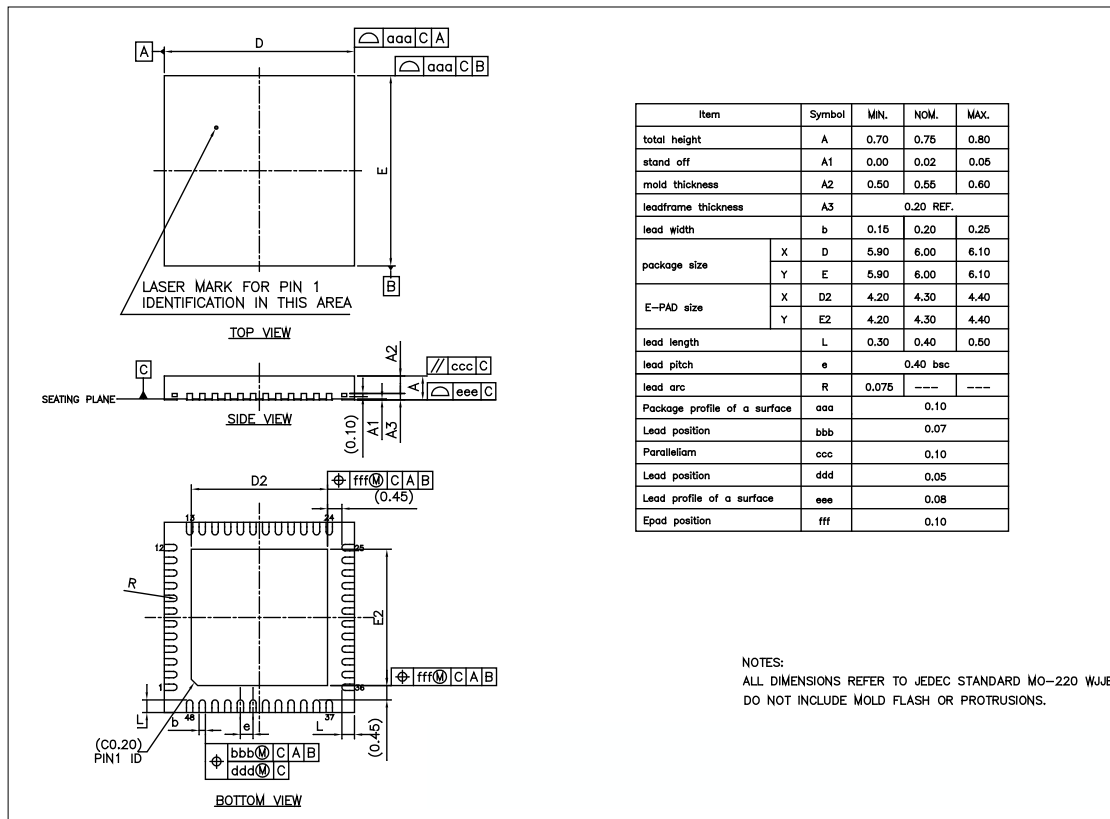
## 5.5 QFN32

图 5-5 QFN32封装尺寸



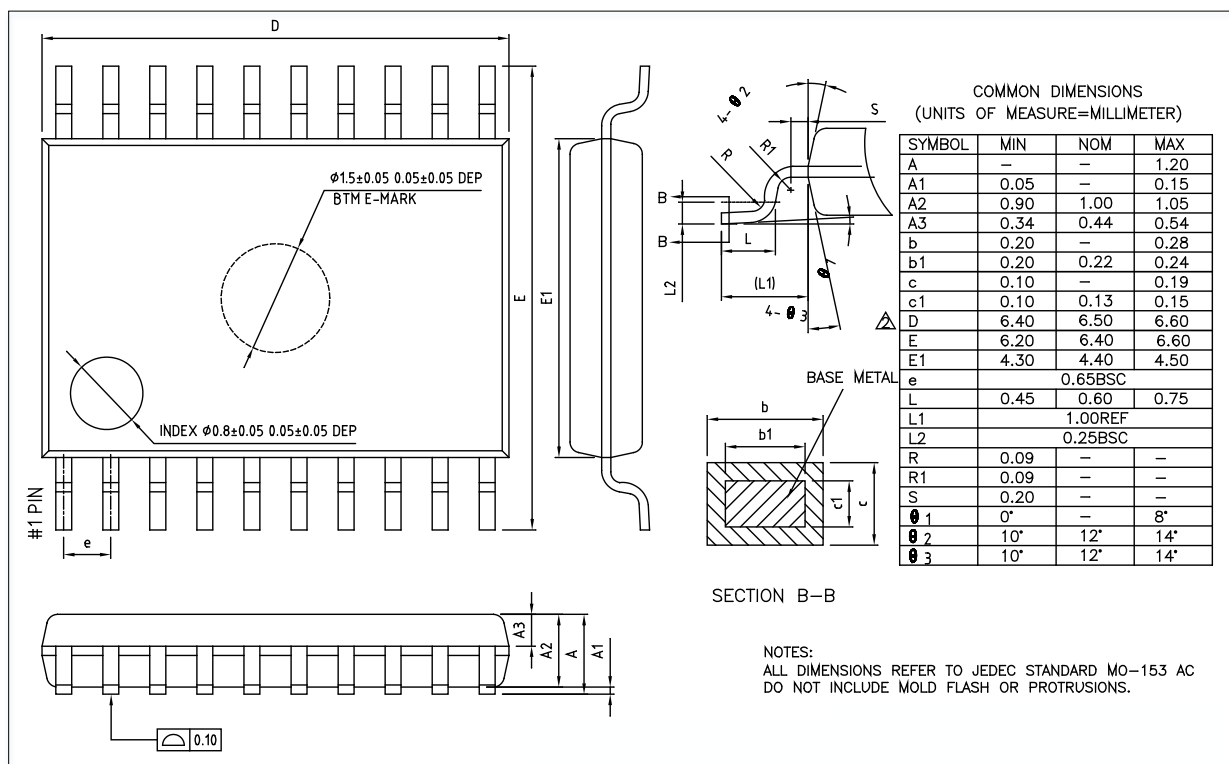
## 5.6 QFN48

图 5-6 QFN48封装尺寸



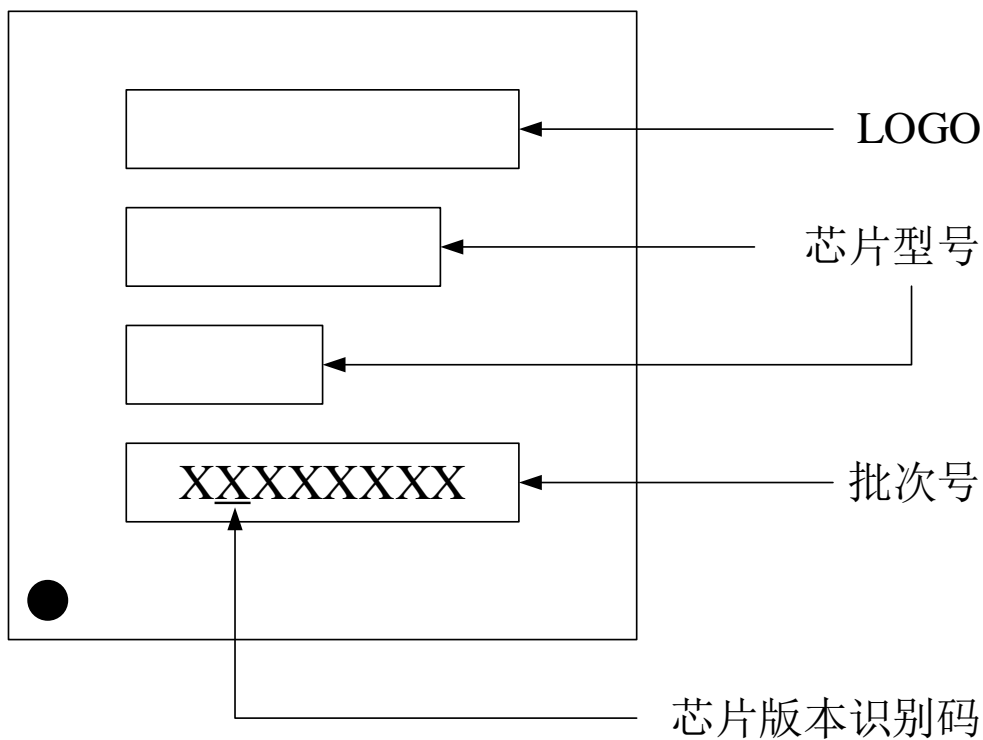
## 5.7 TSSOP20

图 5-7 TSSOP20封装尺寸



## 5.8 丝印说明

图 5-8 丝印说明



## 6 版本历史

日期	版本	备注
2022/4/21	V1.0	初始版本
2022/8/22	V1.1	<ol style="list-style-type: none"> <li>1. 修改 2.13.6 章节 WDG 3 位预分频器描述</li> <li>2. 修改 2.13.3 和 2.13.4 章节定时器描述</li> <li>3. 修改图 4-5 和图 4-6 I<sub>L</sub> 箭头向下</li> <li>4. 修改表 4-17 中 HSI 频率范围</li> <li>5. 修改图 2-1</li> <li>6. 修改图 4-17</li> <li>7. 删除支持 MPU</li> <li>8. 2.10 章节增加进入 STANDBY 模式时, PA13 和 PA14 引脚配置说明</li> </ol>
2023/3/17	V1.2.0	<ol style="list-style-type: none"> <li>1. 2.19 章节添加 GPIO 使用注意事项</li> <li>2. 2.21 章节删除 COMP 支持低功耗模式</li> <li>3. 4.3.5.1 和 4.3.5.2 章节增加 D 版本 Flash 访问时间</li> <li>4. 表 4-36 SPI 修改最大时钟频率, 修改 C 版和 D 版时序参数</li> <li>5. 2.16 章节和关键特性修改 SPI 最高速度描述</li> <li>6. 修改表 4-42 T<sub>L</sub> 最大值为 <math>\pm 4</math></li> <li>7. 表 4-12 增加 STOP0 模式功耗</li> <li>8. 修改图 2-2, 修改 ADC_CLK 为 ADC_SYNC_CLK</li> <li>9. 修改表 4-18 LSI 启动时间</li> <li>10. 表 4-41 删除低功耗模式相关描述和数据</li> <li>11. 修改表 4-38 采样时间、采样周期数和总的转换时间</li> </ol>
2023/5/30	V1.3.0	<ol style="list-style-type: none"> <li>1. 修改表 4-41 删除无迟滞描述和数据</li> <li>2. 修改表 4-18 高低温下 LSI 最小频率, LSI 最大启动时间</li> <li>3. 修改表 4-12 STOP0 模式下 -40°C 和 105°C 下功耗</li> <li>4. 修改表 4-41 t<sub>D</sub> 典型值和最大值, V<sub>OFFSET</sub> 典型值</li> <li>5. 修改表 4-38, f<sub>s</sub> 按照分辨率分开描述, f<sub>TRIG</sub> 修改条件增加分辨率描述, t<sub>s</sub> 按照分辨率分开描述, T<sub>s</sub> 修改条件增加分辨率描述</li> </ol>

## 7 声明

国民技术股份有限公司（下称“国民技术”）对此文档拥有专属产权。依据中华人民共和国的法律、条约以及世界其他法域相适用的管辖，此文档及其中描述的国民技术产品（下称“产品”）为公司所有。国民技术在此并未授予专利权、著作权、商标权或其他任何知识产权许可。所提到或引用的第三方名称或品牌（如有）仅用作区别之目的。

国民技术保留随时变更、订正、增强、修改和改良此文档的权利，恕不另行通知。请使用人在下单购买前联系国民技术获取此文档的最新版本。

国民技术竭力提供准确可信的资讯，但即便如此，并不推定国民技术对此文档准确性和可靠性承担责任。

使用此文档信息以及生成产品时，使用者应当进行合理的设计、编程并测试其功能性和安全性，国民技术不对任何因使用此文档或本产品而产生的任何直接、间接、意外、特殊、惩罚性或衍生性损害结果承担责任。

国民技术对于产品在系统或设备中的应用效果没有任何故意或保证，如有任何应用在其发生操作不当或故障情况下，有可能致使人员伤亡、人身伤害或严重财产损失，则此类应用被视为“不安全使用”。不安全使用包括但不限于：外科手术设备、原子能控制仪器、飞机或宇宙飞船仪器、所有类型的安全装置以及其他旨在支持或维持生命的应用。

所有不安全使用的风险应由使用人承担，同时使用人应使国民技术免于因为这类不安全使用而导致被诉、支付费用、发生损害或承担责任时的赔偿。

对于此文档和产品的任何明示、默示之保证，包括但不限于适销性、特定用途适用性和不侵权的保证，国民技术可在法律允许范围内进行免责。

未经明确许可，任何人不得以任何理由对此文档的全部或部分进行使用、复制、修改、抄录和传播。