

# NWF580 用户手册

(V2.3)

国民技术股份有限公司

二零二零年八月

国民技术股份有限公司 Nations Technologies Inc.

1 地址：深圳市南山区高新北区宝深路109号国民技术大厦  
电话：+86-755-86309900 传真：+86-755-86169100  
邮箱：info@nationz.com.cn 邮编：518057

## 重要声明:

随着产品的升级,本手册内容将会做相应的修改。国民技术股份有限公司保留对本手册内容进行修改的权利。

本手册的版权属于国民技术股份有限公司,未经许可不得以任何形式和手段复制或抄袭本手册内容。

国民技术股份有限公司

## 目录

版本记录.....	5
一. 概述.....	6
二. 管脚布局和定义.....	8
2.1 管脚布局.....	8
2.2 管脚定义.....	9
2.3 封装规格 .....	10
三. 绝对最大额定参数.....	12
四. 工作模块介绍.....	15
4.1 频率综合器 (PLL) .....	15
4.2 唤醒 (WU) .....	17
4.3 数据接收 (RX) .....	20
4.3.1 RX 数据帧接收 .....	21
4.3.2 RX 数据预处理中的错误处理.....	22
4.3.3 接收数据的中断信号.....	24
4.4 数据发送 (TX) .....	25
4.4.1 TX 数据帧发送.....	26
4.4.2 TX 数据帧预处理.....	27
4.5 数字接口 (Digt-IF) .....	28
4.5.1 RX / TX 数据处理信号测试 .....	29
4.5.2 TX 发送数据配置.....	31
五. 典型工作模式转换.....	32
5.1 工作模式转换简介.....	32
5.1.1 不同工作模式的转换.....	32
六. NWF580 寄存器定义.....	34
6.1 WU 模块寄存器定义.....	34
6.1.1 唤醒滤波器计数器上限寄存器 WU_FILTER_MAX .....	35
6.1.2 唤醒滤波器计数器下限寄存器 WU_FILTER_MIN .....	35
6.1.3 唤醒时间配置寄存器 WU_TIME_CONFIG.....	35
6.1.4 唤醒方波计数器配置寄存器 WU_CNT_TH_MIN / WU_CNT_TH_MAX .....	35
6.1.5 唤醒频率计数器上限寄存器 WU_FREQ_MAX .....	36
6.1.6 唤醒频率计数器下限寄存器 WU_FREQ_MIN .....	36
6.1.7 唤醒关闭时间配置寄存器 WU_T_SLEEP .....	36
6.1.8 唤醒打开时间配置寄存器 WU_T_CAPTURE.....	36
6.1.9 唤醒间隔时间配置寄存器 WU_T_GAP.....	37
6.1.10 唤醒有效时间配置寄存器 WU_T_HI .....	37
6.1.11 唤醒输出模式配置寄存器 WU_OUT_MOD / WU_TEST_CTRL<2:0> / OSC_100K_F<3:0> .....	37
6.2 Digt-IF 模块寄存器定义 .....	38
6.2.1 收发控制寄存器 DIGIT_CTRL.....	38
6.2.2 数据帧开始/结束标志寄存器 FLAG .....	39
6.2.3 CRC 校验生成多项式高 8 位 GX_HI .....	39
6.2.4 CRC 校验生成多项式低 8 位 GX_LO.....	39

6.2.5 CRC 校验期望结果高 8 位 EXP_VAL_HI.....	39
6.2.6 CRC 校验期望结果低 8 位 EXP_VAL_LO .....	40
6.2.7 CRC 配置寄存器 CRC_CTRL .....	40
6.2.8 状态寄存器 STATUS .....	40
6.2.9 中断配置寄存器 IRQ_MASK .....	41
6.2.10 接收 FIFO 数据长度设置寄存器 RX_QTY.....	41
6.2.11 0x2A: 保留.....	41
6.2.12 接收控制寄存器 RX_CTRL.....	42
6.2.13 测试寄存器 1 TEST_CTRL1 .....	42
6.2.14 测试寄存器 2 TEST_CTRL2 .....	42
6.2.15 PN9 控制寄存器 PN9_CTRL .....	43
6.2.16 发送 FIFO 入口寄存器 TX_FIFO_IN.....	44
6.2.17 接收 FIFO 出口寄存器 RX_FIFO_OUT.....	44
6.2.18 PN9 测试数据地址 PN9_TEST_DATA.....	44
6.3 模拟模块寄存器定义.....	44
6.3.1 模式控制寄存器 MOD_CTRL .....	45
6.3.2 射频输出增益、调制深度设置.....	46
6.3.3 PSF_BW 寄存器 .....	46
6.3.4 PLL1 .....	47
6.3.5 PLL2 .....	47
6.3.6 PLL3 .....	47
6.3.7 PLL4 .....	47
6.3.8 RX 测试设置 .....	48
6.3.9 RX_TEST .....	48
6.3.10 BPF 设置.....	49
6.3.11 RX_CFG_RX.....	49
6.3.12 RX_CFG_WU-TX.....	49
七. NWF580 测试模式示例.....	51
7.1. 发送全 0.....	51
7.2. 发送全 1.....	51
7.3. 发送 PN9.....	51
八. NWF580 状态说明.....	52
九. NWF580 SPI 时序说明.....	53
9.1. SPI 接口数据格式定义.....	53
9.2. SPI 传输方式.....	53
9.3 通信实例: .....	54

## 版本记录

版本	日期	修订人	说明
V1.0	2019.5.27	程维	创建文档
V1.1	2019.8.01	程维	修正表格参数，修改封装
V1.2	2019.8.01	程维	修正表格参数
V1.3	2019.8.13	程维	增加寄存器配置信息
V1.4	2019.9.2	何俊伶	1. 更新了电气规格指标； 2. 完善了 PLL 说明； 3. 完善了 WU 说明； 4. 完善了 RX 和 TX 说明； 5. 增加了测试模块说明； 6. 完善了寄存器说明。
V1.5	2019.10.22	赵辉	更新了封装及相关内容描述
V1.6	2019.10.24	程维	修改绝对最大额定参数说明
V1.7	2019.10.24	程维	修改射频灵敏度
V1.8	2019.10.29	程维	优化文档
V1.9	2019.10.31	程维	修改 wakeup 功耗
V2.0	2020.02.28	程维	修改格式，更新车规温度
V2.1	2020.06.04	程维	增加 SPI 的相关操作说明与示例
V2.2	2020.06.11	程维	修改 PIN 脚说明
V2.3	2020.08.18	程维	修正相位噪声说明

## 一. 概述

NWF580 为国民技术针对 ETC 行业研发的一款全集成射频收发芯片，满足中国电子收费专用短程通讯标准 GB/T20851.1-2007 和收费公路联网收费多义性路径识别技术要求（中华人民共和国交通运输部 2015 年 40 号公告），工作频率范围 5.73~6.2 GHz。接收灵敏度达 -76 dBm（256 Kbps ASK 数据），芯片发射功率达 8 dBm，内置 SPI 接口与上位机通信及进行工作模式控制。

在无外部控制条件下 NWF580 可以被基于 GB/T20851.1-2007 标准定义的唤醒信号唤醒，射频唤醒灵敏度达 -85 dBm，等效电流为 2 uA。NWF580 在接收到有效数据时可以通过中断通知上位机。

NWF580 集成完整的 DSRC 协议处理功能，包括 FM0 编解码、数据 CRC 校验、标志位查找及 128 字节 FIFO 数据缓冲等功能。

### 主要特点

名称	性能参数
工作频率范围	5.73~6.2 GHz
数据传输率	256 Kbps / 512 Kbps
唤醒灵敏度	-85dBm
RF 接收灵敏度	-80dBm@调制系数 85%:
发射功率	-6.1 ~ 8.4 dBm
工作功耗	待机: 0.1 uA 唤醒: 2 uA 接收: 37 mA 发送: 47 mA@ 0 dBm

### 应用领域

可应用于 ETC、电子车牌和无绳电话等领域。

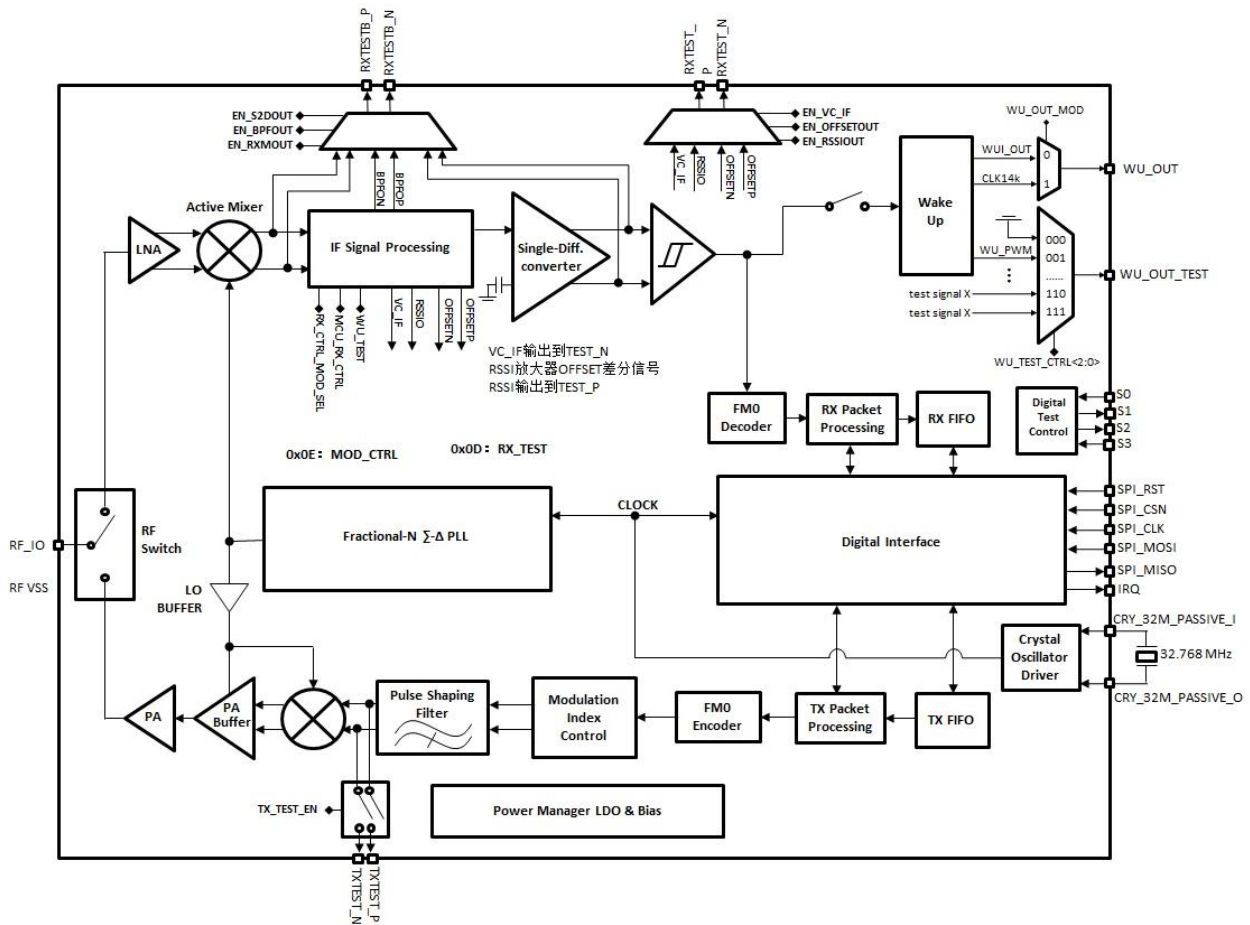


图 1. NWF580 结构框图

## 二. 管脚布局 and 定义

### 2.1 管脚布局

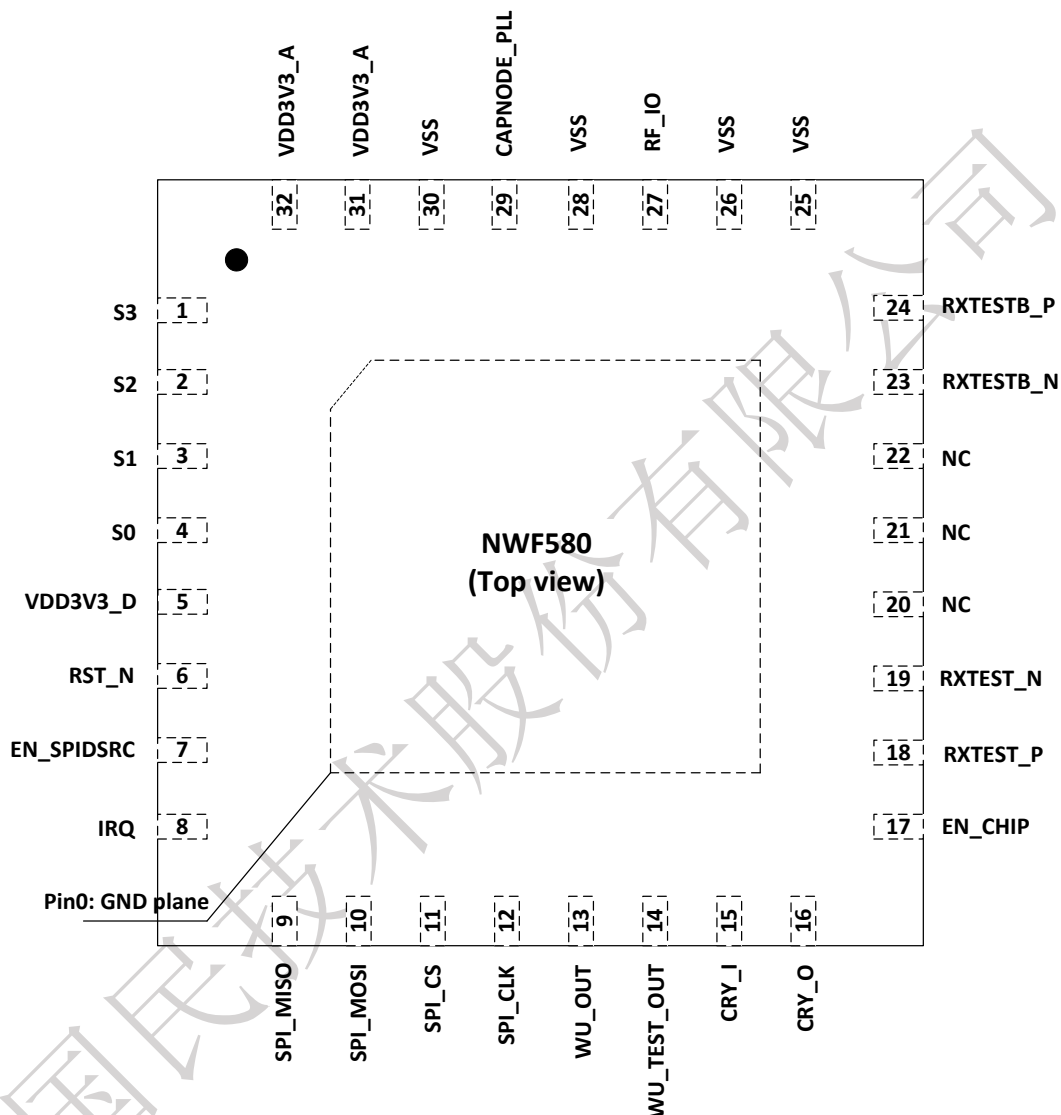


图 2.2 NWF580 管脚布局 (Top-View, QFN32)

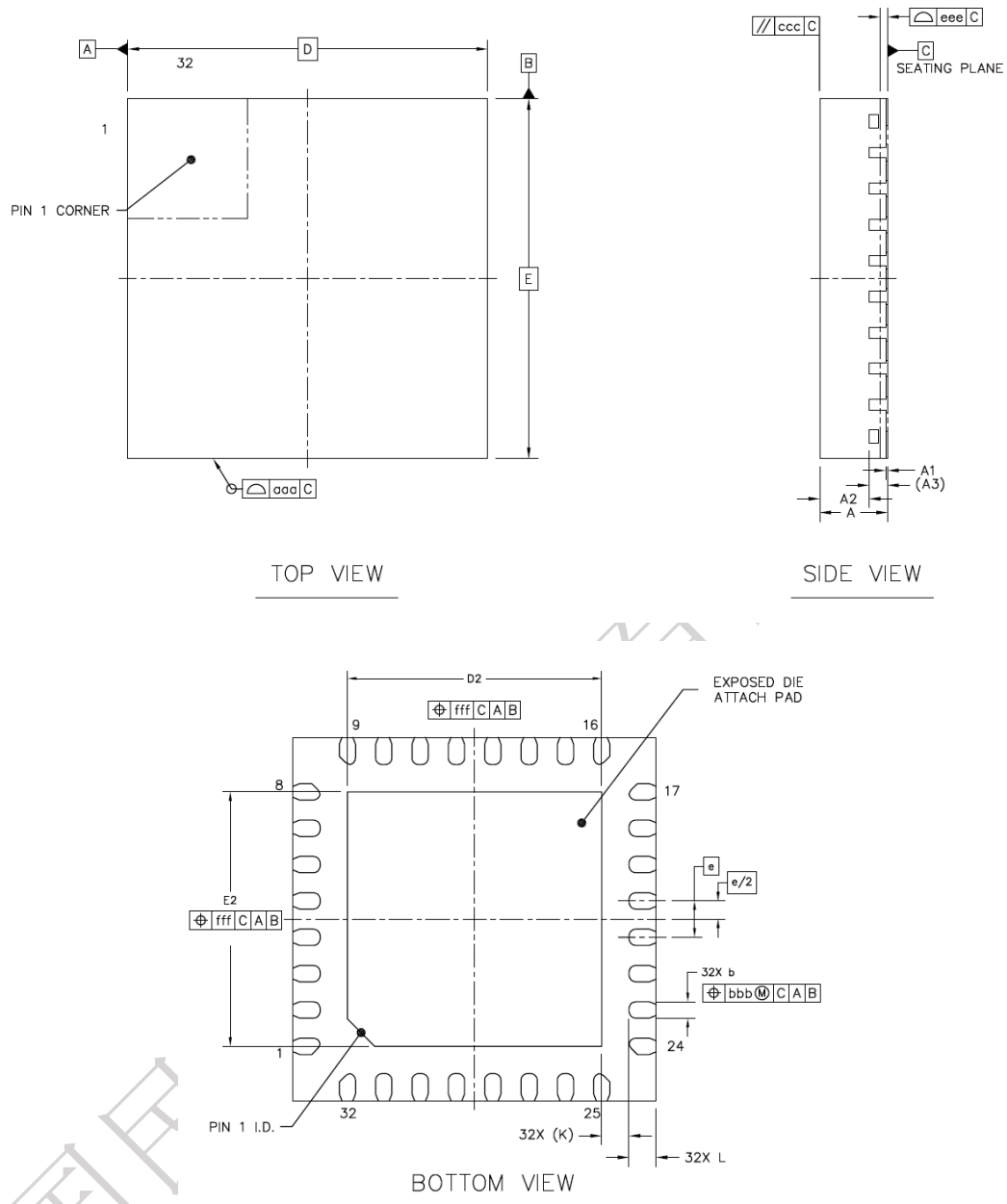


## 2.2 管脚定义

说明：PIN 0 必须接 GND

PIN Num.	Name	Input/Output	Discription
1	S3	In	Digital input port for test, <b>must connect to VSS</b>
2	S2	Out	Digital output port for test
3	S1	Out	Digital output port for test
4	S0	In	Digital input port for test, <b>must connect to VSS</b>
5	VDD3V3_D	Power	Digital Power supply, 3.3 V
6	RST_N	In	Chip Reset, low effective
7	EN_SPIDSRC	In	SPI & DSRC Enable, high effective
8	IRQ	Out	SPI digital signals
9	SPI_MISO	Out	
10	SPI_MOSI	In	
11	SPI_CS	In	
12	SPI_CLK	In	
13	WU_OUT	Out	WU Interrupt/14 kHz WU signal
14	WU_TEST_OUT	Out	Wakeup Test Signals
15	CRY_I	In	Passive crystal input
16	CRY_O	In	
17	EN_CHIP	In	Chip Enable, high effective
18	RXTEST_P	Out	RX positive test signal without buffer
19	RXTEST_N	Out	RX negative test signal without buffer
20	NC		
21	NC		
22	NC		
23	RXTESTB_N	Out	RX negative test signal with buffer
24	RXTESTB_P	Out	RX positive test signal with buffer
25	VSS	GND	Chip Ground
26	VSS	GND	Chip Ground
27	RF_IO	In/out	RF input/output signal
28	VSS	GND	Chip Ground
29	CAPNODE_PLL	In/Out	PLL test pin for debug
30	VSS	GND	Chip Ground
31	VDD3V3_A	Power	Analog Power supply, 3.3 V
32	VDD3V3_A	Power	Analog Power supply, 3.3 V

## 2.3 封装规格



		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	0.7	0.75	0.8
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.55	---
L/F THICKNESS		A3	0.203 REF		
LEAD WIDTH		b	0.15	0.2	0.25
BODY SIZE	X	D	4 BSC		
	Y	E	4 BSC		
LEAD PITCH		e	0.4 BSC		
EP SIZE	X	D2	2.7	2.8	2.9
	Y	E2	2.7	2.8	2.9
LEAD LENGTH		L	0.2	0.3	0.4
LEAD TIP TO EXPOSED PAD EDGE		K	0.3 REF		
PACKAGE EDGE TOLERANCE		aaa	0.1		
MOLD FLATNESS		ccc	0.1		
COPLANARITY		eee	0.08		
LEAD OFFSET		bbb	0.07		
EXPOSED PAD OFFSET		fff	0.1		

### 三. 绝对最大额定参数

表 3.1 规定了 NWF580 芯片工作的电器特性。超过规定的使用参数将会造成芯片永久损坏。长时间在规定参数最大值附近工作会影响使用寿命。

表 3.1 电气规格

Parameter	Min	Typ	Max	Units
模拟电源电压	2.2	3.3	4.0	V
数字接口电源电压	2.2	3.3	4.0	V
射频输入功率	-83	-50	-4	dBm
唤醒状态电流消耗	-	2	-	μA
接收模式电流消耗	-	37	-	mA
发射模式电流消耗	54	47	95	mA
输入逻辑电平范围	1.8	3.3	4.0	V
输出逻辑电平范围	-	3.3	-	V
电源建立时间		150		μs
工作温度范围	-45	25	105	°C

表 3.2 发射模块电气规格

Parameter	Min	Typ	Max	Units
射频发射信号载波频率	5.73	5.79/5.80	6.20	GHz
发射功率	-6.1	0	8.4	dBm
发射 ASK 数据传输速率	256	512	512	Kbps
发射杂散信号功率: @30 MHz~1000 MHz @2.4 GHz~2.483 GHz @3.4 GHz~3.53 GHz @Other 1 GHz~20 GHz	-	-67.56 -63.506 -62.728 -59.084	-	dBm
发射 AM 调制系数	0.7	0.85	1	-
发射链路增益调谐范围	-6.1	2.0	8.4	dBm
发射功率带宽	-	1.1	-	MHz
相邻信道泄露功率抑制比	-	-58	-	dBm
发射链路建立时间 (不含电源建立时间)	-	-	50	μs

表 3.3 接收模块电气规格

Parameter	Min	Typ	Max	Units
射频输入管脚差分输入阻抗	-	50	-	ohm
射频接收灵敏度@ 256 Kbps: (BER < 10E-5, 调制系数 85%)	-80	-76	-4	dBm
射 频 端 口 相 位 噪 声 (5790/5800MHz):  @ 1 KHz offset @ 10 KHz offset @ 10 KHz offset @ 100 KHz offset	-	-65  -70 -75	-	dBc/Hz
动态范围		76		dBm
接收模块建立时间	-	22	-	μs

表 3.4 唤醒模块电气规格

Parameter	Min	Typ	Max	Units
射频唤醒灵敏度	-83	-80	-14	dBm
唤醒信号持续时间（可调节）	1.0	1.00	4.0	ms
唤醒信号带宽	9	-	16	kHz
接收使能信号持续时间 （可调节）	1	1	32	ms
射频唤醒信号载波输入频率 -3 dB 带宽(唤醒信号为 14 KHz 周期 OOK 调制)	5.82	5.83/5.84	5.85	GHz

表 3.5 频率综合模块电气规格

Parameter	Min	Typ	Max	Units
VCO 频率范围	5.73	-	6.2-	GHz
输入参考时钟频率	-	32.768	-	MHz
输出频率调谐精度	-	0.7	-	ppm
频率综合建立时间	-	-	50	μs
VCO 输出信号相位噪声: @5.79 GHz      10 KHz offset 100 KHz offset 1 MHz offset	-	-65 -69 -92	-	dBc/Hz

表 3.6 外部晶体模块电气规格

Parameter	Min	Typ	Max	Units
参考晶体时钟频率	-	32.768	-	MHz
32.768 MHz 时钟晶体建立时间	-	100	-	μs

## 四. 工作模块介绍

NWF580 的工作模块包括频率综合器 (PLL)、唤醒 (WU)、数据接收 (RX)、数据发送 (TX) 和数字接口 (Digit-IF) 等。每个模块都可以方便地通过寄存器进行配置，针对应用需求灵活设置相应功能。

### 4.1 频率综合器 (PLL)

NWF580 采用全集成 15 位  $\Sigma$ - $\Delta$  小数 PLL 为接收机和发射机提供射频本振信号，发射载波频率由寄存器 RX\_CFG\_WU-TX (0x00~0x04) 配置，接收本振频率由寄存器 RX\_CFG\_RX (0x05~0x09) 配置。PLL 频率配置公式如下：

$$F = \left( N + 67 + M/2^{15} \right) \times 2 \times X$$

其中，F 为本振频率，X 为晶体振荡频率，N 为分频器整数部分，M 为分频器小数部分。

根据 DSRC 标准要求，发射模式下 PLL 频率配置为 5.79 GHz 或者 5.80 GHz，接收模式下 PLL 频率配置为 5.835 GHz，同时接收 5.83 GHz 和 5.84 GHz 信号。

频率配置寄存器有 RX\_CFG\_WU-TX (0x00~0x04) 和 RX\_CFG\_RX (0x05~0x09)，介绍如下：

表 4.1-1. PLL 频率配置寄存器简介

序号	名称	地址	简介	配置位	功能说明
1	RX_CFG_WU-TX	0x00~0x04	WU/TX 频率设置	Bit39-Bit36	WN/TX 频段选择：
				Bit35-Bit31	整数分频设置
				Bit30-Bit 6	小数分频设置
2	RX_CFG_RX	0x05~0x09	RX 频率设置	Bit39-Bit36	RX 频段选择
				Bit35-Bit31	整数分频设置
				Bit30-Bit 6	小数分频设置

RX\_CFG\_WU-TX (0x00~0x04) 和 RX\_CFG\_RX (0x05~0x09) 的结构完全相同，分别由频段选择和分频系数组成。分频系数包括整数分频 (5-bit) 和小数分频 (25-bit) 两个部分。

NWF580 采用片外石英晶体作为锁相环的基准时钟源。晶体振荡器频率为 32.768 MHz，晶体频率偏差可由小数分频器进行校正。

当晶体振荡器频率为 32.768 MHz，如果需要 TX 工作于 5.79 GHz，分频系数计算如下：

$$\text{分频比} = 5790/32.768/2 = 88.348388671875$$

$$\text{整数 (5 位)} = 88 - 67 = 21 = 10101b$$

$$\text{小数 (25 位)} = 0.348388671875 \times 2^{15} = 11416 = 010\ 1100\ 1001\ 1000b = 0x2C98$$

对应的寄存器设置如下表：

表 4.1-2. 5.79 GHz 时寄存器 RX\_CFG\_WU-TX (0x00~0x04) 配置

寄存器	设置(Bit7-0)
0x00	0000 1010
0x01	1010 1100
0x02	0000 0110
0x03	0000 0011
0x04	1000 0100

\*以上为理论计算数值。实际应用中用于芯片封装和 PCB 贴片等影响需要相应调整并设定。



## 4.2 唤醒（WU）

WU 模块分为低功耗工作和唤醒测试等不同模式。在低功耗工作模式下，NWF580 关闭了 PLL、TX、Dig-IF、和 XOSC 等模块，可以通过配置寄存器 MOD\_CTRL（0x0E）选择针对 14 KHz 唤醒信号的不同处理方法。结合 WU 寄存器（表 5.1-1）的配置，NWF580 可以根据需求灵活构造高性能唤醒系统。

### 1. 低功耗工作

该模式需要设置寄存器 0x19 的 WU\_OUT\_MOD = 0。此时 NWF580 的工作周期为  $T_g$ ，在  $T_h$  时间内检测载频为 5.83 / 5.84 GHz 的 14 kHz 唤醒信号，工作时序如下图：

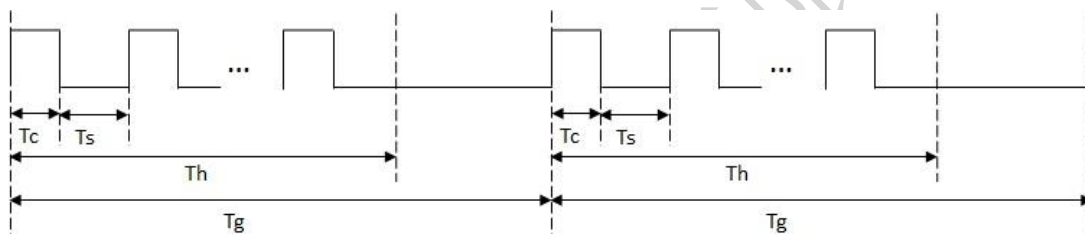


图 4.2-1 芯片低功耗工作时 WU 模块的工作时序

表 4.2-1.低功耗工作模式 WU 寄存器典型配置

地址	名称	数值	说明
x0F	WU_FILTER_MAX[4:0]	0x05	唤醒滤波最大值
x10	WU_FILTER_MIN[4:0]	0x01	唤醒滤波最小值
x12	WU_TH_MIN[4:0] WU_TH_MAX[4:0]	0x15	唤醒方波计数阈值
x13	FREQ_MAX[4:0]	0x0A	唤醒频率计数最大值
x14	FREQ_MIN[4:0]	0x05	唤醒频率计数最小值
x15	WU_T_SLEEP[4:0]	0x3E	唤醒等待时间 630 us
x16	WU_T_CAPTURE[4:0]	0x1D	唤醒捕获时间 300 us
x17	WU_T_GAP[4:0]	0x06	唤醒工作周期 2.1s
x18	WU_T_HI[6:0]	0x33	唤醒有效时间 10.4ms

在该模式下提供 2 种不同的芯片唤醒选择方式，分别是：（1）NWF580 自主唤醒（WURX 方式），和（2）NWF580 输出唤醒有效信号，由 MCU 决定下一步工作（WUMCU 方式）。

### (1) WURX 方式

该方式需要在寄存器 MOD\_CTRL (0x0E) 中设置相应位为“0000: WURX 模式”。在这种方式下, 芯片接收到符合标准的 14 kHz 唤醒信号后由 WU\_OUT (Pin 13) 输出唤醒中断信号, 同时芯片开启 RX 模式直接进行数据接收, 将数据保存在 RXFIFO 中。唤醒中断信号有效时间 (WU\_OUT) 和芯片处于 RX 模式有效时间 (EN\_RX) 分别由寄存器 0x11 的 WU\_MAINTAIN\_SEL 和 WU\_RX\_MAINTAIN\_SEL 设置, 需要保证 EN\_RX 的时间长于数据接收时间。WU\_OUT 和 EN\_RX 可以通过配置寄存器 0x19 直接由芯片输出。

MCU 进入工作状态后将使能信号 EN\_SPIDSRC (Pin 7) 置高可以读取数据帧。接收数据的详细过程可以参考 RX 模式的相关介绍, WURX 方式的工作时序如下。

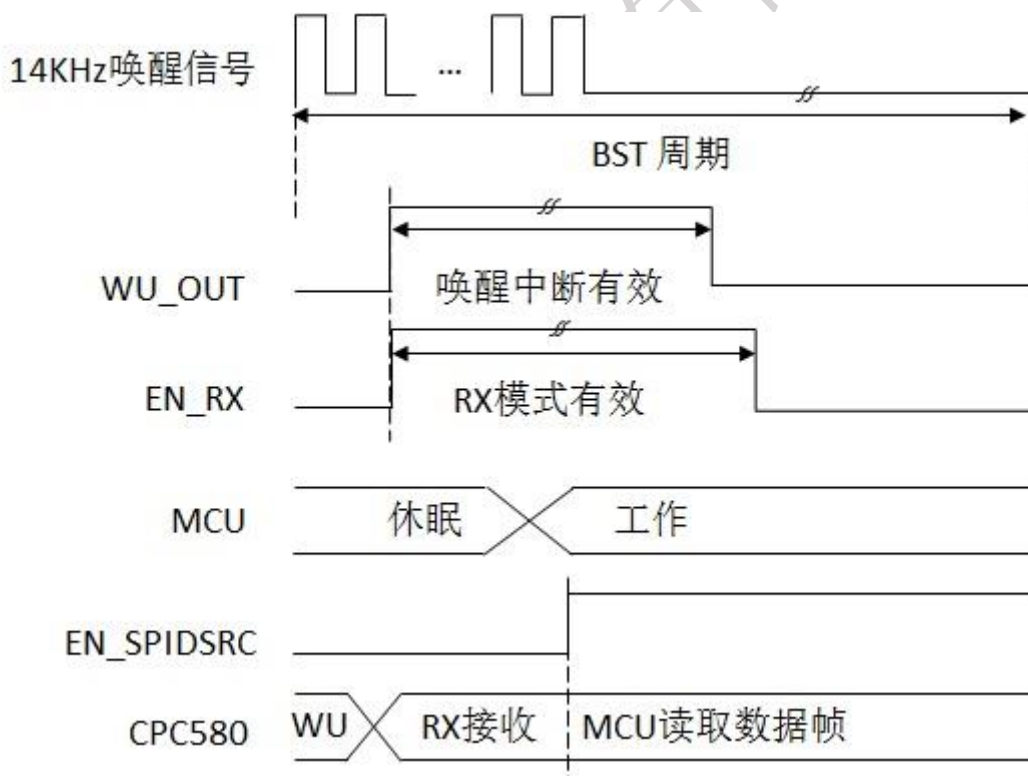


图 4.2-2 WU RX 的工作时序

## (2) WUMCU 方式

该方式需要在寄存器 MOD\_CTRL (0x0E) 中设置相应位为“1000: WUMCU 模式”。在这种方式下, 芯片接收到符合标准的 14 kHz 唤醒信号后由 WU\_OUT (Pin 13) 输出唤醒中断信号, 但是芯片的接收机不打开。MCU 可以在接收到唤醒中断信号后自主判断是否打开接收机。MCU 可以选择开启 NWF580 的接收机或者选择重新配置 WU 参数, 等待下一次 14 kHz 唤醒信号。

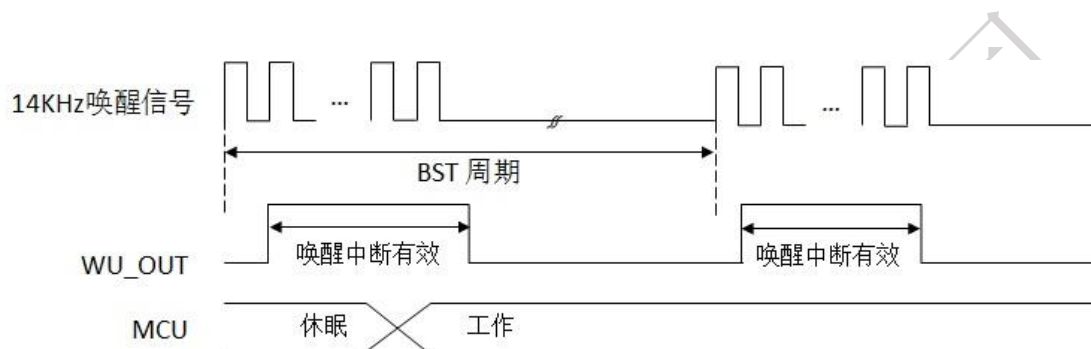


图 4.2-3 WU MCU 的工作时序

## 2. 唤醒测试

为了测试 NWF580 的唤醒灵敏度和唤醒信号带宽等参数, 可以在寄存器 MOD\_CTRL (0x0E) 中设置相应位为“0010: WU 测试模式”。在唤醒测试模式下, 可以检测唤醒灵敏度、唤醒信号带宽、载频带宽等参数。在测试模式下, 需要根据要求设置寄存器 0x19 中 WU\_OUT\_MOD 的值。

## 4.3 数据接收（RX）

启动 RX 需要在寄存器 MOD\_CTRL (0x0E) 中设置相应位为“1100: RX 工作模式”。RX 工作模式下本振配置为 5.835 GHz, 可以同时接收 5.83 GHz 和 5.84 GHz 的信号。RX 工作模式下, NWF580 开启了 RX、PLL、Dig-IF、PTAT 和 XOSC（外部晶振）等模块, 关闭了 TX 模块。NWF580 具备完备的中断处理能力应对接收中的各种情况。当通过寄存器 IRQ\_MASK (0x28) 配置后, 结合中断输出管脚 IRQ (Pin 8) 的状态和寄存器 STATUS (0x27) 的值, 可以完整了解接收的数据情况。

RX 工作模式下相关寄存器的典型配置如下:

表 4.3-1 RX 工作模式寄存器典型配置

地址	数值	说明
0x0E	0x58	RX 工作模式
0x1F	0x03	PLL 设置 1
0x1E	0x06	PLL 设置 2
0x1D	0x00	PLL 设置 3
0x1C	0x01	PLL 设置 4
0x1B	0x4C	RX 测试设置 1
0x1A	0x8C	RX 测试设置 2
0x0D	0x11	有源晶振 RSSI 输出到 RXTEST_P (pin 18)
0x0C	0x21	BPF 设置 1
0x0B	0x89	BPF 设置 2
0x0A	0x14	BPF 设置 3

### 4.3.1 RX 数据帧接收

NWF580 集成完整的 DSRC 协议处理器。通过配置 Digt-IF 模块相关寄存器，芯片可以自动处理接收到的数据，包括帧头/帧尾检测、CRC 校验和数据接收等操作。可以通过配置寄存器 RX\_CTRL (0x2B) 选择数据接收过程中错误的处理方式并通过寄存器 STATUS (0x27) 获得相关错误信息。根据数据接收过程，NWF580 的 DSRC 协议处理器提供了完整的中断类型供 MCU 灵活处理接收到的数据。具体数据帧接收流程如下：

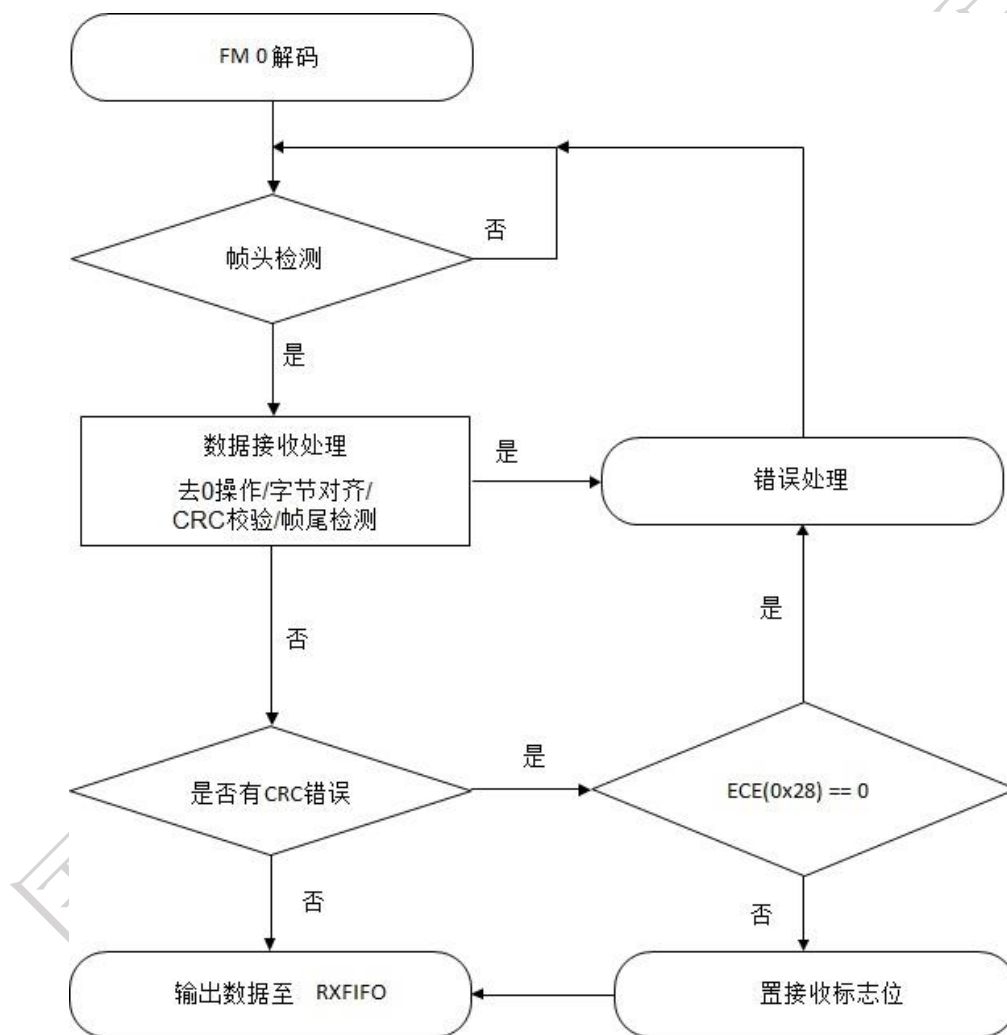


图 4.3-1 RX 工作模式数据帧接收流程图

### 1. FM0 解码

数据进入集成的 FM0 解码模块，持续解码输出。

### 2. 帧头检测

解码输出数据进入帧头检测，从第一个数据开始持续检测连续的 8 位数据是否为帧头（默认值 0x7E，可在寄存器 FLAG（0x21）中配置），若检测到则进入下一个步骤。

### 3. RX 数据预处理，具体如下：

- （1）去 0 操作：检测到连续 5 个 1，则去掉最后的 1 后面紧接着的 1 个 0；
- （2）计算 CRC 校验和；
- （3）检查数据位数是否为 8 的倍数，即字节是否对齐；
- （4）检测解码模块是否进入空闲状态；
- （5）将去 0 后的数据按字节（8 位）存入接收 FIFO；
- （6）持续检测移位寄存器里面的最后 8 位是否为帧尾（默认值 0x7E，可在寄存器 FLAG（0x21）中配置）。

在以上过程中的错误处理见下节。

### 4. 置接收标志位

在以上步骤中如果检测到帧尾，且数据中没有任何错误，则寄存器 STATUS（0x27）中 FRM\_VALID 置位（该标志位在下次接收开始前，检测到帧头，自动清 0），并等待 MCU 进行处理。

## 4.3.2 RX 数据预处理中的错误处理

NWF580 的 DSRC 协议处理器配置了灵活的错误处理方式，可以通过寄存器 RX\_CTRL（0x2B）进行设置。

### 1. 全自动处理方式

该方式设置 RX\_CTRL（0x2B）的 RX\_OPTION = 1，除 CRC 校验外的所有错误都由 DSRC 协议处理器自动处理。CRC 校验错误可以通过配置检测寄存器 IRQ\_MASK（0x28）中的 ECE 位选择处理方式。

表 4.3-2 RX 工作模式中接收错误全自动处理

序号	错误类型	标志寄存器数据 STATUS (0x27)	处理方式
1	插 0 错误 (数据中存在 5 个以上连续的 1)	ERR_0=1	硬件清空接收 FIFO, 重新执行步骤 1
2	数据接收完毕但 未检测到帧尾	ERR_END=1	硬件清空接收 FIFO, 重新执行步骤 1
3	检测到帧尾, 但是 字节不对齐	ERR_0=1	硬件清空接收 FIFO, 重新执行步骤 1
4	检测到帧尾, 但是 字节不对齐	ERR_BYTE=1	
5	检测到帧尾, 但是 CRC 校验不正确	ERR_CRC=1	寄存器 IRQ_MASK (0x28) 设置:
			ECE (bit2) = 0      硬件清空接收 FIFO, 重新执行步骤 1
			ECE (bit2) = 1      产生中断, 等待 MCU 处理

\*STATUS (0x27) 中的错误标志位会在直到下一次接收开始时 (检测到帧头) 自动清 0。

## 2. MCU 处理方式

该方式设置 RX\_CTRL (0x2B) 的 RX\_OPTION = 0, 任何错误都会结束接收过程并等待 MCU 处理。

表 4.3-3 RX 工作模式中接收错误 MCU 处理

序号	错误类型	标志寄存器数据 STATUS (0x27)	处理方式
1	插 0 错误 (数据中存在 5 个以上连续的 1)	STATUS (0x27) 中 ERR_0=1	接收结束, 等待 MCU 处理
2	数据接收完毕但 未检测到帧尾	解码模块进入空闲状 态 ERR_END=1	接收结束, 等待 MCU 处理
3	检测到帧尾, 但是 字节不对齐	STATUS (0x27) 中 ERR_0=1	接收结束, 等待 MCU 处理
4	检测到帧尾, 但是 字节不对齐	STATUS (0x27) 中 ERR_BYTE=1	接收结束, 等待 MCU 处理
5	检测到帧尾, 但是 CRC 校验不正确	STATUS (0x27) 中 ERR_CRC=1	接收结束, 等待 MCU 处理

\*STATUS (0x27) 中的错误标志位会在直到下一次接收开始时 (检测到帧头) 自动清 0。



### 4.3.3 接收数据的中断信号

NWF580 提供了完备的中断处理能力应对接收中的各种情况，中断寄存器 STATUS（0x27）的定义如下：

BIT	7	6	5	4	3	2	1	0
意义	无	收到完整帧	字节对齐错误	插 0 错误	无结束标志	CRC 校验错误	发送完成	无

所有的中断由中断使能寄存器 IRQ\_MASK（0x28）配置，可以按位开启（置 1）或关闭（置 0）对应的中断，定义如下：

BIT	7	6	5	4	3	2	1	0
意义	全局中断使能	完整帧接收中断使能	字节对齐错误中断使能	插 0 错误中断使能	无结束标志中断使能	CRC 校验错误中断使能	完整帧发送中断使能	无

具体中断执行过程如下：

中断使能寄存器 IRQ\_MASK（0x28）的最高位是全局中断使能位，只有当这位为 1 时，其它中断使能位才有效。

当全局中断使能位有效时，IRQ\_MASK（0x28）的任一位置 1 则可以响应相关中断。在这个条件下，当产生了至少中断事件时，中断输出管脚 IRQ（Pin8）有效（高电平）。

当全局中断使能位有效并且相应中断使能位置 1 时，DSRC 协议处理器在接收数据过程中根据接收情况由硬件自动设置中断寄存器 STATUS（0x27）的标志位（1 表示有效，0 表示无效）。当 DSRC 协议处理器检测到下一帧的帧头时，进入接收下一帧的状态，并将上述标志位全部由硬件自动清 0。上述标志位不能由软件清 0。

中断寄存器 STATUS（0x27）的 Bit1 标志位的相关介绍见 4.4.1。



## 4.4 数据发送（TX）

启动 RX 需要需要在寄存器 MOD\_CTRL（0x0E）中设置相应位为“0001：TX 工作模式”。在该模式下本振可以配置为 5.79/5.80 GHz。在 TX 模式下，NWF580 开启了 TX、PLL、Dig-IF、PTAT 和 XOSC（外部晶振）等模块，关闭 RX 模块。TX 工作模式下当本振为 5.79 GHz 时，寄存器典型配置如下：

表 4.4-1 TX 工作模式寄存器典型配置（5.79 GHz，0dBm）

地址	数值	说明
0x0E	0x42	TX 工作模式
0x32	0x18	TX 输出功率为 0 dBm TX 调制深度 80%
0x31	0x07	
0x30	0x40	
0x33	0x32	
0x2F	0x1F	TX 测试信号输出使能 整形滤波器带宽 1.5 MHz
0x1F	0x00	PLL 设置 1
0x1E	0x0D	PLL 设置 2
0x1D	0xC1	PLL 设置 3
0x1C	0x00	PLL 设置 4

### 4.4.1 TX 数据帧发送

待发送数据通过 SPI 接口写入 NWF580 的发送 FIFO。数据写完后根据 DSRC 协议自动生成完整的数据帧，再经过 FM0 编码、调制深度控制和脉冲整形后送到 RF 前端发送。具体流程如下：

1. 上位机将待发送数据通过 SPI 接口写入发送 FIFO 入口寄存器 TX\_FIFO\_IN (0x3E)，最大长度 128 Bytes。若写入数量超过 128 Bytes，超出部分数据将被忽略。
2. 上位机置帧发送标志：写寄存器 DIGIT\_CTRL (0x20)，将第 7 位 (FRM\_START)置 1，然后再置 0（两次操作之间不需要等待）。
3. 根据发送 FIFO 里的数据生成待发送的 DSRC 数据帧 (FRAME\_DATA)，详细见下节 TX 数据预处理过程。
4. FRAME\_DATA 发送到 FM0 编码模块进行编码。
5. 经 FM0 编码后的完整数据帧 (FM0\_DATA) 发送给 RF 前端进行发送。

以上 5 个步骤中，前两个步骤需要上位机操作，其它三步均由硬件自动完成。

中断寄存器 STATUS (0x27) 的 Bit1 是数据帧发送完成标志位，在 MCU 置 FRM\_START (0x20 bit7) 为 1 时，由硬件自动清 0。当全局中断使能位有效并且相应中断使能位置 1 时，数据帧发送完成后 Bit1 由硬件自动置 1 并且中断输出管脚 IRQ (Pin8) 有效（高电平）。Bit1 不能由软件清 0。

完整数据帧格式定义如下：

前导码	数据开始标志	数据	CRC 校验	数据结束标志	后导码
0xFFFF0000	0x7E	数据（插 0 处理）	校验值	0x7E	0x00

## 4.4.2 TX 数据帧预处理

数据帧预处理流程如下：

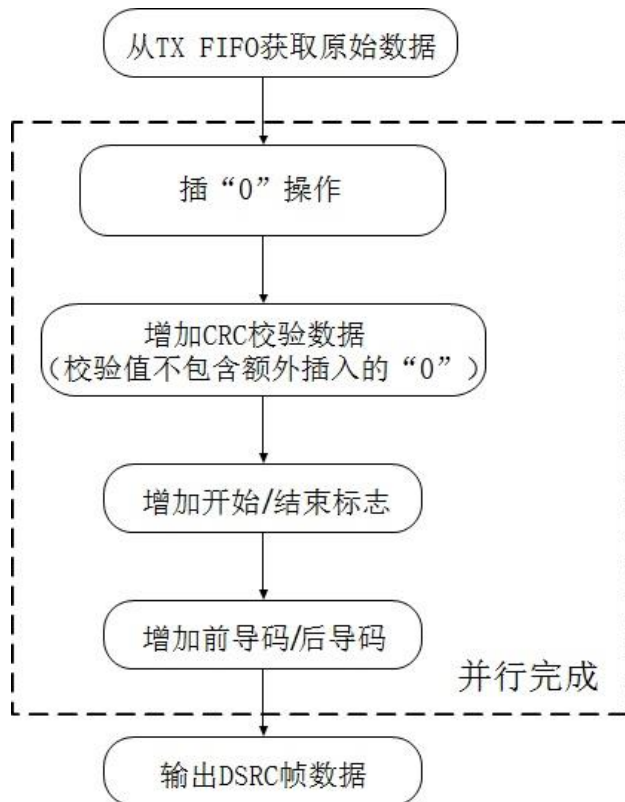


图 4.4-1 TX 数据帧预处理流程图

主要流程包括：

1. 插 0 操作:连续读入数据，当数据中出现连续 5 个“1”时在第 5 个“1”后插入“0”；
2. 增加 CRC 校验位：校验值不包含额外插入的“0”；
3. 增加数据开始/结束标志：数据开始/结束标志位缺省为 0x7E，可以由寄存器 Flag（0x21）设置。
4. 增加后导码：后导码共 8 位，可以选择全 1 或者全 0，由寄存器 DIGIT\_CTRL（0x20）的 PRE\_END 位设置。

以上预处理步骤由硬件并行完成，无额外等待时间。经过预处理后的数据帧由编码模块编码后输出，并自动将寄存器 STATUS（0x27）中标志位 TX\_DONE 置 1（该标志位在下次发送开始前自动清 0）。

## 4.5 数字接口（Digt-IF）

NWF580 配备了完善的数字接口，功能丰富，支持对数据接收和发送的各环节进行全面的检测和校验。

NWF580 数字接口部分的外部管脚和内部信号列表如下：

表 4.5-1 Digt-IF 信号说明

序号	名称	性质	说明
1	S3	外部管脚	测试信号输入
2	S2	外部管脚	测试信号输出
3	S1	外部管脚	测试信号输出
4	S0	外部管脚	测试信号输入
5	IRQ	外部管脚	中断输出，高电平有效
6	DEMO_OUT	内部信号	RX 接收基带信号，已解调
7	DECODE_CLK	内部信号	RX FM0 解码输出同步时钟
8	DECODE_DATA	内部信号	RX FM0 解码模块输出
9	BB_OUT	内部信号	TX 已编码基带信号
10	FM0_OUT	内部信号	TX 数据帧编码输出
11	FRAME_DATA	内部信号	TX 数据帧
12	FRAME_CLK	内部信号	TX 数据帧 FM0 编码时钟
13	PN_9	内部信号	内部 PN9 序列（511-bit），用于 TX 测试

### 4.5.1 RX / TX 数据处理信号测试

NWF580 接收到数据后解调输出的基带信号为 DEMO\_OUT，然后会顺次通过 FM0 解码和数据解帧等处理并存入 RXFIFO，处理架构如下图：

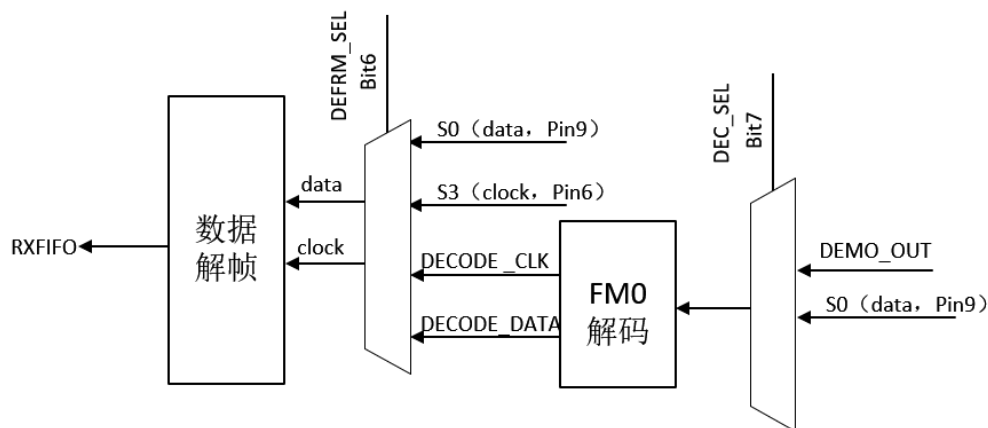


图 4.5-1 RX 数据处理架构

NWF580 发送的数据通过 SPI 接口写入 TXFIFO 后会顺次经过数据成帧和 FM0 编码等处理，形成编码基带信号 FM0\_OUT，然后通过选通控制器作为基带信号输出 BB\_OUT 送给 TX 的模拟模块处理，架构如下图：

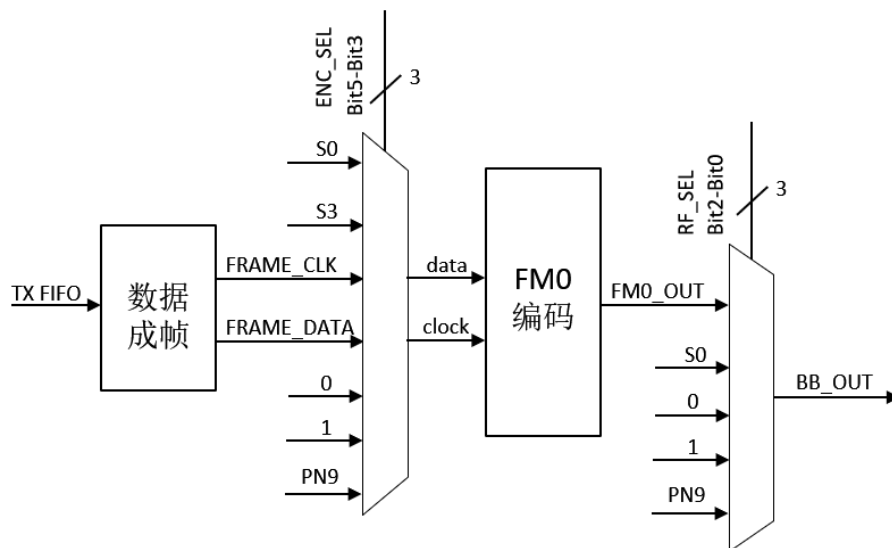


图 4.5-2 TX 数据处理架构

在这个过程中的内部信号可以通过配置寄存器 TEST\_CTRL1 (0x2C) 由测试管脚 S1 (Pin3) 和 S2 (Pin2) 输出。具体配置方式如下：

表 4.5-2 RX/TX 测试信号寄存器配置

输出管脚	TEST_CTRL1 配置位	内部信号
S2 (Pin2)	Bit7-Bit5	000: GND
		001: FRAME_DATA
		010: FM0_OUT
		011: DEMO_OUT
		100: DECODE_DATA
S1 (Pin3)	Bit4-Bit2	000: CLK
		001: FM0_OUT_CLK
		010: DECODE_CLK
		011: GND

RX 中的数据解帧功能和 TX 中的 FM0 编码功能可以通过测试管脚 S0(Pin4) 和 S3 (Pin1) 单独测试，只需要通过寄存器 TEST\_CTRL2 (0x2D) 进行设置即可，具体配置方式如下：

表 4.5-3 RX/TX 功能测试寄存器配置

TEST_CTRL2 配置位	功能描述	数据选择
Bit6	RX 数据解帧 输入选择	0: DECODE_DATA, DECODE_CLK
		1: S0 (data), S3 (clock)
Bit5-Bit3	TX FM0 编码 输入选择	000: FRAME_DATA, FRAME_CLK
		001: S0 (data), S3 (clock)
		010: 0, 内部时钟 (取决于配置速率)
		011: 1, 内部时钟 (取决于配置速率)
		100: PN9 码, 内部时钟 (取决于配置速率)
		其它: 0

## 4.5.2 TX 发送数据配置

NWF580 支持灵活的发送数据，既可以发送符合 DSRC 要求的数据帧，也可以直接发送数据率在 2Mbps 以内的任何数据。还支持将输入数据不经 FM0 编码直接发送的模式。可以通过配置寄存器 TEST\_CTRL2（0x2D）进行设置。

表 4.5-4 TX 发送数据寄存器配置

TEST_CTRL2 配置位	TX 发送数据
Bit2-Bit0	000: FM0_OUT (default)
	001: S0
	010: 0
	011: 1
	100: PN9 码
	其它: 0

## 五. 典型工作模式转换

### 5.1 工作模式转换简介

NWF580 的不同工作模式之间可以通过设置寄存器 MOD\_CTRL (0x0E) 方便地进行转换。特别地, NWF580 提供了 WU 和 RX 之间的直接切换方式。各个模式的具体配置如下:

表 5.1-1 不同工作模式的寄存器配置

MOD_CTRL 配置位	工作模式
Bit4-Bit1	0000: WURX (产生 WU_OUT, 直接启动 RX) 1000: WUMCU (产生 WU_OUT, MCU 决定是否启动 RX) 1100: RX 工作模式 0010: WU 测试模式 0001: TX 工作模式

#### 5.1.1 不同工作模式的转换

##### 1. WU 转换至 RX

NWF580 工作在 WU 低功耗模式下, 只有唤醒电路工作, 消耗少量电能。符合标准的 14 kHz 唤醒信号可以唤醒芯片并转换到 RX 模式进行工作, 有两种方式, 分别是 WURX 方式和 WUMCU 方式。

##### (1) WURX 方式

该方式下 NWF580 自动进入 RX 工作模式, 开启 PLL 和解调等相关信号处理模块, 并同时输出唤醒中断信号 WU\_OUT (Pin13)。但是需要等待外部 MCU 将 DSRC 协议处理器使能信号 EN\_SPIDSRC (Pin 7) 置高后才可以开始接收数据帧。详细介绍可以参考 4.2 中相关内容。

在这种方式下可以通过配置控制位 WU\_RX\_MAINTAIN\_SEL (寄存器 0x11) 设置 RX 有效时间 Trx。当超过 Trx 后, NWF580 自动回到 WU 低功耗模式, 等待下一个有效的唤醒信号。



## (2) WUMCU 方式

该方式下 NWF580 输出唤醒有效信号，由 MCU 决定 NWF580 的下一步工作，详细介绍可以参考 4.2 中相关内容。

## 2. RX 转换至 WU

NWF580 在 RX 工作模式下，只要设置寄存器 MOD\_CTRL (0x0E) 相应位为 “0000: WURX” / “1000: WUMCU” / “0010: WU 测试”，即可方便切换至相应的 WU 工作模式。

## 3. RX 和 TX 的互相转换

NWF580 不能同时处于在 TX 与 RX 工作模式下，需要 MCU 配置寄存器 MOD\_CTRL (0x0E) 进行切换，可以直接设置相应控制位。

## 六. NWF580 寄存器定义

寄存器数据类型说明

Access	Description
RO	只读
RW	读与写
WO	只写
RW-P	可读，写 1 清 0
PD-S	数据掉电保存
PD-R	数据掉电恢复默认值

### 6.1 WU 模块寄存器定义

表 6.1-1 给出了芯片内部 WU 模块寄存器的信息，包括寄存器名称、地址、缺省值和主要功能描述。

表 6.1-1 WU 模块寄存器信息说明

REG	Addr	Default	Name	Description	R/W	S/R
WU	0x0F	0x00	WU_FILTER_MAX	唤醒滤波最大值	RW	PD-R
	0x10	0x00	WU_FILTER_MIN	唤醒滤波最小值	RW	PD-R
	0x11	0x00	WU_MAINTAIN_SEL DELAY_FS_SEL WU_RX_MAINTAIN_SEL	唤醒输出信号保持时间 唤醒模拟电路准备时间 RX 使能信号保持时间	RW	PD-R
	0x12	0x00	WU_TH_MIN WU_TH_MAX	唤醒方波计数阈值	RW	PD-R
	0x13	0x00	WU_FREQ_MAX	唤醒频率计数最大值	RW	PD-R
	0x14	0x00	WU_FREQ_MIN	唤醒频率计数最小值	RW	PD-R
	0x15	0x00	WU_T_SLEEP	唤醒等待时间	RW	PD-R
	0x16	0x00	WU_T_CAPTURE	唤醒捕获时间	RW	PD-R
	0x17	0x00	WU_T_GAP	唤醒工作周期	RW	PD-R
	0x18	0x00	WU_T_HI	唤醒有效时间	RW	PD-R
	0x19	0x00	WU_OUT_MOD	输出模式选择	RW	PD-R
			WU_TEST_CTRL<2:0>	输出测试信号选择		
			OSC_100K_F<3:0>	片上 100 kHz 振荡器频率调节		

各个寄存器信息的详细说明见后。

### 6.1.1 唤醒滤波器计数器上限寄存器 WU\_FILTER\_MAX

地址	0x0F	
Bit	字段描述	说明
[7:5]	保留	保留
[4:0]	WU_FILTER_MAX	唤醒滤波最大值

表 6-1- 1 唤醒滤波器计数器上限寄存器说明

### 6.1.2 唤醒滤波器计数器下限寄存器 WU\_FILTER\_MIN

地址	0x10	
Bit	字段描述	说明
[7:5]	保留	保留
[4:0]	WU_FILTER_MIN	唤醒滤波最小值

表 6-1-2 唤醒滤波器计数器下限寄存器说明

### 6.1.3 唤醒时间配置寄存器 WU\_TIME\_CONFIG

地址	0x11	
Bit	字段描述	说明
[7:6]	WU_MAINTAIN_SEL	输出唤醒信号保持时间设置，实际时间为： (WU_MAINTAIN_SEL+1) × 1 ms
[5]	DELAY_FS_SEL	唤醒模拟电路准备时间选择 0: 10 us 1: 20 us
[4:0]	WU_RX_CTRL_MAINTAIN_SEL	输出接收使能信号保持时间设置，实际时间为： (WU_RX_CTRL_MAINTAIN_SEL+1) × 1 ms

表 6-1-3 唤醒时间配置寄存器说明

### 6.1.4 唤醒方波计数器配置寄存器 WU\_CNT\_TH\_MIN / WU\_CNT\_TH\_MAX

地址	0x12	
Bit	字段描述	说明
[7:4]	WU_CNT_TH_MIN	唤醒方波计数阈值下限

[3:0]	WU_CNT_TH_MAX	唤醒方波计数阈值上限
-------	---------------	------------

表 6-1-4 唤醒方波计数器配置寄存器说明

### 6.1.5 唤醒频率计数器上限寄存器 WU\_FREQ\_MAX

地址	0x13	
Bit	字段描述	说明
[7:5]	保留	保留
[4:0]	WU_FREQ_MAX	唤醒频率计数器上限

表 6-1-5 唤醒频率计数器上限寄存器说明

### 6.1.6 唤醒频率计数器下限寄存器 WU\_FREQ\_MIN

地址	0x14	
Bit	字段描述	说明
[7:5]	保留	保留
[4:0]	WU_FREQ_MIN	唤醒频率计数器下限

表 6-1-6 唤醒频率计数器下限寄存器说明

### 6.1.7 唤醒关闭时间配置寄存器 WU\_T\_SLEEP

地址	0x15	
Bit	字段描述	说明
[7:6]	保留	保留
[5:0]	WU_T_SLEEP	唤醒等待时间, 10 us ~ 640 ms 实际时间为: $(WU\_T\_SLEEP+1) \times 10\text{ us}$

表 6-1-7 唤醒关闭时间配置寄存器说明

### 6.1.8 唤醒打开时间配置寄存器 WU\_T\_CAPTURE

地址	0x16	
Bit	字段描述	说明
[7:6]	保留	保留
[5:0]	WU_T_CAPTURE	唤醒捕获时间, 10 us~640 ms 实际时间为: $(WU\_T\_CAPTURE + 1) \times 10\text{ us}$

表 6-1-8 唤醒打开时间配置寄存器说明

### 6.1.9 唤醒间隔时间配置寄存器 WU\_T\_GAP

地址	0x17	
Bit	字段描述	说明
[7:5]	保留	保留
[4:0]	WU_T_GAP	唤醒工作周期，300 ms~9.6 s 实际时间为：(WU_T_GAP + 1) × 300 ms

表 6-1-9 唤醒间隔时间配置寄存器说明

### 6.1.10 唤醒有效时间配置寄存器 WU\_T\_HI

地址	0x18	
Bit	字段描述	说明
[7]	保留	
[6:0]	WU_T_HI	唤醒有效时间，0.2 ms~25.6 ms 实际时间为：(WU_T_HI + 1) × 0.2 ms

表 6-1-10 唤醒有效时间配置寄存器说明

### 6.1.11 唤醒输出模式配置寄存器 WU\_OUT\_MOD / WU\_TEST\_CTRL<2:0> / OSC\_100K\_F<3:0>

地址	0x19	
Bit	字段描述	说明
[7]	WU_OUT_MOD	WU_OUT (Pin 13) 输出信号选择 0: 唤醒输出中断      1: 14 kHz 解调输出
[6:4]	WU_TEST_CTRL<2:0>	WU_TEST_OUT (Pin 14) 输出选择: 000: 地 (default)      001: WU_PWM 010: 地      011: EN_IF 100: EN_RX      101: EN_FS_OFFSET 110: EN_FS_RSSI      111: EN_LNAVCO
[3:0]	OSC_100K_F<3:0>	片上振荡器输出频率调节 (@27°C, ±10%) : 0000: 80 kHz (min) 1000: 100 kHz (default) 1111: 120 kHz (max)

表 6-1-11 唤醒输出模式配置寄存器说明

## 6.2 Digt-IF 模块寄存器定义

表 6.2-0 给出了数字接口 Digt-IF 寄存器的信息，包括寄存器名称、地址、缺省值和主要功能描述。

表 6.2-0 Digt-IF 模块寄存器信息说明

REG	Addr	Default	Name	Description	R/W	S/R
Digt-IF	0x20	0x00	DIGIT_CTRL	控制硬件的收发功能	RW	PD-R
	0x21	0x7E	FLAG	帧开始/结束标志	RW	PD-R
	0x22	0x10	GX_HI	CRC 校验生成多项式高 8 位	RW	PD-R
	0x23	0x21	GX_LO	CRC 校验生成多项式低 8 位	RW	PD-R
	0x24	0x1D	EXP_VAL_HI	CRC 校验期望结果高 8 位	RW	PD-R
	0x25	0x0F	EXP_VAL_LO	CRC 校验期望结果低 8 位	RW	PD-R
	0x26	0xC0	CRC_CTRL	CRC 控制位	RW	PD-R
	0x27	0x00	STATUS	收发帧标志位	RO	PD-R
	0x28	0x00	IRQ_MASK	中断使能位	RW	PD-R
	0x29	0x00	RX_QTY	接收 FIFO 数据长度	RO	PD-R
	0x2A	0x00	保留	保留	RW	PD-R
	0x2B	0x80	RX_CTRL	接收帧控制	RW	PD-R
	0x2C	0x00	TEST_CTRL1	测试配置 1	RW	PD-R
	0x2D	0x00	TEST_CTRL2	测试配置 2	RW	PD-R
	0x2E	0x00	PN9_CTRL	PN9 码控制	RW	PD-R
	0x3E	N/A	TX_FIFO_IN	发送 FIFO 入口	WO	PD-R
	0x3F	N/A	RX_FIFO_OUT	接收 FIFO 出口	RO	PD-R
	0x40	0x0	PN9[511]	PN9 码测试序列，512 位，发送时只使用 510 位到 0 位，共 511 位。	RW	PD-R
	...	...	...			
	0x7F	0x0	PN9[0]			

各个寄存器信息的详细说明见后。

### 6.2.1 收发控制寄存器 DIGIT\_CTRL

地址	0x20	
Bit	字段描述	说明
[7]	FRM_START	1: 发送 FIFO 内已经装入一个完整数据帧 0: 发送 FIFO 内数据帧不完整
[6]	TX_SPEED	发送速率设置 1: 256 Kbps      0: 512 Kbps
[5]	RX_SPEED	接收速率设置

		1: 512 Kbps	0: 256 Kbps
[4]	CLR_FIFO	置 1 清除接收 FIFO 内所有数据	
		置 0 后接收模块开始工作	
[3]	PRE_END	发送帧后导码标志设置	
		1: 8 个 1	0: 8 个 0
[2]	保留		
[1]	保留		
[0]	保留		

表 6-2-1 收发控制寄存器说明

## 6.2.2 数据帧开始/结束标志寄存器 FLAG

地址	0x21	
Bit	字段描述	说明
[7:0]	-	数据帧开始/结束标志
		可配置，默认值 0x7E

表 6-2-2 数据帧开始/结束标志寄存器说明

## 6.2.3 CRC 校验生成多项式高 8 位 GX\_HI

地址	0x22	
Bit	字段描述	说明
[7:0]	-	CRC 校验生成多项式高 8 位

表 6-2-3 CRC 校验生成多项式高 8 位说明

## 6.2.4 CRC 校验生成多项式低 8 位 GX\_LO

地址	0x23	
Bit	字段描述	说明
[7:0]	-	CRC 校验生成多项式低 8 位

表 6-2-4 CRC 校验生成多项式低 8 位说明

## 6.2.5 CRC 校验期望结果高 8 位 EXP\_VAL\_HI

地址	0x24
----	------

国民技术股份有限公司 Nations Technologies Inc.

39 地址：深圳市南山区高新北区宝深路109号国民技术大厦  
电话：+86-755-86309900 传真：+86-755-86169100  
邮箱：info@nationz.com.cn 邮编：518057

Bit	字段描述	说明
[7:0]	-	CRC 校验期望结果高 8 位

表 6-2-5 CRC 校验期望结果高 8 位寄存器

## 6.2.6 CRC 校验期望结果低 8 位 EXP\_VAL\_LO

地址	0x25	
Bit	字段描述	说明
[7:0]	-	CRC 校验期望结果低 8 位

表 6-2-6 CRC 校验期望结果低 8 位寄存器说明

## 6.2.7 CRC 配置寄存器 CRC\_CTRL

地址	0x26	
Bit	字段描述	说明
[7]	REVERSE	CRC 校验值输出模式
		1: 取反      0: 不取反
[6]	INIT	CRC 初始化值,
		1: 全 1      0: 全 0
[5:0]		保留

表 6-2-7 CRC 配置寄存器说明

## 6.2.8 状态寄存器 STATUS

地址	0x27	
Bit	字段描述	说明
[7]		保留
[6]	FRM_VALID	帧完整标志
		1: 完整帧      0: 非完整帧
[5]	ERR_BYTE	字节对齐错误
		1: 数据长度为 8 倍数      0: 数据长度不为 8 倍数
[4]	ERR_0	插 0 错误
		1: 有错      0: 无错
[3]	ERR_END	无结束标志错误
		1: 有错      0: 无错



[2]	ERR_CRC	CRC 错误	
		1: 有错	0: 无错
[1]	TX_DONE	1: 发送帧完成	0: 正在发送
[0]	保留		

表 6-2-8 状态寄存器说明

## 6.2.9 中断配置寄存器 IRQ\_MASK

地址	0x28		
Bit	字段描述	说明	
[7]	IRQ_E	全局总中断使能	
		1: 启用中断	0: 关闭中断
[6]	FV_E	帧完整中断使能	
		1: 启用,	0: 关闭
[5]	EBE	字节错误中断使能	
		1: 启用中断	0: 关闭中断
[4]	EOE	插 0 错误中断使能	
		1: 启用中断	0: 关闭中断
[3]	EEE	无结束标志中断使能	
		1: 启用中断	0: 关闭中断
[2]	ECE	CRC 错误中断使能	
		1: 启用中断	0: 关闭中断
[1]	TDE	帧发送完成中断使能	
		1: 启用中断	0: 关闭中断
[0]	保留		

表 6-2-9 中断配置寄存器说明

## 6.2.10 接收 FIFO 数据长度设置寄存器 RX\_QTY

地址	0x29		
Bit	字段描述	说明	
[7:0]	RX_QTY	接收 FIFO 数据长度设置	

表 6-2-10 数据长度设置寄存器说明

## 6.2.11 0x2A: 保留

地址	0x2A
----	------

Bit	字段描述	说明
[7:0]	保留	保留

表 6-2-11 0x2A 寄存器说明

## 6.2.12 接收控制寄存器 RX\_CTRL

地址	0x2B	
Bit	字段描述	说明
[7]	RX_OPTION	设置接收帧处理方式，详情见 4.3
[6:0]	保留	

表 6-2- 1 接收控制寄存器说明

## 6.2.13 测试寄存器 1 TEST\_CTRL1

地址	0x2C		
Bit	字段描述	描述	
[7:5]	S2_ADD	S2（Pin2）输出信号选择：	
		000: GND	100: DECODE_DATA
		001: FRAME_DATA	101:
		010: BB_OUT	110:
		011: DEMO_OUT	111:
[4:2]	S1_ADD	S1（Pin3）输出信号选择：	
		000: CLK	100:
		001: FRAME_CLK	101:
		010: DECODE_CLK	110:
		011: GND	111:
[1:0]	保留		

表 6-2-13 测试寄存器 1 说明

## 6.2.14 测试寄存器 2 TEST\_CTRL2

NWF580 支持灵活的发送数据，既可以发送符合 DSRC 要求的数据帧，也可

以直接发送数据率在 2Mbps 以内的任何数据。还支持将输入数据不经 FM0 编码直接发送的模式。可以通过配置寄存器 TEST\_CTRL2 (0x2D) 进行设置。

地址	0x2D	
Bit	字段描述	描述
[7]	DEC_SEL	FM0 解码模块输入选择 0: DEMO_OUT (default) 1: S0
[6]	DEFRM_SEL	解帧模块输入选择 0: DECODE_DATA, DECODE_CLK (default) 1: S0 (data), S3 (clock)
[5:3]	ENC_SEL	FM0 编码模块输入选择: 000: FRAME_DATA, FRAME_CLK (default) 001: S0 (data, Pin4), S3 (clock, Pin1) 010: 0, 内部时钟 (取决于配置速率) 011: 1, 内部时钟 (取决于配置速率) 100: PN9 码, 内部时钟 (取决于配置速率) 其它: 0
[2:0]	RF_SEL	RF 输入选择 000: FM0_OUT (default) 001: S0 (data, Pin4) 010: 0 011: 1 100: PN9 码 其它: 0

表 6-2-14 测试寄存器 2 说明

## 6.2.15 PN9 控制寄存器 PN9\_CTRL

地址	0x2E	
Bit	字段描述	描述
[7]	PN9_SHIFT_EN	PN9 码移位使能: 0: PN9 码不输出 1: PN9 码根据时钟信号从低位到高位逐位输出
[6]	PN9_RST	复位 PN9 码: 0: 正常 1: 复位, PN9 码重新输出, 最先输出第 0 位
[5:0]	保留	

表 6-2- 15 PN9 控制寄存器说明

### 6.2.16 发送 FIFO 入口寄存器 TX\_FIFO\_IN

地址	0x3E	
Bit	字段描述	描述
[7:0]		发送 FIFO 入口

表 6-2-16 发送 FIFO 入口说明

### 6.2.17 接收 FIFO 出口寄存器 RX\_FIFO\_OUT

地址	0x3F	
Bit	字段描述	描述
[7:0]		接收 FIFO 出口

表 6-2-17 接受 FIFO 出口说明

### 6.2.18 PN9 测试数据地址 PN9\_TEST\_DATA

地址	Bit	字段描述	描述
0x40	[7]	PN9[511]	保留
	[6:0]	PN9[510]- PN9[504]	PN9 码数据最高 7 位
0x41-0x7E	[7:0]	PN9[504]- PN9[8]	PN9 码数据，高到低排列
0x7E	[7:0]	PN9[7]- PN9[0]	PN9 码数据最低 8 位,发送时从 PN9[0] 开始由低位到高位依次发送。

表 6-2- 18 PN9 测试数据说明

## 6.3 模拟模块寄存器定义

表 6.3-0 给出了芯片内部模拟模块（RX、TX 和 PLL 等）寄存器的信息，包括寄存器名称、地址、缺省值和主要功能描述。

表 6.3-0 模拟模块寄存器信息说明

寄存器	地址	默认值	字段描述	描述	R/W	S/R
Mode	0x0E	0x00	MOD_CTRL	Bit7: 片外供电使能 Bit6-5: PTAT 偏置电压设置 Bit4-1: 工作模式选择 Bit0: 保留	RW	PD-R
TX	0x32 -	0x00	PA/PABUF_BIT	Bit32-4: 射频输出增益设置 Bit1-0: 调制深度设置	RW	PD-R
					RW	PD-R

国民技术股份有限公司 Nations Technologies Inc.

	0x30 0x33		TXM_BIT/ PSF_GAIN/MI		RW	PD-R
	0x2F	0x00	PSF_GAIN	Bit7: TX 测试信号输出使能 Bit5-0: 整形滤波器带宽设置	RW	PD-R
PLL	0x1F	0x00	PLL1	Bit7-6: PLL 测试位 Bit3-0: VCO 测试位	RW	PD-R
	0x1E	0x00	PLL2	Bit5-0: VCO 测试位	RW	PD-R
	0x1D	0x00	PLL3	PLL 测试位	RW	PD-R
	0x1C	0x00	PLL4	PLL 测试位	RW	PD-R
RX	0x1B	0x00	RX1	RX 测试设置	RW	PD-R
	0x1A	0x00	RX2	RX 测试设置	RW	PD-R
	0x0D	0x00	RX_TEST	Bit7: RX 测试信号输出使能 Bit6: 晶振信号选择 Bit5-0: RX 输出测试信号选择	RW	PD-R
	0x0C	0x00	BPF_S1 F/Q	BPF 设置 1	RW	PD-R
	0x0B	0x00	BPF_S2 F/Q	BPF 设置 2	RW	PD-R
	0x0A	0x00	BPF_S3 F/Q	BPF 设置 3	RW	PD-R
REG-W U- TX	0x00 - 0x04	0x00	RX_CFG_WU-TX (WU 配置/ TX 频率配置)	Bit39-36: WU/TX 频段选择 Bit35-31: WU/TX 整数分频比设置 Bit30-16: WU/TX 小数分频比设置 Bit9-8: WU 增益 1 Bit7-4: WU 增益 2 Bit3-0: WU 比较器阈值设置		PD-R
REG- RX	0x05 - 0x09 (RX)	0x00	RX_CFG_RX (RX 配置)	Bit39-36: RX 频段选择 Bit35-31: RX 整数分频比设置 Bit30-16: RX 小数分频比设置 Bit9-8: RX 增益 1 Bit7-4: RX 增益 2 Bit3-0: RX 比较器阈值设置	RW	PD-R

各个寄存器信息的详细说明见后

### 6.3.1 模式控制寄存器 MOD\_CTRL

地址	0x0E	
Bit	字段描述	描述
[7]	EN_POWER	片外 22mA 供电使能
		0: 关闭      1: 开启
[6:5]	PTAT_EN<1:0>	PTAT 偏置电压配置 (mV)
		00: 558 mV      01: 574 mV
		10: 589 mV      11: 602 mV
[4]	RX_CTRL_MOD_SEL	0000: WKRX 模式 (WU 直接进入 RX, 1 键切换 RX)

[3]	MCU_RX_CTRL	1000: WKMCU 模式 (WU 信号送至 MCU, 由 MCU 决定是否打开 RX) 1100: RX 恒定工作模式 0010: WU 恒定工作模式, 用于 WU 无 PWM 测试 0001: TX 恒定工作模式
[2]	WU_TEST	
[1]	EN_TX	
[0]	-	0 (保留)

表 6-3-1 模式控制寄存器说明

### 6.3.2 射频输出增益、调制深度设置

ADDR/ Bit	Name	Function Description		
		MAX	MIN	0dBm
0x32	PA	1110 0000	0000 1111	0001 1000
0x31	PABUF_BIT	1100 0111	0011 0111	0000 0111
0x30	TXM_BIT	1100 0000	0000 0000	0100 0000
0x33 [7:4]	PSF_GAIN	1111	0000	0011
0x33 [3:2]	N/A			
0x33 [1:0]	MI_BIT<1:0>	调制深度设置:		
		00: 100%	01: 90%	
		10: 80%	11: 70%	

表 6-3-2 射频输出增益、调制深度设置说明

### 6.3.3 PSF\_BW 寄存器

地址	0x2F	
Bit	字段描述	描述
[7]	TX_TEST_EN	TX 测试信号输出使能
[6:5]	N/A	
[4:0]	TRIM_PSF_BW<0:4>	PSF 整形滤波器带宽设置:
		00000: 2.34 MHz
		10000: 1.3 MHz
		11111: 0.617 MHz

表 6-3-3 PSF\_BW 说明

### 6.3.4 PLL1

地址	0x1F	
Bit	Name	Function Description
[7]	EN_capnode	PLL 控制电压观测点使能
[6]	EN_offchip	PLLOffchip 环路滤波器使能
[5:4]	N/A	
[3:0]	VCO_INC<1:0> VCO_DEC<1:0>	VCO 测试位，推荐设置为： 0000

表 6-3- 4 PLL1 说明

### 6.3.5 PLL2

地址	0x1E	
Bit	Name	Function Description
[7:6]	N/A	
[5:0]	VCTRL_DAC<5:0>	VCO 测试位，推荐设置为： 000110

表 6-3- 5 PLL2 说明

### 6.3.6 PLL3

地址	0x1D	
Bit	Name	Function Description
[7:0]	VCOBUF/FD1	PLL 测试位，推荐设置为：
		RX TX 0000 0000 1100 0001

表 6-3- 6 PLL3 说明

### 6.3.7 PLL4

地址	0x1C	
Bit	Name	Function Description
[7:0]	FD2/FD3	PLL 测试位，推荐设置为：

		RX 0000 0001	TX 0000 0000
--	--	-----------------	-----------------

表 6-3- 7 PLL4 说明

### 6.3.8 RX 测试设置

Addr	Name	Function Description	
		RX	TX
0x1B	LNA_TRIM/LNA_BIT	0100 1100	0010 1100
0x1A	LNA_MOD_SEL/RXM_BIT	1000 1100	1000 1100

表 6-3- 8 RX 测试设置说明

### 6.3.9 RX\_TEST

地址	0x0D		
Bit	Name	Function Description	
[7]	RX_TEST_EN	RX 测试信号输出使能	
[6]	CRY_SEL	输入晶振选择:	
		0: 无源晶振	1: 有源晶振
[5:3]	EN_S2DOUT	RXTESTB_P / RXTESTB_N 差分对输出信号 (pin 24/23) 选择:	
	EN_BPFOUT	000: 无输出 (default)	
	EN_RXMOUT	001: RX Mixer 差分输出信号 010: BPF 输出信号 100: 单端转差分电路输出信号	
[2:0]	EN_VC_IF EN_OFFSETOUT EN_RSSIOUT	RXTEST_P / RXTEST_N 输出信号 (pin 18/19) 选择: 000: 无输出 (default) 100: VC_IF 输出到 RXTEST_N 010: RSSI 放大器 OFFSET 差分信号 001: RSSI 输出到 RXTEST_P	

表 6-3- 9 RX\_TEST 说明



### 6.3.10 BPF 设置

Addr	Name	Function Description	
		RX	TX
0x0C	BPF_S1 F/Q	0010 0001	1000 1111
0x0B	BPF_S2 F/Q	1000 1001	1000 1110
0x0A	BPF_S3 F/Q	0001 0100	1000 0100

表 6-3- 10 BPF 设置说明

### 6.3.11 RX\_CFG\_RX

地址	0x05~0x09	
Bit	Name	Function Description
[39:36]	VCO_FBIT<3:0>	RX VCO 频段选择: ETC 应用, 设置为 0000
[35:31]	B<4:0>	RX 整数分频比设置: 00000: 67 (min) ~ 11010: 93 (max)
[30:16]	A<14:0>	RX 小数分频比设置
[15:10]	N/A	
[9:8]	FIXED_GAIN<1:0>	RX 增益 1: 推荐配置: 00
[7:4]	RSSIGAIN<3:0>	RX 增益 2: 推荐配置: 0111
[3:0]	HYST_TP<3:0>	RX 比较器阈值设置 (15~165 mV, ±10%): 推荐配置: 0000

表 6-3- 11 RX\_CFG\_RX 说明

### 6.3.12 RX\_CFG\_WU-TX

地址	0x00~0x04	
Bit	Name	Function Description
[39:36]	VCO_FBIT<3:0>	WU/TX VCO 频段选择: ETC 应用, 设置为 0000

[35:31]	B<4:0>	WU/TX 整数分频比设置： 00000: 67 (min) ~ 11010: 93 (max)
[30:16]	A<14:0>	WU/TX 小数分频比设置
[15:10]	N/A	
[9:8]	FIXED_GAIN<1:0>	WU 增益 1： 推荐配置：00
[7:4]	RSSIGAIN<3:0>	WU 增益 2： 推荐配置：0111
[3:0]	HYST_TP<3:0>	WU 比较器阈值设置（15~165 mV，±10%）： 推荐配置：0000

表 6-3- 12 RX\_CFG\_WU-TX 说明

## 七. NWF580 测试模式示例

### 7.1. 发送全 0

- (1) FM0 编码的全 0:  $0x2D = 00010000$
- (2) 非 FM0 编码的全 0:  $0x2D = 00010010$

### 7.2. 发送全 1

- (1) FM0 编码的全 1:  $0x2D = 00011000$
- (2) 非 FM0 编码的全 1:  $0x2D = 00010011$

### 7.3. 发送 PN9

- (1) FM0 编码的 PN9:  $0x2D = 00100000$
- (2) 非 FM0 编码的 PN9:  $0x2D = 00010100$

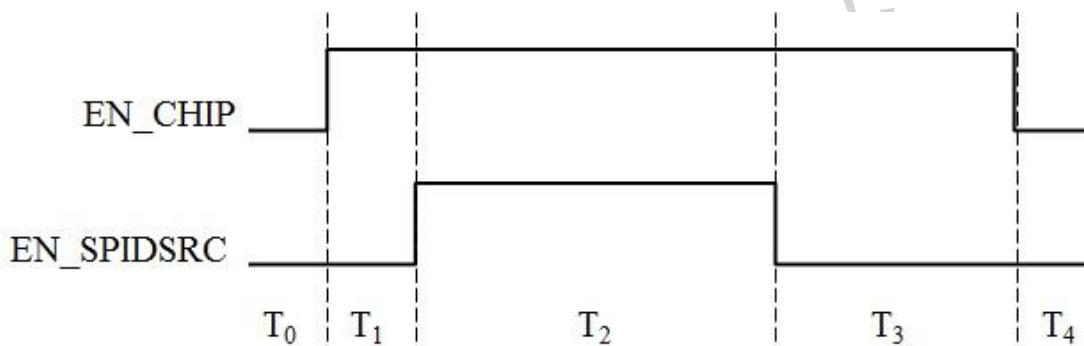
说明:  $0x2D$  寄存器最高两位为 RX 相关设置, 不影响 TX。

## 八. NWF580 状态说明

EN\_CHIP (Pin 17)：芯片电源使能控制位。置“1”（高电平）时芯片接通电源，可以通过配置位控制芯片的工作状态；置“0”（低电平）时芯片关断电源。

EN\_SPIDSRC (Pin 7)：芯片数字逻辑控制位。置“1”（高电平）时芯片的数字部分和数字接口进入工作状态，可以进行寄存器配置或者数据发送/接收等工作；置“0”（低电平）时芯片的数字部分和数字接口进入休眠状态，已配置的寄存器数据不丢失。

典型时序如下：



T0: 芯片断电

T1: 芯片初次上电

T2: 芯片正常工作：配置、RX、TX 等

T3: 芯片处于低功耗模式（如唤醒等）

T4: 芯片断电

NWF580 详细接收/发送/唤醒寄存器配置值请参考《NWF580-5.8G 接收发送唤醒寄存器配置\_v2.xlsx》

## 九. NWF580 SPI 时序说明

NWF580 芯片通过 SPI 接口与主控 MCU 进行通信。

### 9.1. SPI 接口数据格式定义

帧：从 SPI\_CS 下降沿开始到 SPI\_CS 上升沿结束，此时间内传输的数据称为一帧。一帧以 8bit 长的一个字节为单位，可以传输 N (N>1) 个字节的内容。传输时每个字节从低位开始传输。

帧结构：

第 1 字节	第 2 字节 ~ 第 N 字节
命令字节	数据字节

命令字节定义：

数据位	功能
7	保留
6:1	寄存器读/写起始地址，第 6 位为地址高位，第 1 位为地址低位，地址空间从 0x00 到 0x3F
0	读写标志 1: 写, 0: 读

### 9.2. SPI 传输方式

(1) SPI 主机向从机一次写入/读出一帧，共 N 个字节 (N > 1)，读写数据量由主机决定。

(2) 写寄存器操作

第 1 字节为命令字，包括读/写标记和地址。

从第 2 字节开始，SPI\_MOSI 开始传输主设备向从设备写入的数据。数据量没有限制，从命令字中规定的起始地址开始顺序写入，地址值自动增加。当地址增加到 0x3E 时，将不会再自增。后面的数据会一直写入地址 0x3E，即发送 FIFO 处。此时 SPI\_MISO 上的数据无效。

例子:

主设备发出三个字节, SPI\_MOSI 上的数据依次为: 0x15, 0x55, 0xAA, 则:

第一个字节最低位为 1, 表示写操作, 忽略 SPI\_MISO 上数据; 6-1 位为 0xA, 表示起始地址为 0xA, 因此将第一个数据 0x55 写入到寄存器地址 0xA 处。写完后地址值自动加 1, 将第二个数据 0xAA 写入到寄存器地址 0xB 处。

### (3) 读寄存器操作

第 1 字节为命令字, 包括读/写标记和地址。

从第 2 字节开始, SPI\_MISO 上面为寄存器返回的数据, 从命令字中规定的起始地址开始依次返回寄存器内部的数据。若读出的数据量太多, 导致最终对应寄存器地址超过 0x3E, 则地址会保持在 0x3E 不再增加。因为 0x3E 地址为发送 FIFO 入口, 所以从此地址读出的数据无意义。此时 SPI\_MOSI 上的数据无效。读出数据量由主机决定。

例子:

主设备发出三个字节, SPI\_MOSI 上数据依次为: 0x14, 0x55, 0xAA, MISO 上数据依次为: 0x00, 0x23, 0xAB 则:

第一个字节最低位为 0, 表示读操作, 忽略 SPI\_MOSI 上的数据。6-1 位为 0xA, 表示读寄存器操作的起始地址为 0xA, SPI\_MISO 上顺次返回寄存器地址为 0xA 和 0xB 处的值。SPI\_MOSI 上的数据没有影响。读写数据量由主机决定。

### (4) 写发送数据操作

将待发送数据写入发送 FIFO 入口寄存器 TX\_FIFO\_IN (0x3E), 最大长度 128 Bytes。

### (5) 读接收数据操作

在命令字节中将起始地址设为接收 FIFO 的出口寄存器 RX\_FIFO\_OUT(0x3F), 顺次读出接收到的数据。接收数据的长度可以由上位机通过 SPI 接口在寄存器 RX\_QTY (0x29) 获得。

## 9.3 通信实例:

SPI 向寄存器地址 0x20 写入 0x80 数据的时序图:

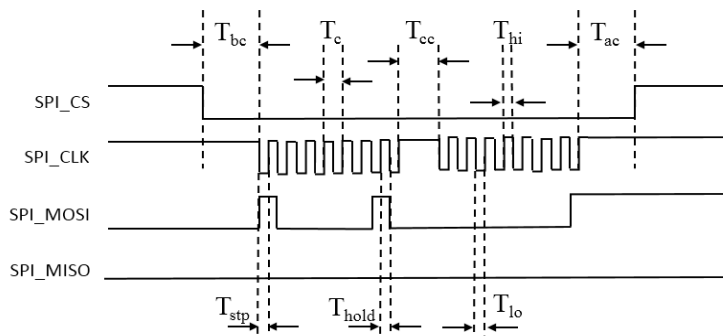


图 9.3.1 SPI 寄存器写入时序图

SPI 读寄存器地址 0x20 的时序图，读出来的值是 0x40（与上面的写寄存器值无关）：

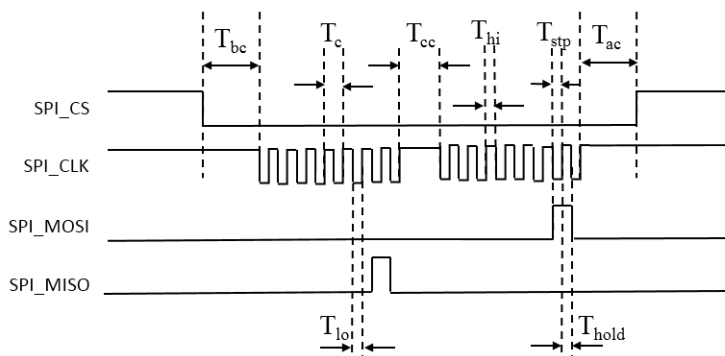


图 9.3.2 SPI 寄存器读出时序图

参数	描述	取值范围
$T_c$	时钟周期	$\geq 125\text{ns}$ （即最快 8MHz）
$T_{bc}$	片选信号有效到时钟信号有效的最小间隔	$\geq T_c$
$T_{hi}$	时钟高电平时间	$0.4T_c \leq T_{hi} \leq 0.6T_c$
$T_{lo}$	时钟低电平时间	$0.4T_c \leq T_{lo} \leq 0.6T_c$
$T_{ac}$	最后一个时钟沿到片选无效的最小间隔	$\geq T_c$
$T_{cc}$	两个字节时间间隔	$\geq 0.5T_c$
$T_{stp}$	建立时间	$\geq 20\text{ ns}$
$T_{hold}$	保持时间	$\geq 20\text{ ns}$

表 9.3 SPI 时序时间参数定义