

Arquitectura de 64 bits

Que un procesador sea de 64 bits significa que tiene registro, buses y direcciones de memoria de la misma arquitectura, es decir, 64 bits. Esto permite procesar mas datos y acceder a memoria virtual y física. La arquitectura 64 bits puede direccionar hasta 2^{64} posiciones de memoria (18,446,744,073,709,551,616), lo mismo que 16 exabytes teóricos. Además, permite instrucciones de mayor complejidad y ancho de banda en el manejo de datos, también mejor la eficiencia de operaciones aritméticas y grandes volúmenes de información [1].

Intel

La arquitectura x86 fue, históricamente, la mas usada en computadores de mesa y servidores a nivel global. Su origen se da con el procesador Intel8086, lanzado en 1978, este introdujo la arquitectura de 16 bits. Después, la arquitectura de 16 bits evoluciono hacia los 32 bits con la salida del Intel80386 en 1985. Después AMD extendió esta arquitectura a 64 bits, innovando con AMD64. Como Intel era su competencia se tuvo que adaptar a estos cambios, dando origen a su versión propia llamada el Intel64 en el año 2004 [2].

Estos procesadores de 64 bits no solo permiten ejecutar aplicaciones actuales, sino que conservan la compatibilidad con las arquitecturas anteriores de 16 y 32 bits. Esto ha sido esencial para preservar la inversión de los sistemas operativos y el software que se desarrollaron para arquitecturas anteriores. Por estas razones, el estudio de arquitectura x64 es fundamental hasta la actualidad en asignaturas como Arquitectura de Computadoras.

Intel i3

El 7 de enero de 2010, Intel saco su line de procesadores i3, los cuales constaban con doble núcleo y un procesador grafico integrado (GPU). Este procesador grafico se llama Intel HD y funcionaba a 733 MHz con 4MB de cache y también era de 64 bits [3].

En la figura se observa el Inter Core i3.



Figura 1 Intel Core i3

Intel i5

El procesador i5 es de dos núcleos, a diferencia de la versión de cuatro núcleos, estos están orientados a la sección de escritorio y son de gama media. Funciona a una velocidad de 2.66 GHz, lo que permite tener una mayor potencia, además tiene soporte para memorias DDR3 en dual-channel. Esta generación de procesadores reduce el consumo de energía y asigna automáticamente la capacidad de proceso donde más se requiere. Permitiendo a los usuarios realizar múltiples tareas a la vez.

En la figura se observa el Intel Core i5.



Figura 2 Intel Core i5

IBM

El tres de mayo de 1994, IBM presentó la versión del sistema operativo 3.05 y 3.1 junto con una nueva generación de computadores los IBM AS/400 como un reemplazo para el IBM System/36. Este contenía un procesador llamado RISC de 64 bits el cual era más potente, apoyado en la arquitectura Power PC [4]

En la figura se observa la IBM AS/400.



Figura 3 IBM AS/400

Registros

Las arquitecturas CISC y RISC representan un reto en la contabilidad de los sistemas actuales. Las arquitecturas CISC cuentan con métodos complejos y pueden realizar varias operaciones en una sola línea de código. La arquitectura RISC, al contrario, utilizan instrucciones simples y uniformes, pensadas para ser mas eficientes y veloces en su ejecución [5].

Registros de propósito general (gr0–gr127)

Este tipo de registros almacenan datos usados en operaciones enteras y todas las instrucciones pueden acceder. Tienen un Bit especial llamado NaT el cual indica errores por ejecución especulativa. El registro gr0 vale cero en todas las ocasiones. Los registros gr32-gr127 forman la pila de registros, esta se usa para guardar variables locales y valores de salida [6].

Registros de punto flotante (fr0–fr127)

Este tipo de registros se usa en operaciones de números decimales. Están disponibles en todos los niveles de privilegio, los registros fr0 y fr1 tienen valores fijos (+0.0 y +1.0) y no se pueden editar.

Instrucciones

La arquitectura RISC-V fue diseñada como una alternativa de arquitecturas anteriores como MIPS, SPARC o ARM. Por lo tanto, logro superar las limitaciones que dificultaban su uso en el área académica y la posterior comercialización. Además, estas arquitecturas eran muy complejas, lo que elevaba los costos de su implementación de hardware. Por esta razón RISC-V se concibió como un conjunto de instrucciones modular, permitiendo

crear procesadores enfocados o más simples. A continuación, se detallan las extensiones [6].

Extensión	Descripción
I	Es el núcleo básico: contiene las instrucciones mínimas que todo procesador RISC-V necesita para funcionar.
M	Añade instrucciones para hacer multiplicaciones y divisiones con números enteros.
A	Permite realizar operaciones seguras cuando varios procesos acceden a la memoria al mismo tiempo. Muy útil en programación paralela o concurrente.
F	Permite trabajar con números decimales (coma flotante) de precisión simple (como los <code>float</code> en programación). Agrega 32 nuevos registros especiales para esos cálculos.
D	Extiende lo anterior para trabajar con decimales de mayor precisión (doble precisión, como los <code>double</code>). Usa registros de 64 bits.
Q	Amplía aún más para usar números decimales súper precisos (cuádruple precisión, 128 bits). Muy raro de usar, pero útil en ciencia o simulaciones avanzadas.
C	Comprime las instrucciones para que ocupen menos espacio en memoria (usa solo 16 bits por instrucción). Ideal para sistemas pequeños o embebidos.
Zicsr	Permite controlar y leer registros especiales del sistema, como contadores de tiempo o configuraciones internas.
Zifencei	Se asegura de que las instrucciones recién escritas en memoria estén listas para ser ejecutadas, útil cuando el código se modifica mientras corre.

Bibliografía

- [1] M. Albert, O. Gerard, and E. Manonellas, "Programación en ensamblador (x86-64)," 2020. Accessed: May 27, 2025. [Online]. Available: https://openaccess.uoc.edu/bitstream/10609/79526/8/Estructura%20de%20computadores_M%C3%B3dulo%206_Programaci%C3%B3n%20en%20ensamblador%20%28x86-64%29.pdf
- [2] M. A. Colombani, J. M. Ruiz, A. G. Delduca, and M. A. Falappa, "Herramientas de software para dar soporte en la enseñanza y aprendizaje de la arquitectura x86," 2020. Accessed: May 27, 2025. [Online]. Available: https://sedici.unlp.edu.ar/bitstream/handle/10915/139908/Documento_completo.pdf-PDFA.pdf?sequence=1&isAllowed=y

- [3] S. Itzel and O. Cruz, "Comparación de la arquitectura de microprocesadores Intel y AMD," 2020. Accessed: May 27, 2025. [Online]. Available: <https://acortar.link/slb8Le>
- [4] T. Fin, D. E. Grado, and R. M. Ortiz, "Arqueología informática: Análisis histórico y crítico de la serie de computadores IBM AS/400," Oct. 2020. Accessed: May 27, 2025. [Online]. Available: <https://core.ac.uk/download/pdf/335618406.pdf>
- [5] B. Xie *et al.*, "An Instruction Inflation Analyzing Framework for Dynamic Binary Translators," *ACM Transactions on Architecture and Code Optimization*, vol. 21, no. 2, pp. 1–25, Jun. 2024, doi: 10.1145/3640813.
- [6] josep Sanchis, "Analizador de gadgets ROP para la arquitectura RISC-V," Valencia, 2022. Accessed: May 27, 2025. [Online]. Available: <https://jcomes.org/wp-content/uploads/2024/04/TFG.pdf>

