

UNIVERSIDAD TÉCNICA ESTATAL DE QUEVEDO



FACULTAD CIENCIAS DE LA COMPUTACIÓN Y DISEÑO DIGITAL

INGENIERÍA EN SOFTWARE

MATERIA:

ARQUITECTURA DE COMPUTADORAS

TEMA:

**ARQUITECTURA DE LAS COMPUTADORAS
INTEL**

INTEGRANTES:

ANDRADE PACHECO JOSE ARGENIS

GOYA ACOSTA NAIN DIOMAR

GUTIERREZ ORTEGA GENESIS ADRIANA

VELETANGA GUEVARA LENIN ISRAEL

DOCENTE:

Ing. GUERRERO ULLOA GLEISTON CICERON

CURSO/PARALELO:

SEGUNDO SOFTWARE “B”

SPA 2025 – 2026

ARQUITECTURA DE LOS PROCESADORES IBM

1. IBM System 360 Modelo 20 - (1964) Procesador de 8 bits

El IBM System 360 Modelo 20, presentado en 1964, fue una versión económica y popular entre la serie System 360, diseñada específicamente para pequeñas empresas que requerían procesamiento básico fue una puerta de entrada al mundo de la computación corporativa [1].

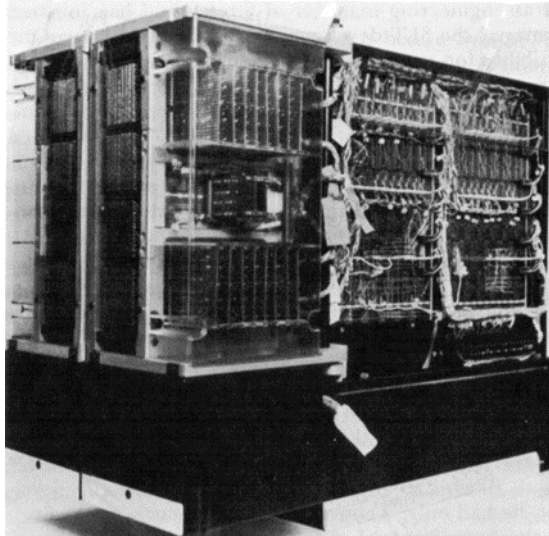


Figura 1: IBM System 360 Modelo 20

- **Arquitectura:** A diferencia de los demás modelos System 360, que eran de 32 bits, el Modelo 20 tenía una arquitectura simplificada de 16 bits y direccionamiento de 16 bits.
- **Registros:** Incluía 8 registros de propósito general de 16 bits.
- **Conjunto de Instrucciones:** Usaba un subconjunto limitado del set completo de instrucciones del System 360 centrado en operaciones aritméticas, lógicas, de salto y manipulación de memoria.

2. IBM System 3 – (1969) Procesador de 16 bits

El IBM System 3 fue lanzado en 1969, fue uno de los primeros sistemas de cómputo accesibles para empresas pequeñas y medianas este equipo marcó un hito en la informática comercial gracias a su orientación a tareas administrativas y contables siendo una herramienta clave en la automatización de oficinas [2].



Figura 2: IBM System 3

- **Arquitectura:**

Poseía una arquitectura de 16 bits, orientada a caracteres y con direccionamiento base más desplazamiento también utilizaba tecnología MOSFET en sus versiones más avanzadas.

- **Registros:**

Disponía de 2 registros base de 16 bits, junto a registros internos como el Instruction Address Register y el Address Recall Register.

- **Conjunto de Instrucciones:**

Contaba con entre 28 y 31 instrucciones según el modelo estas incluían operaciones de movimiento, suma, resta y comparación de datos decimales. No contaba con instrucciones de multiplicación o división por hardware.

1. IBM Power9 – (2017) Procesador de 32 bits

- **Arquitectura:**

El POWER9 introducido por IBM en 2017, es un procesador q adopta la arquitectura POWER ISA v3.0, siguiendo el modelo RISC este chip fue fabricado utilizando tecnología de 14 nanómetros y se destaca por su eficiencia en sistemas de alto rendimiento [3].

Está preparado para trabajar con tecnologías como SMT4 y SMT8 utiliza memoria DDR4 y es compatible con las interfaces de alta velocidad como NVlink 2.0 OpenCAPI y PCIe Gen4.



Figura 3: IBM Power9

- **Registros:**

Dispone de 32 registros generales y 32 de puntos flotantes todos de 64 bits además integra 32 registros vectoriales para operaciones SIMD y registros especializados como el estado de la máquina.

- **Conjunto de Instrucciones:**

Su set basado en POWER ISA v3.0 incluye funciones aritméticas lógicas del control de flujo, manejo de memoria, SIMD, así como instrucciones atómicas y transaccionales [3].

2. IBM Power10 – (2021) Procesador de 64 bits

- **Arquitectura:**

El POWER10 llegó en 2021 como sucesor del POWER9 con mejoras notables en seguridad, rendimiento e inteligencia artificial este modelo de IBM es el primero fabricado en 7 nanómetros y está basado en la arquitectura POWER ISA v3.1

Integra innovaciones como Memory Inception y cifrado de memoria en hardware también tiene soporte para PCIe Gen5, CXL y un acelerador de IA basado en multiplicación de matrices [4].



Figura 4: IBM Power10

- **Registros:**

Al igual q su antecesor cuenta con 32 registros GPR y 32 FPR, ambos son de 64 bits sim embargo la cantidad de registros vectoriales dobla a 64, optimizados para SIMD y MMA.

- **Conjunto de Instrucciones:**

Power ISA v3.1 tiene nuevas instrucciones enfocadas en la aceleración de la IA, además de las mejoras en operaciones SIMD, criptografía y control de seguridad y memoria.

ARQUITECTURA DE LOS PROCESADORES INTEL

1. Intel 4004 – (1971) Procesador de 4 bits

- **Arquitectura:**

El Intel 4004 fue el primer microprocesador que se comercializó en la historia, y salió al mercado en 1971. Fue diseñado por Federico Faggin para la empresa Intel, aunque en realidad se creó pensando en unas calculadoras que fabricaba una compañía japonesa llamada Busicom [5].

Funcionaba con una arquitectura de 4 bits, lo que significa que procesaba la información en bloques de 4 bits. Aunque hoy en día eso suena muy básico, en ese tiempo era toda una innovación. A pesar de sus limitaciones, podía hacer operaciones simples como sumas, restas y funciones lógicas, y marco el comienzo de la era de los microprocesadores [5].

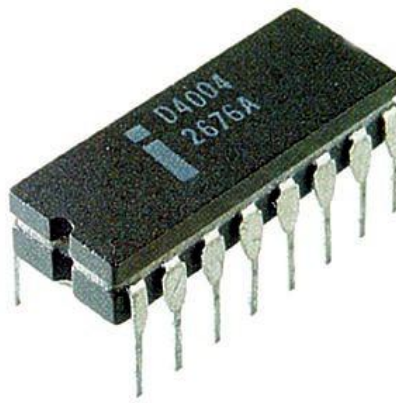


Figura 5: Intel 4004

- **Registros:**

Este microprocesador incluía un total de 16 registros de propósito general, numerados de R0 a R15, que se utilizaban para almacenar datos temporales durante la ejecución de instrucciones. Sin embargo, no todos estos registros eran accesibles directamente, ya que algunos tenían un uso reservado dentro del propio funcionamiento interno del procesador [6].

Además, el 4004 contaba con registros especiales como el acumulador (ACC), que se usaba como base para realizar operaciones aritméticas, y un contador de programa (PC) de 12 bits que ayudaba a seguir la secuencia de instrucciones. También se incluían un registro de instrucciones (IR) y un registro de dirección temporal para manejar la memoria.

- **Conjunto de Instrucciones:**

Aritméticas	Sumar con acarreo (ADD), incrementar (INC), no había multiplicación ni división directa.
Lógicas	AND, OR, rotaciones, y complementos para manipulación binaria.
Control	Salto condicionales e incondicionales, llamadas a subrutinas (CALL) y retornos (RET).
Entrada/Salida	Permitía comunicación con dispositivos externos mediante instrucciones I/O específicas.

En total, el 4004 tenía 46 instrucciones codificadas en 8 bits. Cada instrucción era sencilla y estaba diseñada para realizar tareas básicas con eficiencia.

2. Intel 8080 – (1974) Procesador de 8 bits

- **Arquitectura:**

El procesador Intel 8080 fue una mejora significativa del 8008 y se convirtió en una de las primeras CPU de propósito general. Usaba una arquitectura CISC de 8 bits, con un bus de datos de 8 bits y un bus de direcciones de 16 bits, lo que le permitía acceder hasta 64 KB de memoria. Esta arquitectura fue mayormente utilizada en las primeras computadoras [7].

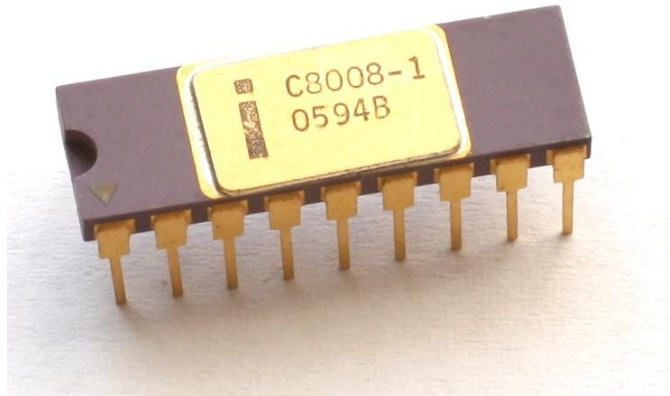


Figura 6: Intel 8080

- **Registros:**

A diferencia del Intel 4004, el procesador 8080 incorporó una arquitectura de registros más avanzada, con siete registros de propósito general de 8 bits (B, C, D, E, H, L y A), que podían combinarse en pares para manejar datos de 16 bits.

El acumulador (A) era clave en operaciones aritméticas y lógicas, mientras que el registro FLAGS reflejaba estados importantes del procesador, como el acarreo (carry) o el resultado cero (zero). Además, incluía un contador de programa (PC), lo que hacía del 8080 un microprocesador más eficiente y apto para desarrollar programas complejos [8]. Esta estructura de registros no solo fue base para el funcionamiento del 8080, sino que también influyó en arquitecturas posteriores como la de la consola Game Boy original, la cual emplea un procesador basado en el 8080 con un conjunto similar de registros y sin los registros índice del Z80, manteniendo así la esencia del diseño original [8].

- **Conjunto de Instrucciones:**

Aritméticas	Suma (ADD), resta (SUB), incremento (INR), decremento (DCR), con soporte para acarreo y desbordamiento.
Lógicas	AND (ANA), OR (ORA), XOR (XRA), comparación (CMP), y complementos.
Transferencia de Datos	Salto condicionales e incondicionales, llamadas a subrutinas (CALL) y retornos (RET).

Control de Flujo	Salto condicionales (JZ, JNZ), incondicionales (JMP), llamadas (CALL) y retornos (RET).
Entrada/Salida	IN, OUT, que permitían comunicación directa con periféricos.

El 8080 tenía 256 instrucciones distintas, codificadas en un solo byte, y era lo suficientemente potente como para ejecutar sistemas operativos simples como CP/M.

3. Intel 8086 – (1978) Procesador de 16 bits

- **Arquitectura:**

El procesador Intel 8086 marcó el inicio de la conocida arquitectura x86. Contaba con un bus de datos de 16 bits y un bus de direcciones de 20 bits, lo que le permitía acceder hasta 1 MB de memoria. Usaba una arquitectura CISC, con instrucciones complejas y de varios bytes. Además, introdujo la segmentación de memoria, algo innovador para esa época [9].

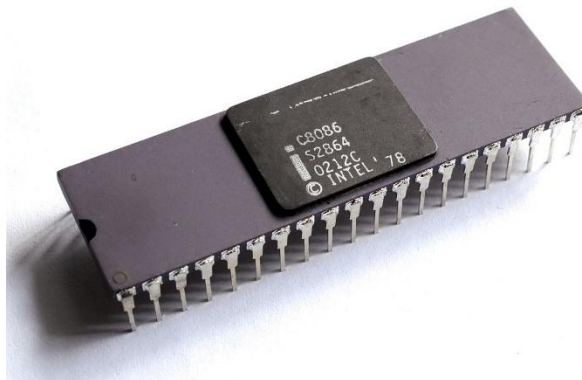


Figura 7: Intel 8086

- **Registros de propósito general:**

El 8086 contaba con 8 registros de 16 bits: AX, BX, CX, DX, SI, DI, SP y BP. Estos podían dividirse en registros altos y bajos (por ejemplo, AH y AL para AX). Algunos se usaban con funciones específicas: CX como contador de bucles o BX como base de memoria [9].

- **Registros de segmento:**

El sistema de segmentación del 8086 se basaba en 4 registros de segmento: CS (código), DS (datos), SS (pila) y ES (extra), que definían distintas áreas de memoria para mejorar la gestión de grandes programas [9].

- **Registros de control:**

Incluía el Instruction Pointer (IP) para rastrear la instrucción siguiente, y el registro FLAGS que contenía bits de estado como Carry, Zero, Sign u Overflow [9].

- **Conjuntos de Instrucciones:**

Aritméticas	ADD, SUB, MUL, DIV, INC, DEC. Se podían hacer operaciones entre registros, constantes y memoria.
Lógicas	AND, OR, XOR, NOT, TEST (comparar sin afectar valores).
Transferencia de Datos	MOV (entre registros, memoria, e inmediatos), PUSH/POP (manejo de pila), XCHG (intercambio).
Control de Flujo	JMP (salto), CALL (llamada a subrutina), RET (retorno), LOOP, JC (salto si carry), JZ (salto si cero).
Cadena	Instrucciones como MOVS, STOS, LODS y CMPS con el prefijo REP para automatizar procesos de copia y comparación de cadenas.

El conjunto de instrucciones del 8086 era extenso y complejo, permitiendo una programación rica, muy por encima de sus predecesores. También fue el primer procesador que usó segmentación de memoria para superar el límite de 64 KB.

4. INTEL 32 bits

Intel 80386 (1985)

Es el primer procesador de 32 bits de Intel también conocido como IA-32, sus características más destacadas es que tiene registros y bus de datos de 32 bits, una capacidad de direccionar hasta 4 GB de memoria física, introdujo el modo protegido mejorado esto permitió la multitarea y protección de memoria, compatibilidad en modos anteriores, sus registros son los generales EAX, EBX, ECX, EDX, ESI, EDI, EBP, Y ESP estos son de 32 bits además cuenta con registros de segmento de memoria y modos [10].



Figura 8: Intel 80386

Intel 80486 (1989)

Tuvo grandes mejoras a su antecesor el Intel 80386 incorporando una Unidad de punto flotante o más conocida como (FPU) en su chip, introdujo una cache unificada de instrucciones y datos de 8 kb. Uso de pipeline para poder mejorar su rendimiento y así permitiendo ejecutar hasta una instrucción por ciclo de reloj, sus registros son los mismos que en el 80386 pero mejorando el manejo de la caché y la (FPU) Las instrucciones se ampliaron para incluir operaciones con punto flotante así optimización de pipeline y acceso más eficiente a memoria caché [10].



Figura 9: Intel 80486

5. Intel EM64T - (2004) Procesador de 64 bits

La tecnología EM64T o conocida como Intel 64 permitió a los procesadores de Intel ejecutar instrucciones de 64 bits en una arquitectura que originalmente era de 32 bits, esto facilitó el uso de una mayor cantidad de memoria y mejoró el rendimiento en programas que necesitan altos recursos este avance representó un paso importante hacia el abandono de las arquitecturas tradicionales y es parte de las discusiones actuales sobre el futuro del diseño x86 en Intel [11].



Figura 10: Intel EM64T

BIBLIOGRAFÍA

- [1] S. Furber, “Microprocessors: the engines of the digital age,” *Proceedings of the Royal Society A: Mathematical, Physical and Engineering Sciences*, vol. 473, no. 2199, p. 20160893, Mar. 2017, doi: 10.1098/rspa.2016.0893.
- [2] P. W. Roome, C. Brewer, and J. A. Peterson, “An approach to the collection and manipulation of time-based data using the IBM PC and BASICA,” *Bioinformatics*, vol. 1, no. 1, pp. 51–54, 1985, doi: 10.1093/bioinformatics/1.1.51.
- [3] H. Tröpgen, M. Bielert, and T. Ilsche, “Evaluating the Energy Measurements of the IBM POWER9 On-Chip Controller,” in *Proceedings of the 2023 ACM/SPEC International Conference on Performance Engineering*, New York, NY, USA: ACM, Apr. 2023, pp. 67–76. doi: 10.1145/3578244.3583729.
- [4] W. J. Starke, B. W. Thompto, J. A. Stuecheli, and J. E. Moreira, “IBM’s POWER10 Processor,” *IEEE Micro*, vol. 41, no. 2, pp. 7–14, Mar. 2021, doi: 10.1109/MM.2021.3058632.
- [5] M. R. Abeilhé, “Curiosidades sobre la historia de los microprocesadores,” 2021. Accessed: May 27, 2025. [Online]. Available: <file:///https://revistas.uned.es/index.php/pIM/article/view/33611/25108>
- [6] “Trabajo Fin de Grado DISEÑO y DESARROLLO de un MICROPROCESADOR RISC-V Autor: Guillermo Nájera Lavid Tutor(a): Vicente Martínez Orga,” 2022. Accessed: May 27, 2025. [Online]. Available: https://oa.upm.es/71283/1/TFG_GUILLERMO_NAJERA_LAVID.pdf
- [7] A. Pablo Bey Cabrera Directores Francisco José Gallego Durán, “Desarrollo de un Game Engine de 8 bits,” 2018. Accessed: May 27, 2025. [Online]. Available: https://rua.ua.es/dspace/bitstream/10045/96414/1/Desarrollo_de_un_Game_Engine_de_8_bits_BEY_CABRERA_PABLO.pdf
- [8] A. Alberto Rius Poveda and F. José Gallego Durán, “Elaboración de un manual de programación en ensamblador para Game Boy,” 2024. Accessed: May 27, 2025. [Online]. Available: https://rua.ua.es/dspace/bitstream/10045/143985/1/Elaboracion_de_un_manual_de_programacion_en_ensamblador_Rius_Poveda_Alberto.pdf
- [9] M. A. Colombani, J. M. Ruiz, A. G. Delduca, and M. A. Falappa, “Herramientas de software para dar soporte en la enseñanza y aprendizaje de la arquitectura x86,” 2022. Accessed: May 27, 2025. [Online]. Available: https://sedici.unlp.edu.ar/bitstream/handle/10915/139908/Documento_completo.pdf-PDFA.pdf?sequence=1&isAllowed=y
- [10] D. A. Patterson and J. L. Hennessy, *Computer organization and design RISC-V edition: the hardware software interface*, Second edition. Morgan Kaufmann, 2021.
- [11] David A. Patterson and John L. Hennessy, *Computer Organization and Design MIPS Edition: The Hardware/Software Interface (The Morgan Kaufmann Series in Computer Architecture and Design)*, 5ª edición. Boston , 2020.

ANEXOS

Link GitHub

<https://github.com/GenessiGutierrez/GrupoG/tree/main/GrupoG>