

# ARM Cortex各系列处理器分类比较

## 目录

- Cortex-M系列
  - Cortex-M0:
  - Cortex-M0+:
  - Cortex-M1:
  - Cortex-M3:
  - Cortex-M4:
  - Cortex-M7:
  - 规格对比
- Cortex-A系列
  - Cortex-A73
  - Cortex-A72
  - Cortex-A57
  - Cortex-A53
  - Cortex-A35
  - Cortex-A32
  - Cortex-A17
  - Cortex-A15
  - Cortex-A9
  - Cortex-A8
  - Cortex-A7
  - Cortex-A5
  - 规格对比
- Cortex-R系列
  - Cortex-R4
  - Cortex-R5
  - Cortex-R7
  - 规格对比

- 1、Cortex-A: 面向尖端的基于虚拟内存的操作系统和用户应用
- 2、Cortex-R: 针对实时系统
- 3、Cortex-M: 微控制器

## Cortex-M系列

### Cortex-M0:

Cortex-M0是目前最小的ARM处理器，该处理器的芯片面积非常小，能耗极低，且编程所需的代码占用量很少，这就使得开发人员可以直接跳过16位系统，以接近8位系统的成本开销获取32位系统的性能。Cortex-M0处理器超低的门数开销，使得它可以用在仿真和数模混合设备中。

### Cortex-M0+:

以Cortex-M0处理器为基础，保留了全部指令集和数据兼容性，同时进一步降低了能耗，提高了性能。2级流水线，性能效率可达1.08 DMIPS/MHz。

### Cortex-M1:

第一个专为FPGA中的实现设计的ARM处理器。Cortex-M1处理器面向所有主要FPGA设备并包括对领先的FPGA综合工具的支持，允许设计者为每个项目选择最佳实现。

### Cortex-M3:

适用于具有较高确定性的实时应用，它经过专门开发，可使合作伙伴针对广泛的设备(包括微控制器、汽车车身系统、工业控制系统以及无线网络和传感器)开发高性能低成本平台。此处理器具有出色的计算性能以及对事件的优异系统响应能力，同时可应实际中对低动态和静态功率需求的挑战。

Cortex-M4:

由 ARM 专门开发的最新嵌入式处理器，用以满足需要有效且易于使用的控制和信号处理功能混合的数字信号控制市场。

Cortex-M7:

在 ARM Cortex-M 处理器系列中，Cortex-M7 的性能最为出色。它拥有六级超标量流水线、灵活的系统和内存接口(包括 AXI 和 AHB)、缓存(Cache)以及高度耦合内存(TCM)，为MCU 提供出色的整数、浮点和 DSP 性能。

互联：64位 AMBA4 AXI, AHB外设端口 (64MB 到 512MB)

指令缓存：0 到 64kB，双路组相联，带有可选 ECC

数据缓存：0 到 64kB，四路组相联，带有可选 ECC

指令TCM：0 到 16MB，带有可选 ECC

数据TCM：0 到 16MB，带有可选 ECC

规格对比

Cortex-M 系列规格对比				
类别	M0	M3	M4	M7
体系结构	ARMv6M（冯诺依曼）	ARMv6M（哈佛）	ARMv6M（哈佛）	ARMv7-M（哈佛）
ISA 支持	Thumb,Thumb-2	Thumb,Thumb-2	Thumb,Thumb-2	Thumb,Thumb-2
DSP 扩展			单周期 16/32 位 MAC 单周期双 16 位 MAC 8/16 位 SIMD 运算 硬件除法（2-12 周期）	单周期 16/32 位 MAC 单周期双 16 位 MAC 8/16 位 SIMD 运算 硬件除法（2-12 周期）
浮点单元			单精度浮点单元 符合 IEEE 754	单和双精度浮点单元 与 IEEE 754 兼容
流水线	3 级	3 级	3 级+分支预测	6 级超标量 + 分支预测
DMISP/MHz	0.9~0.99	1.25~1.50	1.25~1.52	2.14/2.55/3.23
中断	NMI+1-32 物理中断	NMI+ 1-240物理中断	NMI + 1~240物理中断	NMI + 1~240物理中断
中断优先级		8~256	8~256	8~256
唤醒中断控制器		最多 240 个	最多 240 个	最多 240 个
内存保护		带有子区域和后台区域的可选 8 区域 MPU	带有子区域和后台区域的可选 8 区域 MPU	可选的 8/16 区域 MPU，带有子区域和背景区域
睡眠模式	集成的 WFI 和 WFE 指令和“退出时睡眠”功能。 睡眠和深度睡眠信号随 ARM 电源管理工具包提供的可选的 Retention 模式	集成的 WFI 和 WFE 指令和“退出时睡眠”功能。 睡眠和深度睡眠信号。随 ARM 电源管理工具包提供的可选保留模式	集成 WFI 和 WFE 指令和“退出时睡眠”功能。 睡眠和深度睡眠信号。随 ARM 电源管理工具包提供的可选 Retention 模式	集成 WFI 和 WFE 指令以及 Sleep On Exit功能。 休眠和深度休眠信号。ARM 电源管理工具包及可选 Retention 模式
增强的指令	硬件单周期 (32x32) 乘法选项	硬件除法（2-12 个周期）和单周期 (32x32) 乘法、饱和数学支持。		
调试	可选 JTAG 和 Serial-Wire 调试端口。最多 4 个断点和 2 个观察点	可选 JTAG 和串行线调试端口。最多 8 个断点和 4 个检测点。	可选 JTAG 和 Serial-Wire 调试端口。最多 8 个断点和 4 个检测点。	可选的 JTAG 和 串行线调试 端口。最多 8 个断点和 4 个观察点。
跟踪		可选指令跟踪 (ETM)、数据跟踪 (DWT) 和测量跟踪 (ITM)	可选指令跟踪 (ETM)、数据跟踪 (DWT) 和测量跟踪 (ITM)	可选指令跟踪 (ETM) 数据跟踪 (DWT) 和测量跟踪 (ITM)

Cortex-A系列

## Cortex-A73

这是ARM 2016年发布的最新A系列处理器，Cortex-A73支持全尺寸ARMv8-A构架，ARMv8-A是ARM公司的首款支持64位指令集的处理架构，包括ARM TrustZone技术、NEON、虚拟化和加密技术。所以无论是32位还是64位，Cortex-A73都可以提供适应性最强的移动应用生态开发环境。Cortex-A73包括128位 AMBR 4 ACE接口和ARM的big.LITTLE系统一体化接口，采用了目前最先进的10nm技术制造，可以提供比Cortex-A72高出30%的持续处理能力，非常适合移动设备和消费级设备使用。预计今年晚些时候到2017年，Cortex-A73处理器将会逐渐覆盖到我们合作伙伴的高端智能手机、平板电脑、翻盖式移动设备、数字电视等一系列消费电子设备。

## Cortex-A72

Cortex-A72最早发布于2015年年初，也是基于ARMv8-A架构，采用台积电16nm FinFET制造工艺，Cortex-A72可在芯片上单独实现性能，也可以搭配Cortex-A53处理器与ARM CoreLink TMCCI高速缓存一致性互连（Cache Coherent Interconnect）构成 ARM big.LITTLE TM配置，进一步提升能效。在相同的移动设备电池寿命限制下，Cortex-A72能相较于Cortex-A15的设备提供3.5倍的性能表现，相比于Cortex-A57也有约1.8倍的性能提升，展现出了优异的整体功耗效率。Cortex-A72是目前基于ARMv8-A架构处理器中使用最广泛的处理器之一，主要其应用市场包括高端智能手机、大屏幕的移动设备、企业网络设备、服务器、无线基台、数字电视。

## Cortex-A57

Cortex-A57是ARM针对2013年、2014年和2015年设计起点的CPU产品系列的旗舰级CPU，它也是ARM首次采用64位ARMv8-A架构CPU，而且通过AArch32执行状态，保持与ARMv7架构的完全向后兼容性。除了ARMv8的架构优势之外，Cortex-A57还提高了单个时钟周期性能，比高性能的Cortex-A15 CPU高出了20%至40%。它还改进了二级高速缓存的设计以及内存系统的其他组件，极大的提高了能效。Cortex-A57将为移动系统提供超高性能，而借助big.LITTLE，SoC能以很低的平均功耗做到这一点。其主要面对的是中高端电脑，平板电脑以及服务器产品。

## Cortex-A53

Cortex-A53同样是采取了ARMv8-A架构，能够支持32位的ARMv7代码和64位代码的AArch64执行状态。A53架构特点是功耗降低、能效提高。其目标是28nm HPM制造工艺下、运行SPECint2000测试时，单个核心的功耗不超过0.13W。它提供的性能比Cortex-A7处理器的功率效率更高，并能够作为一个独立的主要的应用处理器，或者搭配Cortex-A57处理器构成big.LITTLE配置。Cortex-A53在相同的频率下，能提供比Cortex-A9更高的效能。其主要面对的是中高端电脑，平板电脑，机顶盒，数字电视等。

## Cortex-A35

Cortex-A35是基于ARMv8-A 64位架构设计的一款低功耗CPU，其目的是为了取代此前32位Cortex-A7和Cortex-A5两颗老核心，采用和A53/A7类似的顺序有限双发射设计，同时融入了A72的一些新特性，并在前端重新设计了指令预取单元，提升了分支预测精度。此外，A35还采用了A53的缓存、内存架构，可配置8-64KB一级指令和数据缓存、128KB-1MB二级缓存，加入了NEON/FP单元，改进了存储性能，支持完整流水线的双精度乘法，还为CPU核心、NEON流水线都配备了硬件保留状态（独立电源域）以提升电源管理效率。在同样的工艺、频率下，A35的功耗比A7低大约10%，同时性能提升6-40%。而对比A53，它可以保留80-100%的性能，但是功耗降低32%、面积缩小25%，能效提升25%。A35还可以和A53、A57、A72等大核心搭配，组成big.LITTLE混合架构系统，进一步提升系统能效。其主要定位于低功耗的低端手机、可穿戴、物联网等领域。

## Cortex-A32

这是ARM新一代构架中，唯一一个32位（ARMv7-A）架构的处理器，但A32就像是32位版的A35，目标很明显，就是在效能比本来就逆天的A35的基础上进一步控制功耗。A32架构主打芯片面积、功耗控制和能耗比，其停留在32位（ARMv7-A指令集），指令预取单元针对效率进行了重新设计，一、二级缓存、浮点和DSP操作性能则针对速度进行了改进，并引入了新的电源管理特性。其支持TrustZone安全加密、NEON SIMD指令集、DSP/SIMD扩展、VFPv4浮点计算、虚拟硬件等。A32可以在32位下提供和A35一样的性能。但更低功耗，让它的效能比（单位电能产出的性能）比A35还要高10%、比A5高30%、比A7高25%。A35可以透过提升频率达到A53 80-100%性能，也就是说，A32也可以在32位下达到同样的性能等级，这时候的芯片面积只有A53的68%，而功耗则只有A53的61%。

在64位之下，A35都有代替A53架构的实力，而在32位中，A32就已经是完胜所有人的境界了，而且比起64位的A35架构，32位的A32更适合用在穿戴设备和物联网产品上。

## Cortex-A17

A17仍然基于32位ARMv7-A指令集，初期会采用28nm工艺，后期进化到20nm。本质架构和A12一样都是双宽度、乱序发射，仅仅是改进了外部互联，引入了新的一致性总线AMBA4 ACE，可以更快速地连接内存控制器，从而改善性能和能效。得益于这个新的总线，A17可以支持多核心SoC的完整内存一致性操作，能够参与big.LITTLE双架构混合方案，在特定频率、工艺、内存条件下，A17的性能比A12提升大约40%。在某些特定的环境中，A17的性能已经可以和A15处于一个档次了，但是功耗更低、

能效更高。虽然在命名上排在Cortex-A15之上，但其定位中端，而不是高端。

## Cortex-A15

Cortex-A15最早在2010年发布，基于32位ARMv7-A架构。A15和A9同样具备乱序执行，但是Cortex-A15具备（两倍）的指令发射端口和执行资源，指令解码能力也要高出50%，动态分支预测能力更强（采用了多层级分支表缓存），指令拾取带宽更强（128 bit vs 64 bit），这些都能让A15的流水线执行具备更高的效率。除此以外，A15采用了VFPv4浮点单元设计，能执行FMA指令以及硬件除法指令，相较而言A9的峰值向量浮点性能基本上只有A15的一半。Cortex-A15处理器可以应用在智能手机、平板电脑、移动计算、高端数字家电、服务器和无线基础结构等设备上。

## Cortex-A9

ARM Cortex-A9采用ARMv7-A架构，目前我们能见到的四核处理器大多都是属于Cortex-A9系列。Cortex-A9 处理器的设计旨在打造最先进的、高效率的、长度动态可变的、多指令执行超标量体系结构，提供采用乱序猜测方式执行的 8 阶段管道处理器，凭借范围广泛的消费类、网络、企业和移动应用中的前沿产品所需的功能，它可以兼具高性能和高能效。Cortex-A9 微体系结构既可用于可伸缩的多核处理器（Cortex-A9 MPCore多核处理器），也可用于更传统的处理器（Cortex-A9单核处理器）。可伸缩的多核处理器和单核处理器支持 16、32 或 64KB 4 路关联的 L1 高速缓存配置，对于可选的 L2 高速缓存控制器，最多支持 8MB 的 L2 高速缓存配置，它们具有极高的灵活性，均适用于特定应用领域和市场。

## Cortex-A8

ARM Cortex-A8处理器，基于ARMv7-A架构，是目前使用的单核手机中最为常见的产品。Cortex-A8处理器是首款基于ARMv7体系结构的产品，能够将速度从600MHz提高到1GHz以上。Cortex-A8处理器可以满足需要在300mW以下运行的移动设备的功率优化要求；以及需要2000 Dhrystone MIPS的消费类应用领域的性能优化要求。Cortex-A8 高性能处理器目前已经非常成熟，从手机到上网本、DTV、打印机和汽车信息娱乐，Cortex-A8处理器都提供了可靠的高性能解决方案。

## Cortex-A7

Cortex-A7采用ARMv7-A架构，它的特点是在保证性能的基础上提供了出色的低功耗表现。Cortex-A7处理器的体系结构和功能集与Cortex-A15 处理器完全相同，不同这处在于，Cortex-A7 处理器的微体系结构侧重于提供最佳能效，因此这两种处理器可在bigLITTLE（大小核大小核心伴侣结构）配置中协同工作，从而提供高性能与超低功耗的终极组合。单个Cortex-A7处理器的能源效率是Cortex-A8处理器的5倍，性能提升50%，而尺寸仅为后者的五分之一。

## Cortex-A5

Cortex-A5处理器同样基于ARMv7-A架构，它是能效最高、成本最低的处理器，能够向最广泛的设备提供最基础的 Internet 访问。Cortex-A5 处理器在指令以及功能方面与更高性能的 Cortex-A8、Cortex-A9 和 Cortex-A15 处理器完全兼容 - 一直到操作系统级别。Cortex-A5 处理器还保持与经典 ARM 处理器（包括 ARM926EJ-S、ARM1176JZ-S 和 ARM7TDMI?）的向后应用程序兼容性。其定位于从入门级智能手机、低成本手机和智能移动设备以及基础工业设备。

## 规格对比

Cortex-A 列规格对比

类别	Cortex-A5	Cortex-A7	Cortex-A8	Cortex-A9	Cortex-A15
发布时间	2009 年 12 月	2011 年 10 月	2006 年 7 月	2008 年 3 月	2011 年 4 月
时钟频率	~1GHz	~1GHz on 28nm	~1GHz on 65nm	~2GHz on 40nm	~2.5GHz on 28nm
执行顺序	顺序执行	顺序执行	顺序执行	乱序执行	乱序执行
多核支持	1 to 4	1 to 4	1	1 to 4	1 to 4
MIPS/MHz	1.6	1.9	2	2.5	3.5
VFP/NEON 支持	VFPv4/NEON	VFPv4/NEON	VFPv3/NEON	VFPv3/NEON	VFPv4/NEON
半精度扩展 (16-bit floating-point)	是	是	否, 只有 32-bit 单精度和 64-bit 双精度浮点	是	是
FP/NEON 寄存器重命名	否	否	否	否	是
GP 寄存器重命名	否	否	否	是	是
硬件的除法器	否	是	否	否	是
LPAAE (40-bit physical address)	否	否	否	否	是
硬件虚拟化	否	是	否	否	是
big.LITTLE	No	LITTLE	No	No	Big
融合的 MAC 乘累加	是	是	否	否	是
流水线级数 pipeline stages	8	8	13	9 to 12	15+
指令译码 decodes	1	Partial dual issue	2 (dual-issue)	2 (dual-issue)	3
返回堆栈 stack 条目	4	8	8	8	48
浮点运算单元 FPU	Optional	Optional	Yes	Optional	Optional
AMBA 总线宽度	64-bit I/F AMBA 3	128-bit I/F AMBA 4	64 or 128-bit I/F AMBA 3	2x 64-bit I/F AMBA 3	128-bit
L1 Data Cache Size	4K to 64K	8KB to 64KB	16/32KB	16KB/32KB/64KB	32KB
L1 Instruction Cache Size	4K to 64K	8KB to 64KB	16/32KB	16KB/32KB/64KB	32KB

## Cortex-R系列

### Cortex-R4

第一个基于ARMv7-R体系的嵌入式实时处理器。专用于大容量深层嵌入式片上系统应用，如硬盘驱动控制器、无限基带处理器、消费产品手机MTK平台和汽车系统的电子控制单元。

### Cortex-R5

2010年推出，基于ARMv7-R体系，扩展了Cortex-R4处理器的功能集，支持在可靠的实时系统中获得更高级别的系统性能、提高效率和可靠性并加强错误管理。这些系统级功能包括高优先级的低延迟外设端口（LLPP）和加速器一致性端口（ACP），前者用于快速外设读写，后来用于提高效率并与外部数据源达成更可靠的高速缓存一致性。

基于40 nmG工艺，Cortex-R5处理器可以实现以将近1 GHz的频率运行，此时它可提供1,500 Dhrystone MIPS的性能。该处理器提供高度灵活且有效的双周期本地内存接口，使SoC设计者可以最大限度地降低系统成本和功耗。

### Cortex-R7

Cortex-R7处理器是性能最高的Cortex-R系列处理器。它是高性能实时SoC的标准。Cortex-R7处理器是为基于65 nm至28 nm的高级芯片工艺的实现而设计的，此外其设计重点在于提升能效、实时响应性、高级功能和简化系统设计。基于40 nmG工艺，Cortex-R7处理器可以实现以超过1 GHz的频率运行，此时它可提供2700 Dhrystone MIPS的性能。该处理器提供支持紧密耦合内存（TCM）本地共享内存和外设端口的灵活的本地内存系统，使SoC设计人员可在受限制的芯片资源内达到高标准

硬实时要求。

## 规格对比

Cortex-R 系列处理器比较

ARM Cortex-R4	ARM Cortex-R5	ARM Cortex-R7
1.68 / 2.02 / 2.45 DMIPS/MHz* 3.47 CoreMark/MHz**	1.67 / 2.01 / 2.45 DMIPS/MHz* 3.47 CoreMark/MHz***	2.50 / 2.90 / 3.77 DMIPS/MHz* 4.35 CoreMark/MHz****
Lockstep configuration	Lockstep configuration	Lockstep configuration

ARM Cortex-R4	ARM Cortex-R5	ARM Cortex-R7
	Dual-core Asymmetric Multi-Processing (AMP) configuration	Dual-core Asymmetric Multi-Processing (AMP) with QoS configuration Dual core Symmetric Multi-Processing (SMP) configuration
Tightly Coupled Memory (TCM)	Tightly Coupled Memory Low Latency Peripheral Port Accelerator Coherency Port Micro Snoop Control Unit (μSCU)	Tightly Coupled Memory Low Latency Peripheral Port Accelerator Coherency Port Snoop Control Unit (SCU)
8-stage dual issue pipeline with instruction pre-fetch and branch prediction	8-stage dual issue pipeline with instruction pre-fetch and branch prediction	11-stage superscalar pipeline with out-of-order execution and register renaming and advanced dynamic and static branch prediction with instruction loop buffer
I-Cache and D-Cache	I-Cache and D-Cache	I-Cache and D-Cache
Hardware divide, SIMD, DSP	Hardware divide, SIMD, DSP	Hardware divide, SIMD, DSP
IEEE754 Double Precision FPU	IEEE754 Double Precision FPU or optimized SP Floating Point Unit	IEEE754 Double Precision FPU or optimized SP Floating Point Unit
Memory Protection Unit (MPU) with 8 or 12 memory regions	Memory Protection Unit (MPU) with 12 or 16 memory regions	Memory Protection Unit (MPU) with 12 or 16 memory regions
ECC and Parity protection on L1 memories	ECC and Parity protection on L1 memories and AXI bus ports	ECC and Parity protection on L1 memories Error management with error bank