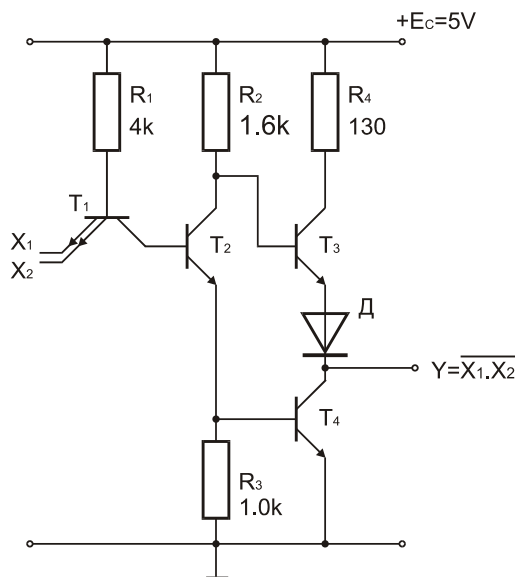


ТРАНЗИСТОРНО -ТРАНЗИСТОРНИ ЛОГИЧЕСКИ СХЕМИ (ТТЛ схеми)

1. Общи сведения

2. ТТЛ схеми със сложен инвертор от серията 74.

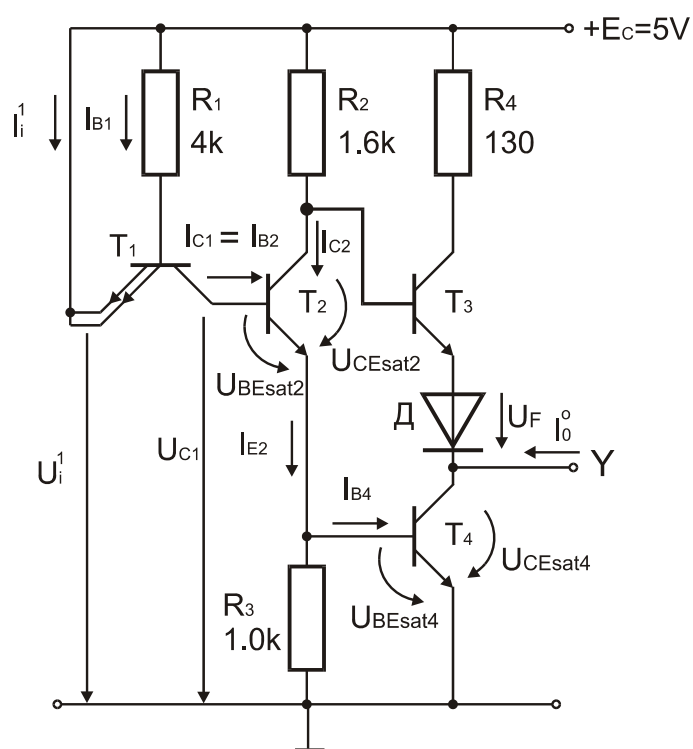


Стандартното захранващо напрежение на серия 74 е $E_C = 5 V$.

$$\begin{cases} U_{CESAT} = (0,05 \div 0,1) V \\ U_{Bo} = 0,6 V \\ U_{BEa} = 0,65 V \\ U_{BESAT} = 0,7 V \end{cases}$$

2.1. Статичен режим на стандартна ТТЛ схема

Анализ на отпушеното състояние (логическа 1 на всички ВХОДОВЕ)



T_1 – инверсен активен режим
 T_2, T_4 – наситено състояние
 T_3 – запушен
 Д – запушен

Инверсен активен режим – всички емитерни преходи са запущени, а колекторният е отпушен.

$$I_{E1} = m \cdot I_i^1$$

I_i^1 - входен ток при логическа 1 на един вход;

i - инверсно;

m - брой входове

$$I_{E1} = m \cdot I_i^1 = \beta_{i1} I_{B1} = \frac{\alpha_{i1}}{1 - \alpha_{i1}} \cdot I_{B1} = \frac{m \cdot \alpha_{i1}^{(1)}}{1 - m \cdot \alpha_{i1}^{(1)}} \cdot I_{B1} \approx m \cdot \alpha_{i1}^{(1)} \cdot I_{B1}$$

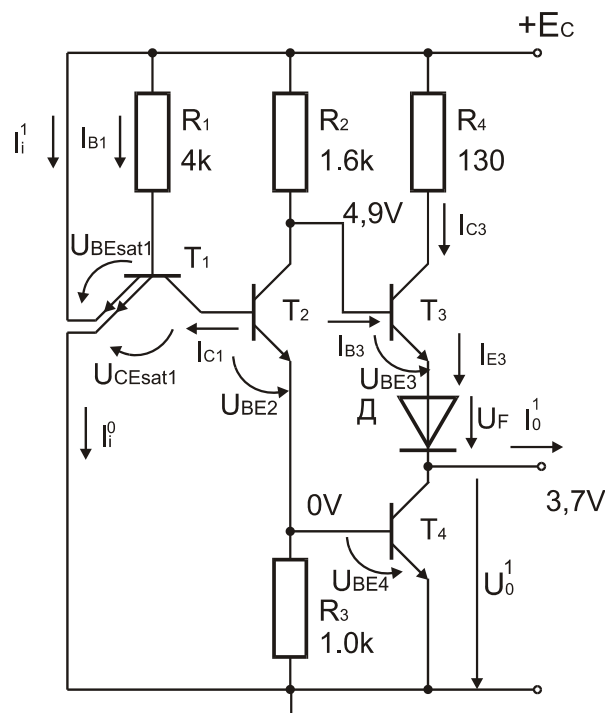
$$\alpha_{i1}^{(1)} = 0.01 \div 0.05$$

$$m = 2, 3, 4$$

$$I_i^1 \approx m \cdot \alpha_{i1}^{(1)} \cdot I_{B1}$$

2.1. Статичен режим на стандартна ТТЛ схема

Анализ на запущеното състояние (логическа 0 поне на един от входовете)



T_1 – наситен режим
 T_3 – активен режим
 T_2, T_4 – запущени
 D – отпушен

2.2. Предавателна характеристика

Позволява да се види най-добре работата на схемата .

I ПХ: (Първи участък на предавателната характеристика) – T_1 – наситен; T_2 – запушен; T_3 – активен режим; T_4 – запушен.

Тук се намира първата статична работна точка (вход – 0, изход – 1). Съответства на запушена схема

II ПХ: T_1 – наситен, T_2 – активен режим, T_3 – активен режим, T_4 – запушен. (T_2 е в ново състояние в сравнение с I ПХ.)

Тъй като T_2 е в активен режим, получава се i_{e2} и с нарастване на u_i нарастват i_{B2} и i_{e2} , т. е. нараства потенциалът на базата на T_4 . Появява се i_{C2} , който нараства и падът върху R_2 нараства. Потенциалът на базата на T_3 намалява. При отпушване на T_2 , потенциалът на изхода започва да намалява.

III ПХ: T_1 – наситен; T_2, T_3, T_4 – активен режим.

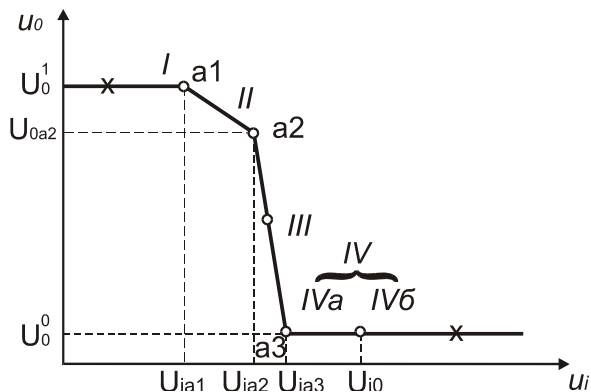
В III участък схемата е неустойчива. Участъкът е много стръмен и много малки шумове могат да върнат схемата в точка a_2 или a_3 . Не трябва напрежението на изхода да се колебае - 0 или 1. Затова схемата не трябва да остава в този участък повече от $\Delta t = (0,5 \div 1) \mu s$.

IVa ПХ: T_1 – наситен; T_2, T_4 – наситени, T_3 – запушен.

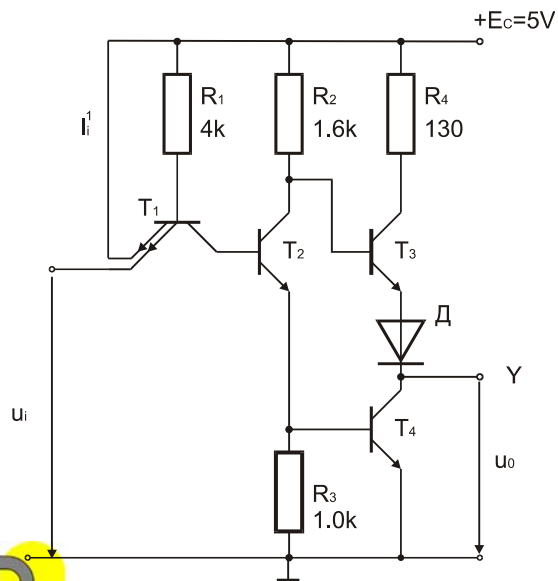
При $u_i = U_{i0} = (1,4 \div 1,5) V$ транзисторът T_1 преминава в инверсен активен режим (ИАР)

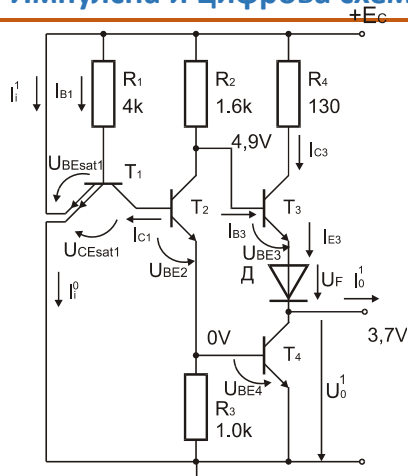
IVб ПХ: T_1 – инверсен активен режим; T_2, T_4 – наситени, T_3 – запушен.

Тук се намира втората статична работна точка.

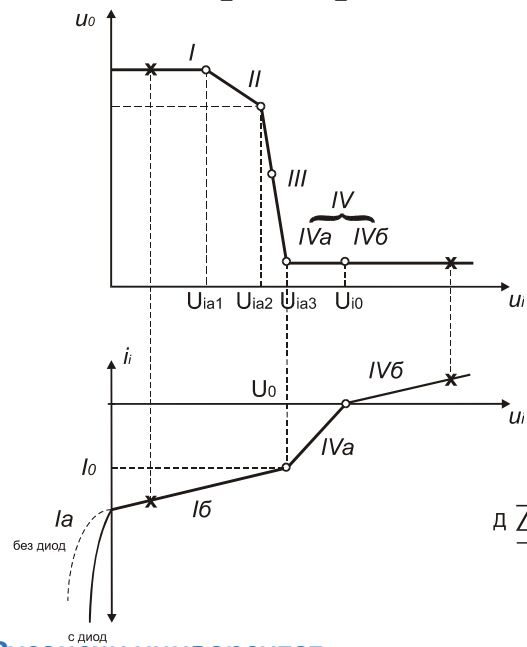


$$\begin{aligned} U_{o1}^1 &= 3,7 V \\ U_{oa2} &= 2,7 V \\ U_o^0 &= 0,2 V \\ U_{ia1} &= 0,55 V \\ U_{ia2} &= 1,2 V \\ U_{ia3} &= U_o = 1,3 V \\ U_{i0} &= 1,4 \div 1,5 V \end{aligned}$$

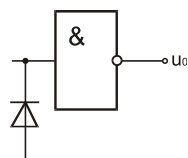
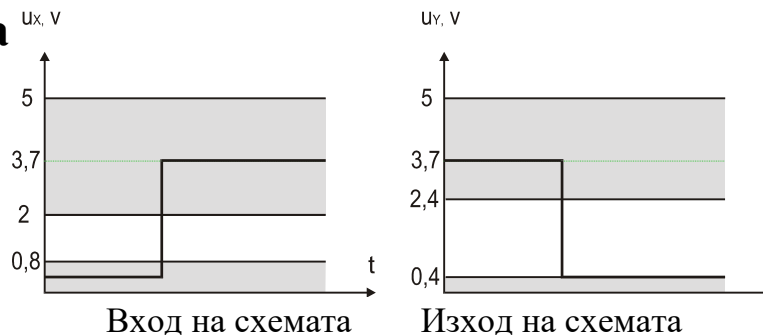




2.4. Входна характеристика



2.3. Статични нива



Iа ВХ: Позволява да се определи динамичното входно съпротивление. Понижаването на u_i в отрицателна посока не оказва влияние върху отпушването на T_2 , но колкото е по-отрицателно u_i , толкова е по-голям токът през T_1 и схемата може да изгори. $\Rightarrow u_i > -0,8 \text{ V}$ (- 1,4 V)

Ако това условие не може да се гарантира, схемата се защитава с диод. Голяма част от съвременните интегрални схеми са с вграден диод. От характеристиката се вижда, че u_i почти не се изменя при нарастване на тока i_i

Iб ВХ (под I ПХ): T_2 – запущен \Rightarrow веригата надясно е прекъсната.

Iб ВХ (под II ПХ) - T_2 е вече в активен режим.

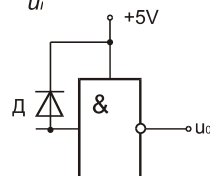
IVа ВХ: U_0 – прагова точка. T_2 и T_4 – наситени.

Т. а3 $\Rightarrow U_0 = 1,3 \text{ V}$; $I_0 = 0,6 \text{ mA}$ - границата между двата участъка; точка на превключване.

IVб ВХ: T_1 – инверсен активен режим (преходът ВЕ е запущен)

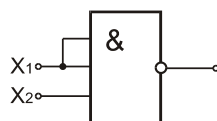
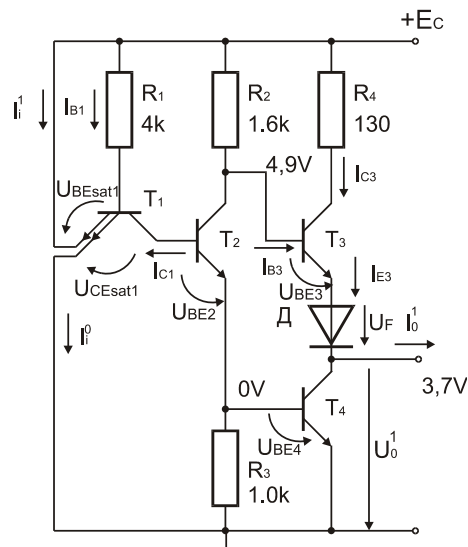
Ако u_i стане по-голямо от 5 V, т.е. $u_i > 5 \text{ V}$, схемата издържа до около 7,5 V, след което настъпва пробив (схемата се поврежда).

При $u_i > 5,5 \text{ V}$ настъпва пробив между два емитера. \Rightarrow Трябва $u_i \leq 5,5 \text{ V}$. Когато това не може да се гарантира се включва защитен диод. Съвременните схеми имат защитен диод.

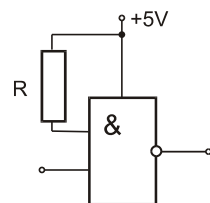


2.5. Влияние на неизползваните входове

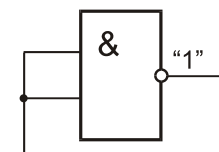
- Неизползваните входове, оставени висящи, се тълкуват от схемата като високо ниво на границата между IVa и IVб участъци. Това не се препоръчва, тъй като се намалява шумоустойчивостта на схемата.



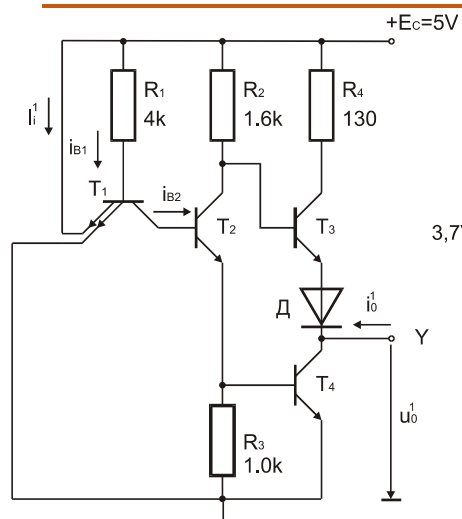
- Неизползваните входове се свързват към използваните входове



- По някакъв начин се подава 1 към неизползваните входове.
- С R около 3 K (между 1 и 10 K) се предпазва схемата от пробив.



- Препоръчва се поне един от неизползваните входове от неизползваните логически елементи да се свърже на маса, защото се намалява консумацията около 3 пъти.



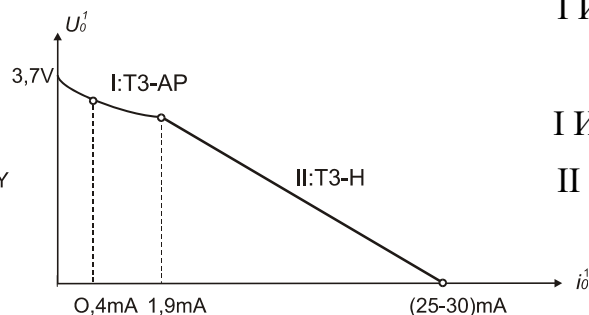
2.6. Изходна характеристика на запушената схема

Поне един от входовете е с ниско ниво.

I ИХ_{ЗС} : ТЗ – активен режим.

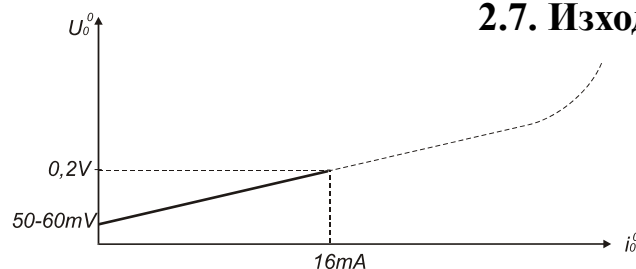
На този участък е статичната работна точка. 0,4 mA е за най-тежкия случай, I ИХ_{ЗС} завършва при 1,9 mA.

II ИХ_{ЗС}: ТЗ – наситен.



2.7. Изходна характеристика на отпушената схема

Т₄ – наситен. Изходната характеристика при отпушено състояние на схемата се определя от изходната характеристика на транзистора Т₄ в наситено състояние



2.8. Динамични параметри на стандартна ТТЛ схема

	типично	max
t_{301}	11 ns	22 ns
t_{310}	7 ns	15 ns
$t_{зср}$	9 ns	18,5 ns

2.6. Коефициент на натоварване

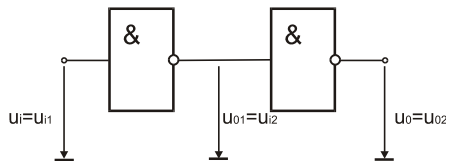
Коефициент на натоварване = 10 означава, че към изхода на една логическа схема могат да се свържат от 10 аналогични на нея схеми по един вход.

$I_{o\max}^0 = 16\text{ mA}$	$I_{o\max}^1 = 0,4\text{ mA}$
$I_{i\max}^0 = 1,6\text{ mA}$	$I_{i\max}^1 = 40\text{ }\mu\text{A}$
$n^0 = 10$	$n^1 = 10$

$n = 10$ - коефициент на натоварване при 0 и 1.

3. СВЪРЗВАНЕ НА ТТЛ СХЕМИ

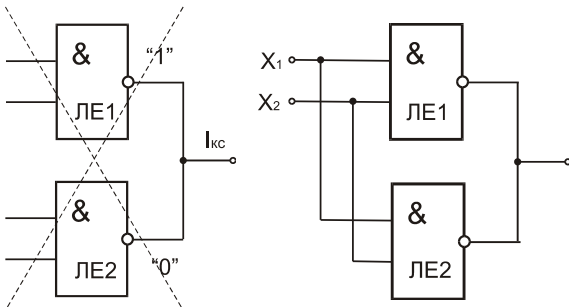
3.1. Последователно свързване на ТТЛ елементи



От логическа гледна точка няма смисъл.

Понякога това свързване се използва за получаване на стръмни фронтове.

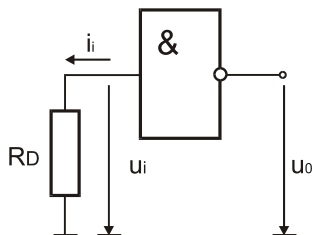
3.2. Паралелно свързване на ТТЛ елементи



Паралелно свързване на логически елементи не се допуска в този вид, защото може да има различни логически нива на изходите им и в даден интервал от време протича ток I_{KC} , при което схемата с 1 на изхода се поврежда. Допуска се паралелно свързване, ако и входовете са свързани заедно. При такова свързване коефициентите на товар са два пъти по-големи.

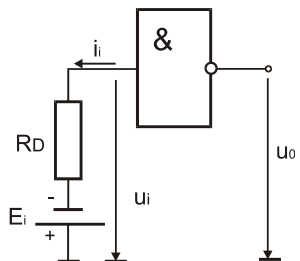
4. СВЪРЗВАНЕ НА РЕЗИСТОРИ КЪМ ТТЛ ЕЛЕМЕНТИ

4.1. Свързване на резистор към входа на ТТЛ елемент



Цел – задаване на определено статично ниво по вход и/или изход.

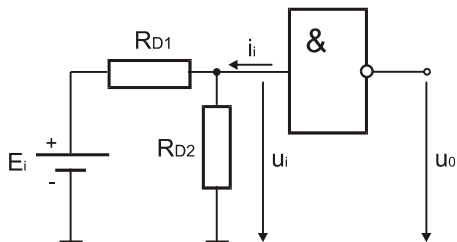
4.2. Свързване на източник на е. д. н. през резистор към входа на ТТЛ елемент



Цел – да се управлява ТТЛ елемент с отрицателни входни напрежения.

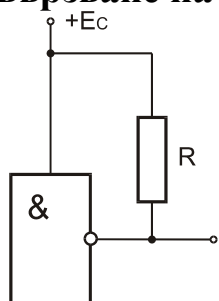
$$E_{i\max} = \frac{R_D}{R_1} [E_C - U_{\text{BESAT1}} + 0,8 \cdot (1 + \frac{R_1}{R_D})]$$

4.3. Свързване на източник на е. д. н. през резистор към входа на ТТЛ елемент

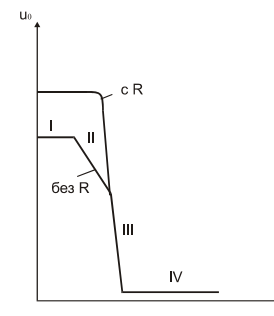


Цел – да се управлява ТТЛ елемент с положителни входни напрежения, по-големи от +5 V.

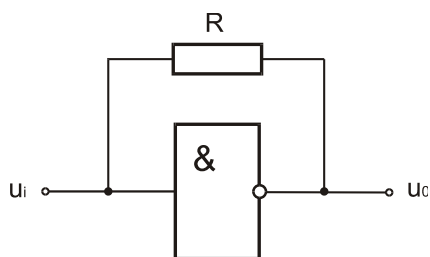
4.4. Свързване на резистор между изхода на логическия елемент и +ЕС



Цел – повишаване на нивото на логическата единица на изхода.



4.5. Свързване на резистор паралелно на логическия елемент



Цел – да се постави схемата в III участък от ПХ, т. е. целта е да се самовъзбуди схемата, да започне да генерира.

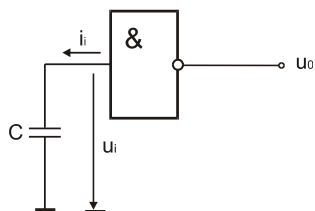
Допустими стойности на R :
 $185\ \Omega < R < 650\ \Omega$.

Ако $R < 185\ \Omega$ нивото на логическата 1 на изхода ще спадне. Ограничението отгоре ($R < 650\ \Omega$) е за да попаднем сигурно в III участък, т. е. на изхода да има поне 0,8 V.

Препоръчва се $240\ \Omega < R < 430\ \Omega$. На практика може и 1 k Ω .

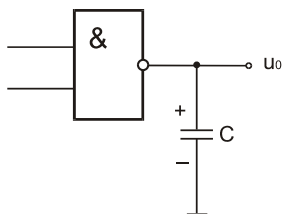
5. СВЪРЗВАНЕ НА КОНДЕНЗАТОРИ КЪМ ТТЛ ЕЛЕМЕНТИ

5.1. Свързване на кондензатор към входа на ТТЛ елемент



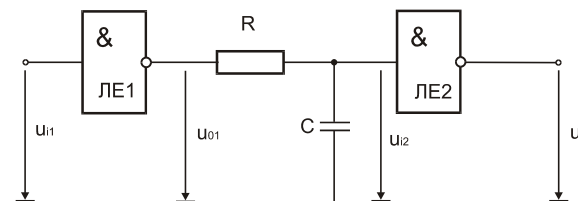
Цел – получаване на определено закъснение при превключването от 1 към 0 на изхода на ТТЛ елемента.

5.2. Свързване на кондензатор в изхода на ТТЛ елемент



Цел – получаване на определено закъснение на фронтовете на изходния сигнал спрямо входния. Рядко се използва.

- Това свързване не се използва в чист вид. Най-често се използва следното свързване:
- С нарастване на стойността на C схемата по-дълго се намира в участък III, затова C се подбира така, че схемата да е в участък III не повече от $0,5 \mu s$.



5. СВЪРЗВАНЕ НА КОНДЕНЗАТОРИ КЪМ ТТЛ ЕЛЕМЕНТИ

5.3. Свързване на кондензатор между ТТЛ елементи

Цел – получаване на краткотрайни отрицателни импулси.

