

ФОРМИРАЩИ СХЕМИ

1. Формиращи схеми

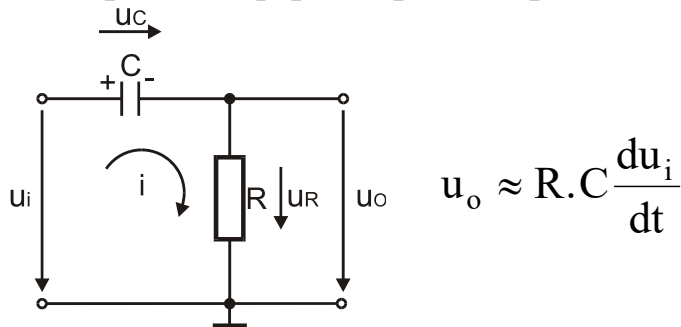
Формиращите схеми се разделят на два вида:

- с диференциращи вериги
- с интегриращи вериги

1.2. Диференциращи вериги

Диференциращи вериги са вериги, при които **изходното напрежение е пропорционално на производната на входното напрежение.**

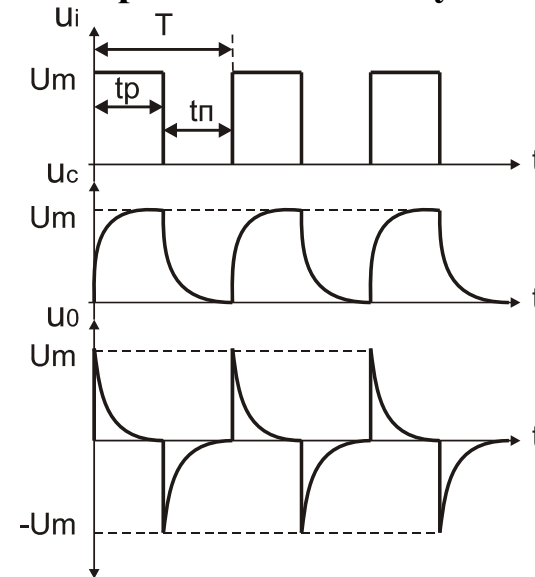
Най-проста диференцираща верига:



$R \cdot C = \tau$ - времеконалта на веригата.

За да бъде диференцирането по-точно, времеконалтата τ трябва да е малка.

Диференциране на правоъгълни импулси



t_p – продължителност на импулса.

$\xi = \frac{t_p}{T}$ - коефициент на запълване. Показва каква част от периода T е запълнена от импулса t_p .

$t_n = T - t_p$ – пауза между импулсите.

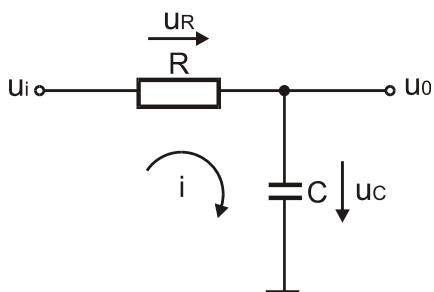
τ трябва да е толкова малка, че да завърши процесът на заряд на кондензатора за време t_p .

1. Формиращи схеми

1.2. Интегриращи вериги

Интегриращи вериги са вериги, **изходното напрежение на които е пропорционално на интеграла на входното напрежение.**

Най-проста интегрираща верига:

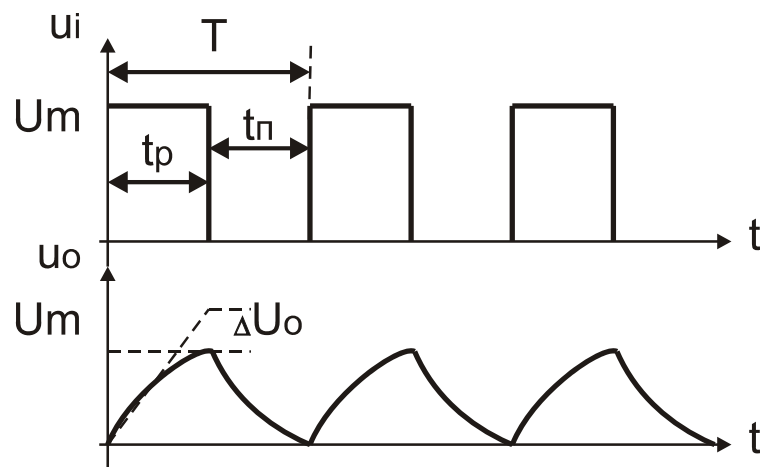


$$u_o \approx \frac{1}{RC} \cdot \int u_i dt$$

$R \cdot C = \tau$ - времеконстанта на веригата.

u_o трябва да е малко за добро интегриране. За да е малко u_o , трябва u_R да е голямо, а това е така, когато времеконстантата τ е по-голяма. τ се избира компромисно.

Интегриране на правоъгълни импулси:



τ трябва да бъде голяма, за да не успее C да се зареди в рамките на t_p до U_m .

За да бъде веригата интегрираща, трябва времеконстантата τ да е голяма, $\tau \gg 0$.

ДИОДНИ ОГРАНИЧИТЕЛИ

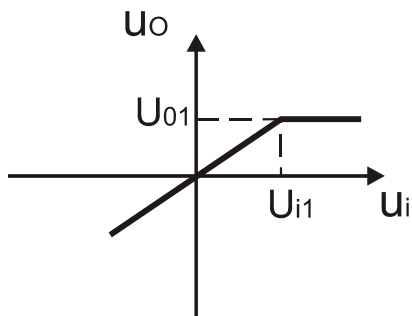
2. Диодни ограничители

Диодният ограничител е схема, **изходното напрежение на която спира да се променя след като входното напрежение достигне определена стойност, наречена праг на ограничението**. В останалата част входното напрежение се предава без изменение.

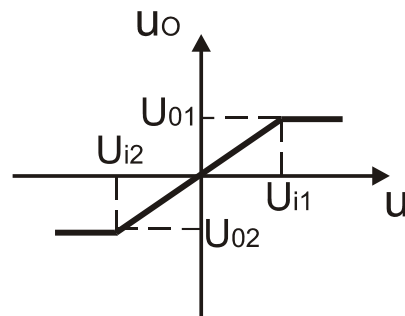
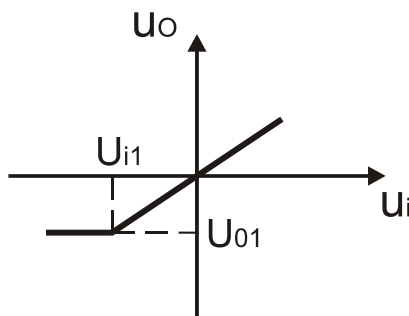
ДО се делят на **едностранни и двустранни**.

Едностранните ДО се делят на:

- диодни ограничители по максимум (или отгоре);
- диодни ограничители по минимум (или отдолу).



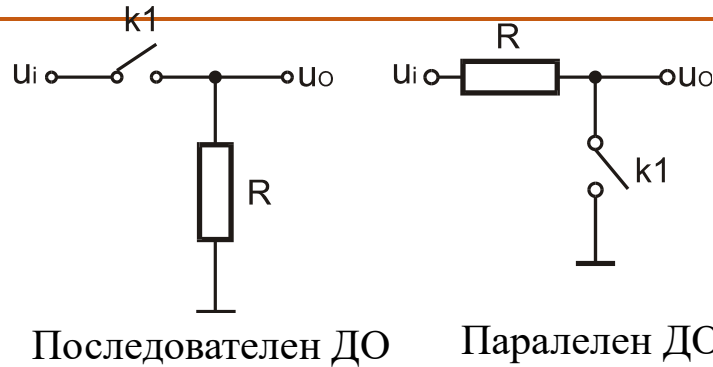
Едностранни ДО



Двустранни ДО

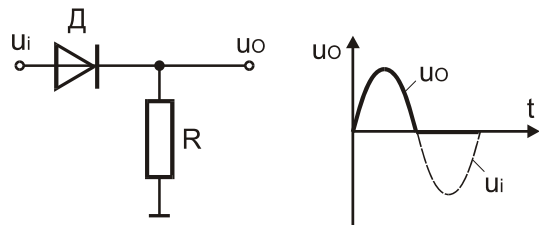
2. Диодни ограничители

В зависимост от **начина на свързване** ДО се делят на **последователни и паралелни**:

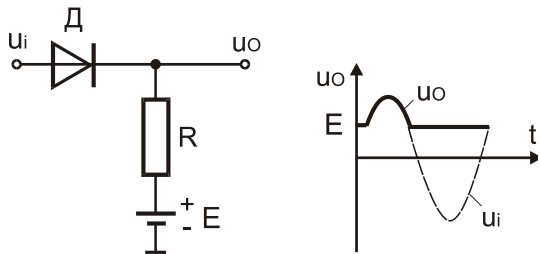


В отпушено състояние диодът е късо съединение, а в запушено - прекъсната верига.

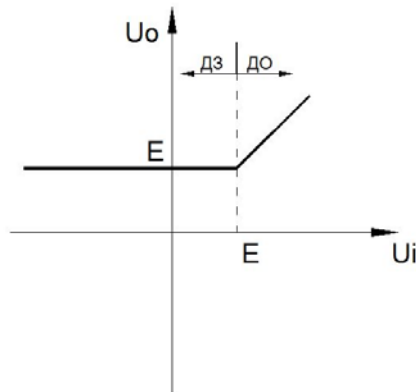
2.1. Последователни ДО



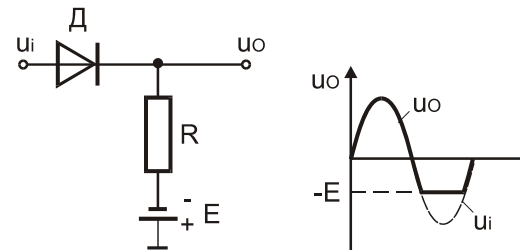
Едностраничен ДО отдолу



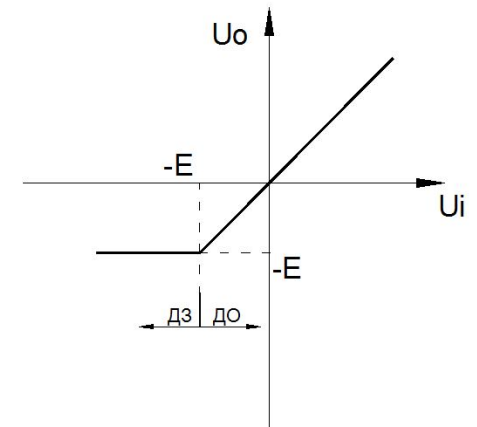
Едностраничен ДО отдолу на положително ниво



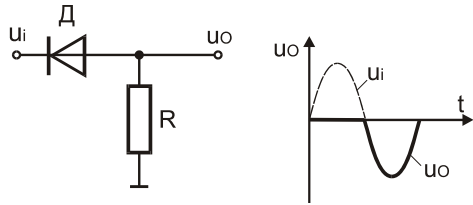
В зависимост от свързването на диода и на източника на напрежение, който определя праговото напрежение, имаме следните схеми (допуска се, че на входа се подава синусоидално напрежение):



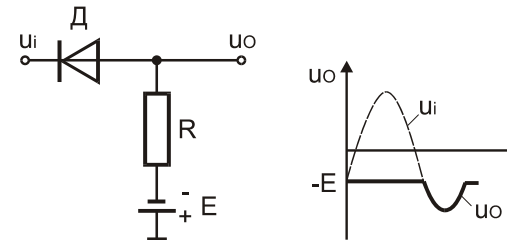
Едностраничен ДО отдолу на отрицателно ниво



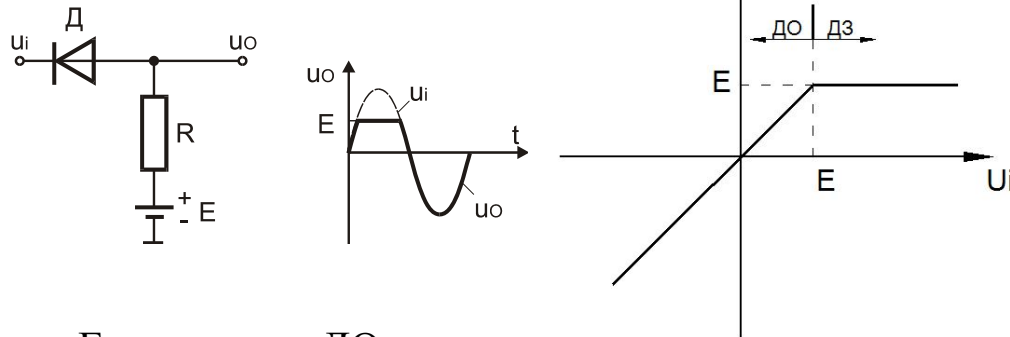
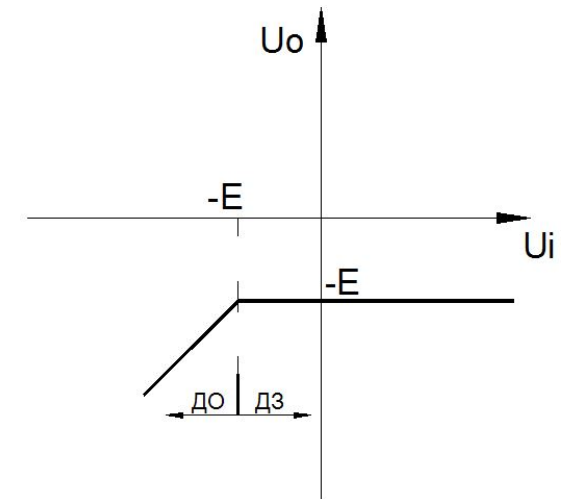
2.1. Последователни ДО



Едностраничен ДО отгоре



Едностраничен ДО отгоре
трицателно ниво

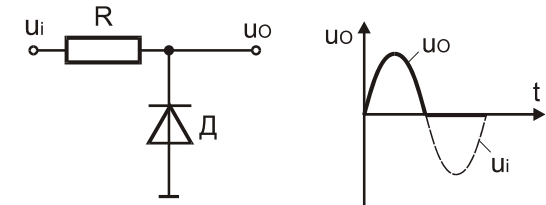


Едностраничен ДО отгоре на
положително ниво

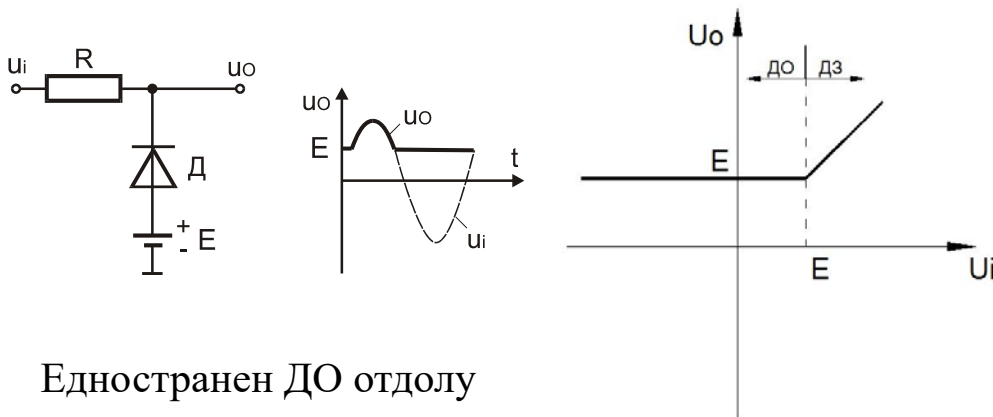
2.2. Паралелни ДО

Мястото на диода е в паралелния клон.

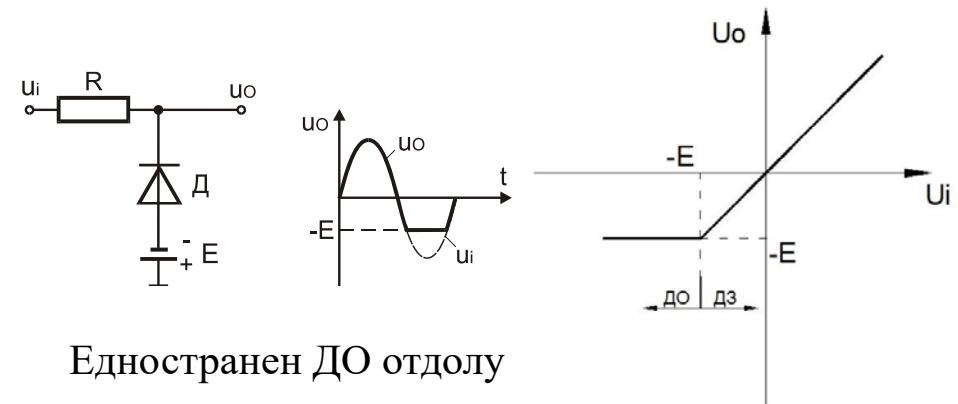
В отпушено състояние диодът е късо съединение,
а в запушено - прекъсната верига.



Едностраничен ДО отдолу



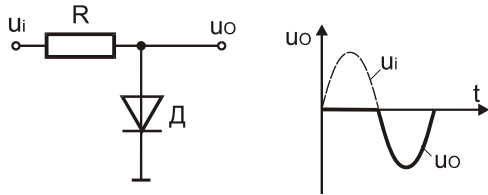
Едностраничен ДО отдолу
на положително ниво



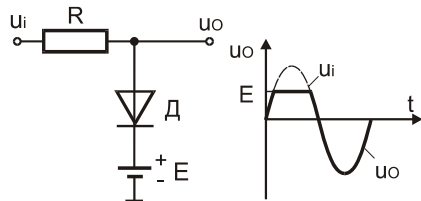
Едностраничен ДО отдолу
на отрицателно ниво

2.2. Паралелни ДО

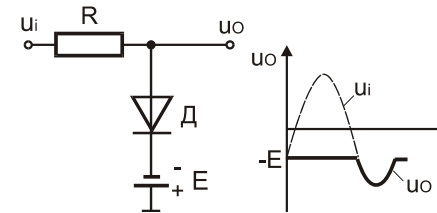
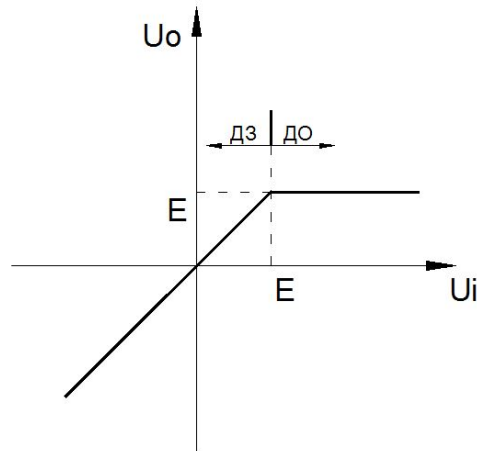
Мястото на диода е в паралелния клон.



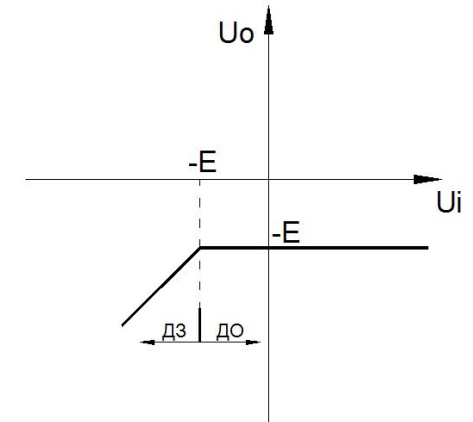
Едностраничен ДО отгоре



Едностраничен ДО отгоре на положително ниво

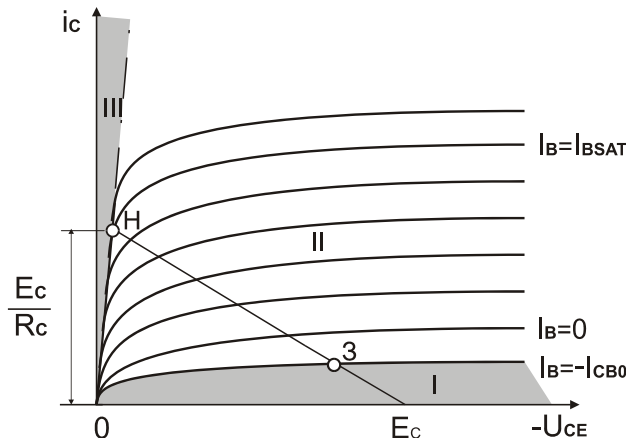


Едностраничен ДО отгоре на отрицателно ниво



Ключов режим на транзисторно стъпало по схема общ емитер

Ключов режим на транзисторно стъпало по схема общ емитер



При ключов режим транзисторът работи в:

т. З - режим на отсечка

Запушен транзистор:

$|U_{CE}|$ е голямо, i_C е малък.

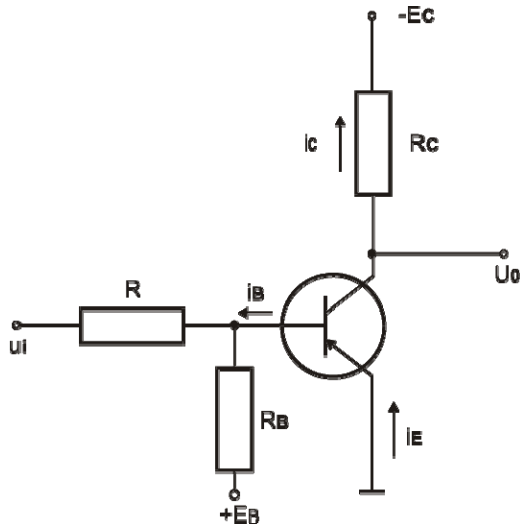
т. Н - режим на насищане.

Наситен транзистор:

$|U_{CE}|$ е малко, i_C е голям.

Преминаването от запушено състояние към наситено става през активен режим, за определено време. Това време характеризира преходния процес - **запушено** → **наситено**, **наситено** → **запушено**.

Ключов режим на транзисторно стъпало по схема общ емитер



Четири режима на работа:

- наситено състояние;
- инверсен активен режим;
- запушено състояние (режим на отсечка);
- активен режим.

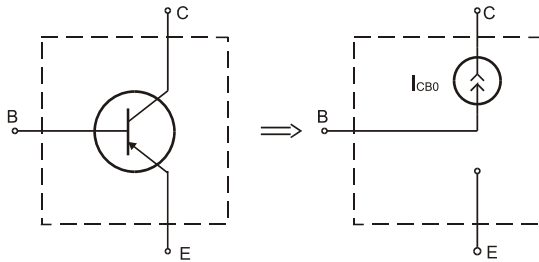
Условия за р-п-р транзистор:

1. $u_{EB} > 0, u_{CB} > 0$ - наситено състояние;
2. $u_{EB} < 0, u_{CB} > 0$ - инверсен активен режим;
3. $u_{EB} < 0, u_{CB} < 0$ - запушено състояние - режим на отсечка;
4. $u_{EB} > 0, u_{CB} < 0$ - активен режим.

Ключов режим на транзисторно стъпало по схема общ емитер

3. Статични режими

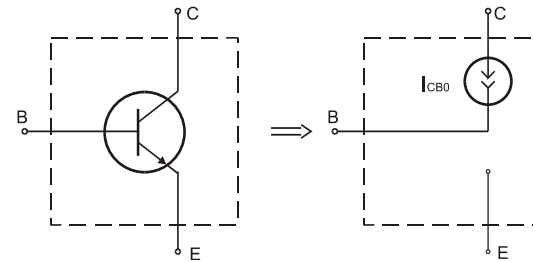
3. 1. Запушено състояние $u_{EB} < 0, u_{CB} < 0$ (p-n-p)



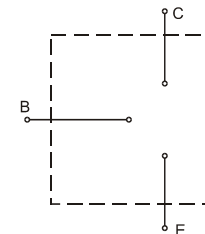
(p-n-p транзистор)

В запушено състояние транзисторът се представя с генератор на ток I_{CB0} , с посока от базата към колектора, и прекъснат емитер

За n-p-n транзистори заместващата схема е:



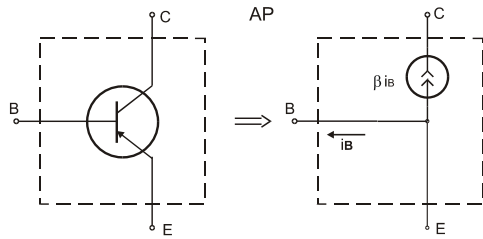
При Si транзистори, за които I_{CB0} е много малък, може да се пренебрегне генераторът на ток.



Ключов режим на транзисторно стъпало по схема общ емитер

3. Статични режими

3. 2. Активен режим $u_{EB} > 0$, $u_{CB} < 0$ (p-n-p)

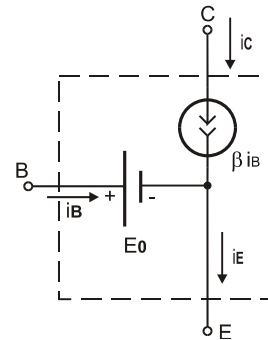


(p-n-p транзистор)

Т е заместен със зависим генератор на ток. Преходът база-емитер е даден на късо.

За Si n-p-n транзистор: Посоката на генератора се обръща, характеристиката му е изместена надясно.

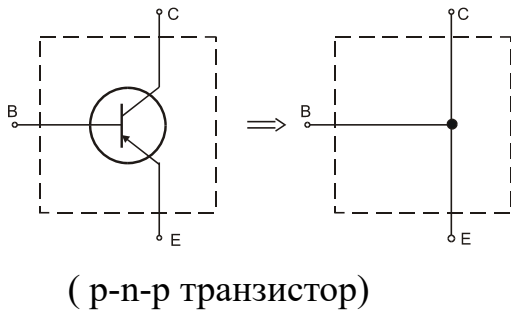
$E_0 = u_{BEa}$ в активен режим



Ключов режим на транзисторно стъпало по схема общ емитер

3. Статични режими

3. 3. Наситено състояние $u_{EB} > 0$, $u_{CB} > 0$ (p-n-p)



Модел на идеален транзистор -
еквипотенциална точка.

За Si n-p-n транзистор

