

**Multiplicator de numere complexe**

**Coordonator:**

**Prof. dr. ing. Nicula Dan**

**Student:**

**Feldioreanu George-Aurelian**

**BRAȘOV, 2022**

# Multiplicatorul de numere complexe (comp\_mult)

## Funcționare

Circuitul realizează înmulțirea a două numere complexe reprezentate sub formă algebrică (z = x + i\*y). Părțile reale și imaginare ale operanzilor sunt numere întregi reprezentate pe număr parametrizabil de biți, în complement față de 2.

Dacă se notează:

z1= x1 + i \* y1

z2= x2 + i \* y2

atunci rezultatul este:

z1 \* z2 = r = xr + i\*yr

unde:

xr = x1 \* x2 - y1 \* y2

yr = x1 \* y2 + x2 \* y1

Circuitul este sincron și are:

* un semnal de reset asincron activ în 0
* semnal de reset sincron activ în 1

Interfețele cu operanzii și cu rezultatul sunt de tip “valid-ready”.

## Simbol



## Parametri

DWIDTH – Lățimea în biți de reprezentare a componentelor unui număr complex (partea reală, partea imaginară). Determină lățimile valorilor x1, y1, x2, y2.

NO\_MULT – Numărul de multiplicatoare folosit în calcularea rezultatului.

## Interfețe

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Interfața | Port | Descriere | Lățime [biți] | Direcție |
| Sistem | clk | Semnal de ceas | 1 | I |
| rst\_n | Reset asincron activ în 0 | 1 | I |
| sw\_rst | Reset sincron activ în 1 | 1 | I |
| Operanzi | op\_val | Operanzi valizi. | 1 | I |
| op\_rdy | Este permisă primirea operanzilor. | 1 | O |
| op\_data | Operanzi {x1, y1, x2, y2} | 2 \* 2 \* DWIDTH | I |
| Rezultat | res\_val | Rezultat valid. | 1 | O |
| res\_rdy | Este acceptat rezultatul. | 1 | I |
| res\_data | Rezultatul {xr, yr} | 2 \* (DWIDTH + 1) | O |

## Arhitectura internă

### Implementarea cu 4 multiplicatoare (NO\_MULT = 4)



### Implementarea cu 2 multiplicatoare (NO\_MULT = 2)



### Implementarea cu 1 multiplicator (NO\_MULT = 1)



## Livrabile

Multiplicatorul va fi folosit instațiind fișierul Verilog comp\_mult\_wrapper.v și vor fi necesare cele modulele celor 3 implementări:

* comp\_mult\_4.v
* comp\_mult\_2.v
* comp\_mult\_1.v

# Integrarea într-un sistem cu calculator și interfațarea cu memorie dual-port

## Funcționare

Sistemul descris în secțiunea 1 este încorporat într-un bloc care realizează înmulțirea a două șiruri de numere complexe stocate într-o memorie dual port organizată pe byte și stocarea rezultatelor în această memorie. Adresele și numărul de operații sunt comandate de un CPU cu ajutorul unor regiștrii de configurare, accesați prin interfața AMBA APB.

## Schema bloc



# Testarea multiplicatorului