**云南大学信息学院2019年至2020年下学期**

**《数字电路与逻辑设计实验》实验报告**

**实验名称：** 期中综合实验——LED七段数码管电路设计 **教师：** 官铮

**学号： 20201060330 姓名： 胡诚皓 序号： 12**

**上课日期： 2022年4月18日 班级： 2020级计科周一1、2节**

1. **实验器材（芯片类型及数量）**

FPGA 开发套件及软件开发环境

74LS48 七段数码管及其译码器

74LS292 分频器

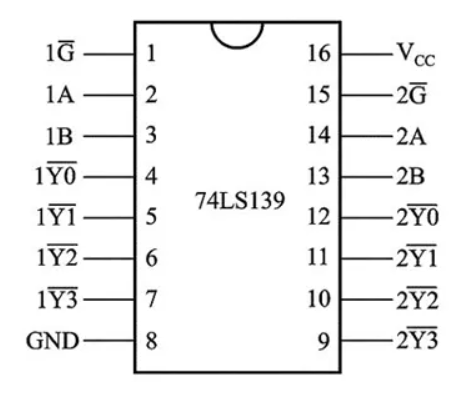
74LS153 数据选择器

74LS139 2-4译码器

1. 实验原理

1. 74LS139

74LS139中有两个2-4线译码器，可对2位高位地址进行译码，产生4个片选信号，最多可外接4个芯片。当使能端为低电平，可将地址端的二进制编码在一个对应的输出端以低电平译出。

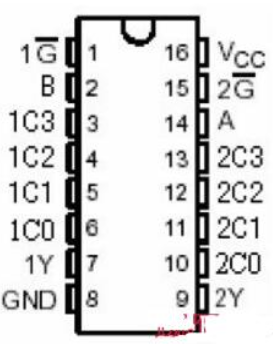


A、B译码地址输入端

G1、G2使能端（低电平有效）

Y0～Y3译码输出端（低电平有效）

2. 74LS153



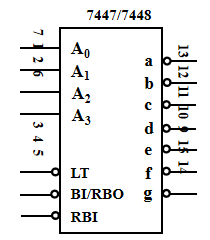
1G、2G为两个独立的使能端

B、A为公用的地址输入端

1C0～1C3和2C0～2C3分别为两个4选1数据选择器的数据输入端

Y1、Y2为两个输出端

3. 74LS48



BCD七段译码器输入A3A2A1A0是四位BCD码

—— 熄灭信号输入端，可控制数码管是否显示。

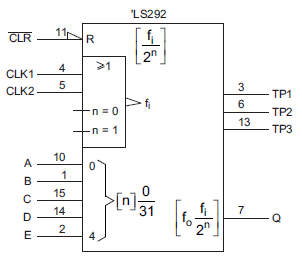
—— 试灯输入端，用来测试七段数码管的好坏。

—— 灭零信号输出端。

—— 灭零输入端，用来熄灭不需要显示的0。



4. 74LS292



EDCBA、CLK1、CLK2作为输入端，CLR作为使能端，Q、TP1、TP2、TP3作为输出端。输出端Q频率中的n由EDCBA决定

1. 实验内容及原理图

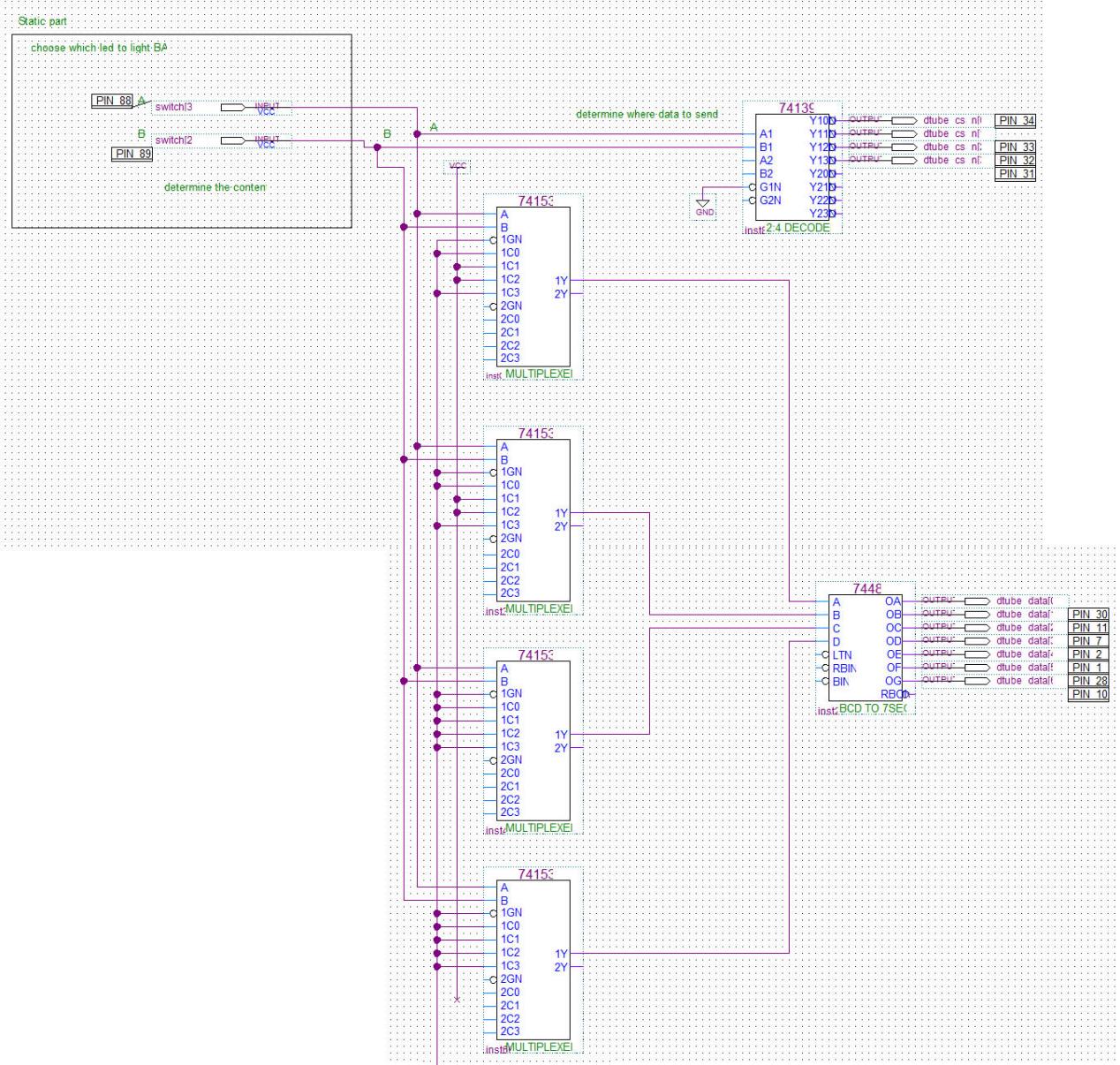
1. 静态显示

先使用拨码开关手动调整输入，拨码开关3、2分别作为输入A、输入B。四位LED数码管，每位显示的数字是提前设置好固定的，BA输入决定的是哪一位显示。在该位显示时，其他位全部是熄灭的。

整个电路主要分为2个部分。第一部分根据BA的输入，通过四个74153数据选择器分别输出4位用于显示数字的信号至7448 BCD七段数码管译码器，译码后得到各段数码管是否应该点亮的信号；第二部分根据BA的输入，通过74135 2-4译码器输出应该使能哪一位七段数码管。

最后可以得到如实验记录中的真值表一样的输出（学号末四位为0330）。

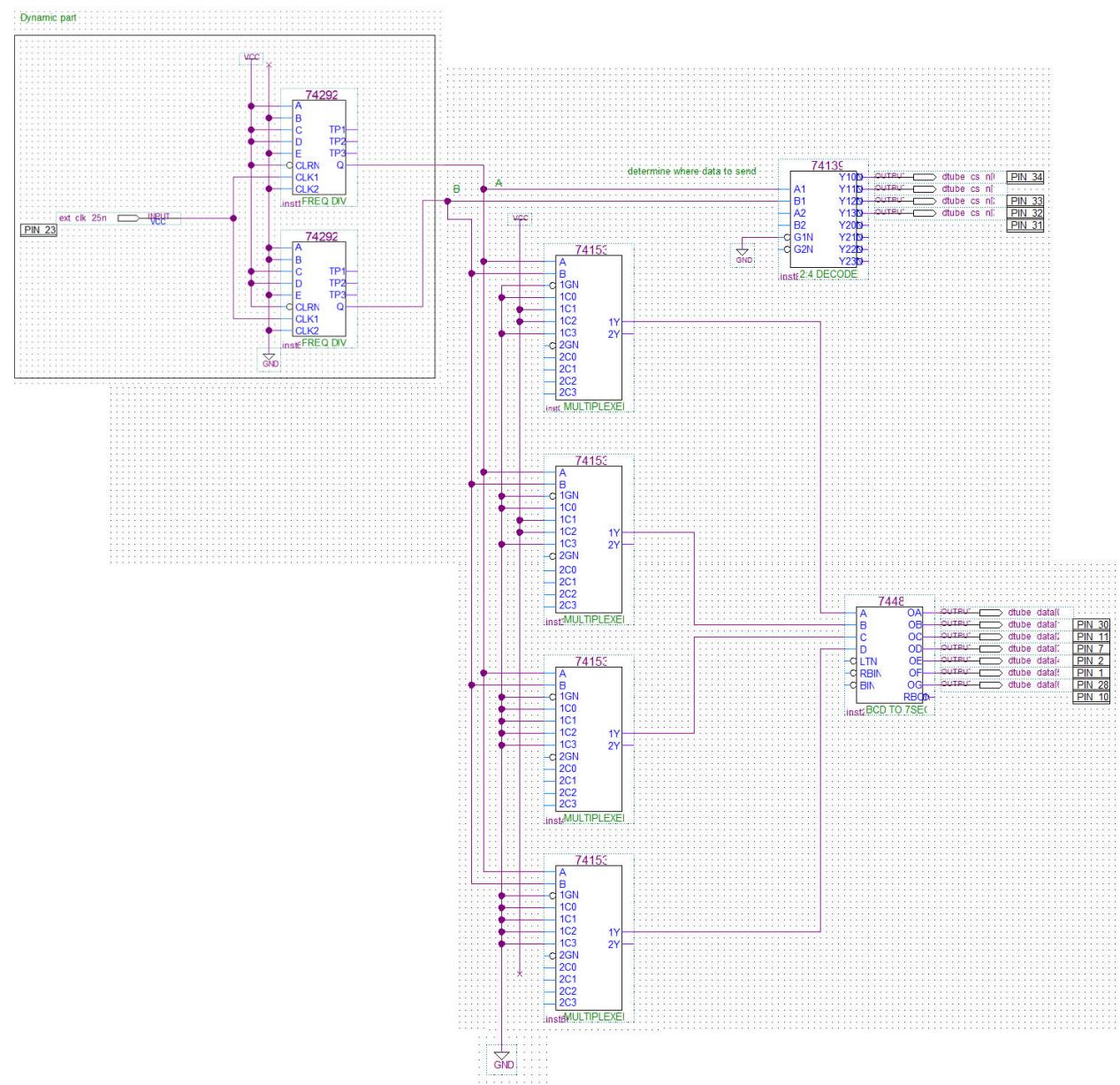
这样设计好调试完成后，要动态显示只要将BA输入的来源调整为时钟信号即可。



**2. 动态显示**

与上面静态显示的思路相同，用于显示的电路逻辑也一致，区别在于需要使用实验FPGA板自带的时钟信号进行动态扫描输出。其实相当于以很快的速度将上面拨码开关输入的信号BA在00、01、10、11之间循环切换，这样就可以利用人眼的视觉残留效应使得四位看起来是同时显示的。

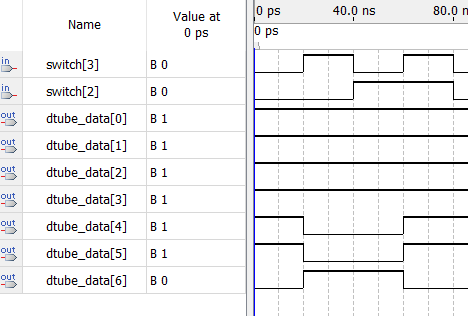
为了使得输入的BA在00、01、10、11之间循环切换，使用分频器分别对输入信号的频率除以212和213，A的频率设为B的两倍，这样就可以实现BA的循环切换。



1. 实验数据记录（真值表/时序波形图/状态转换图）

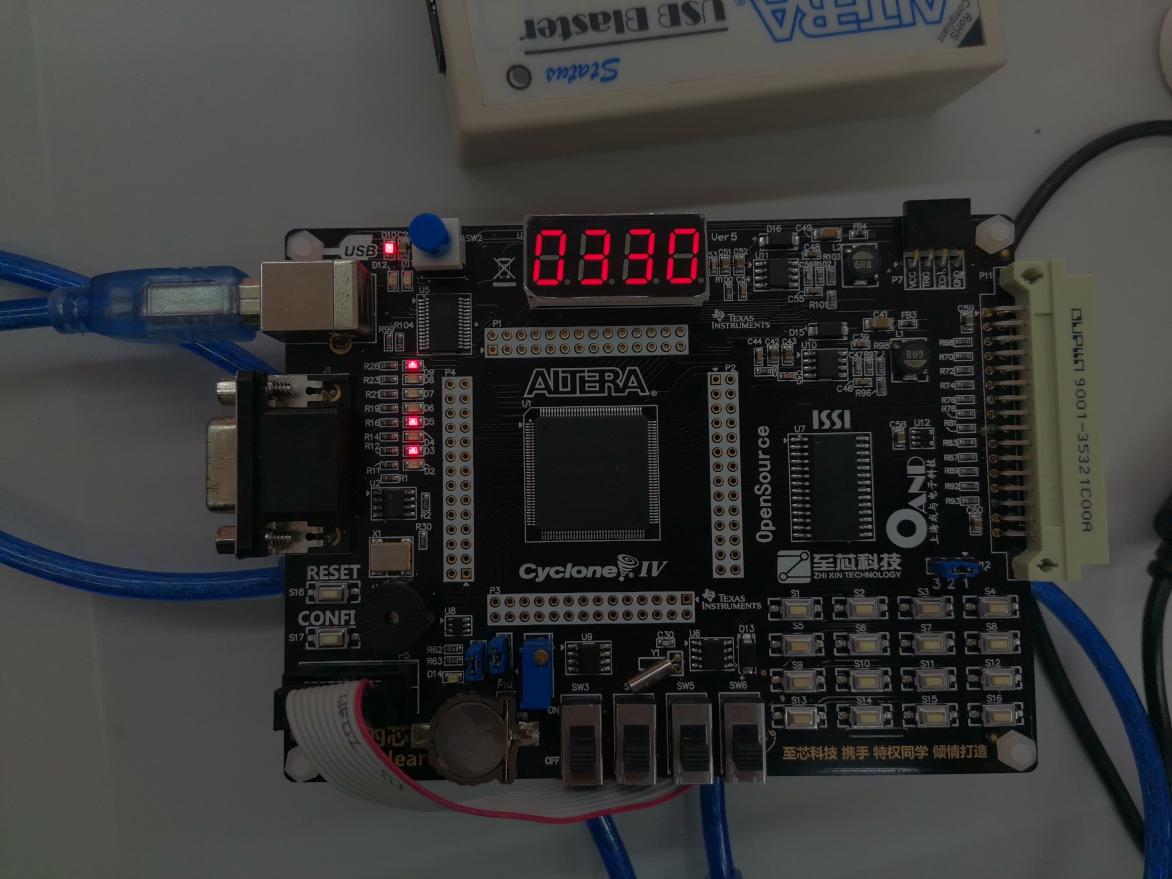
1. 静态显示

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| B | A | a | b | c | d | e | f | g | 显示结果 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 左1显示0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 左2显示3 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 左3显示3 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 左4显示3 |



**2. 动态显示**

最终FPGA实验板上可以得到正确的“0330”的显示结果。如下图所示



1. 思考题与总结

参阅了FPGA实验板的引脚定义文件，找到了其时钟信号是从ext\_clk\_25m端口发出的。又根据74292的官方功能说明书，搞清楚了它的分频使用方法。

一开始将分频器分别设为了216、217，由于切换频率过快，每一位七段数码管还未完全显示就切换到了下一位，使得整个显示非常晃眼，频闪非常高。因此，将分频器的分频设为212、213，显示非常完美，肉眼已经观察不到频闪了。

可见，在硬件的电路设计时，往往是不可能一次就达到最佳效果的。即使有时理论上分析可以达到最佳效果，由于硬件有细微的特性差别，最终结果也会不符合预期。因此，需要经过多次“调整=>观察输出=>分析结果=>重新调整”的流程，以求最终结果达到令人满意的效果。