**云南大学信息学院2019年至2020年下学期**

**《数字电路与逻辑设计实验》实验报告**

**实验名称：** 组合逻辑电路（半加器全加器及逻辑运算） **教师：** 官铮

**学号： 20201060330 姓名： 胡诚皓 序号： 12**

**上课日期： 2022年3月21日 班级： 2020级计科周一1、2节**

1. **实验器材（芯片类型及数量）**

7400 二输入端四与非门，7486 二输入端四异或门，7454 四组输入与或非门

1. **实验原理**

**1.半加器**

在数学系统中，二进制加法器是基本部件之一。半加器就是只求本位的和，暂不管低位送来的进位数。其中，A和B是相加的两个数，S是半加和数，C是进位数。

由逻辑状态表可写出逻辑式：



**2. 全加器**

当多位数相加时，半加器可用于最低位求和，并给出进位数。第二位的相加有两个待加数和，还有一个来自前面低位送来的进位数。这三个数相加，得出本位和数（全加和数）和进位数，即“全加”

由逻辑状态表可写出逻辑式：



1. **实验内容及原理图**
2. 完成与非门、异或门、与或非门逻辑功能测试。
3. 测试由异或门和与非门组成的半加器的逻辑功能。

根据半加器的逻辑表达式可知，半加器和位Y是A、B的异或而进位Z是A、B相与，故半加器可用一个继承异或门和两个与非门构成如图2.1。



图2.1 半加器电路结构图

1. 按照图2.1完成电路连接。
2. 按照表2.1改变A、B状态，并填表。
3. 测试全加器的逻辑功能。



图2.2 全加器电路结构图

1. 写出图2.2的逻辑功能表达式（Y Si Ci）

****

1. 根据逻辑功能表达式列出真值表
2. 按原理图选择与非门并接线测试，将结果记入表2.2。
3. 用异或、与或非门和与非门实现全加器的逻辑功能。

全加器可以用两个半加器和两个与门一个或门组成，在实验中，常用一块双异或门、一个与或非门和一个与非门实现。

1. 画出用异或门、与或非门和与非门实现全加器的逻辑电路图，写出逻辑表达式。



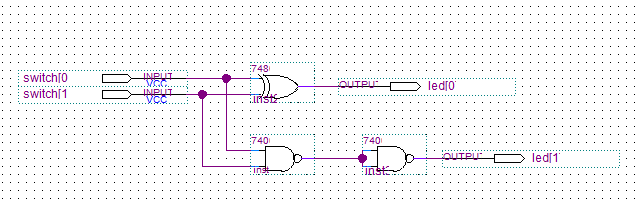


1. 找出异或门、与或非门和与非门器件按自己画的图接线。接线时注意与或非门中不用的与门输入线接地。
2. 按表2.2完成真值表。

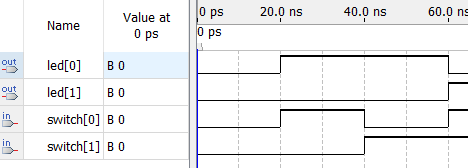
**四、实验数据记录（真值表/时序波形图/状态转换图）**

1. 半加器

电路图



仿真波形图



实物图

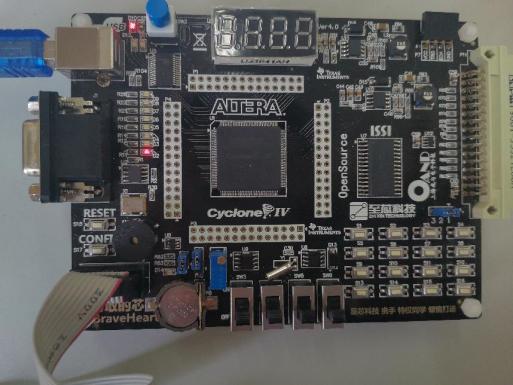
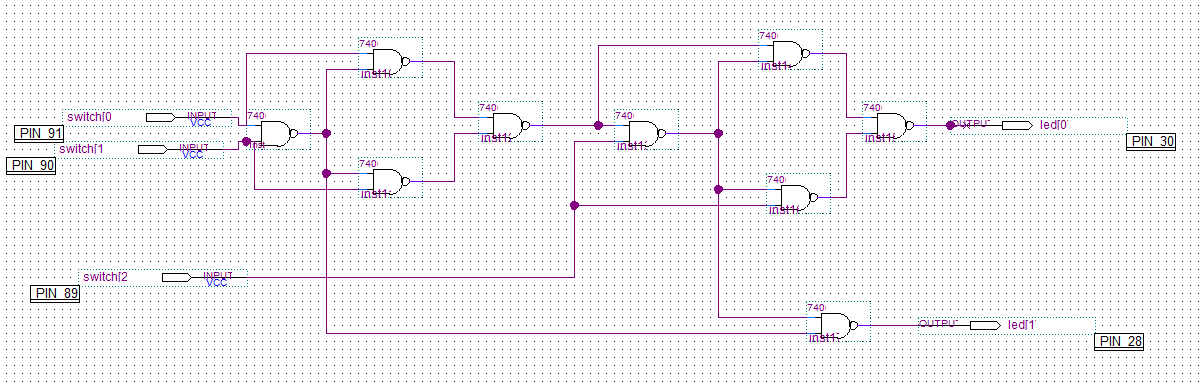
****

表2.1 半加器真值表

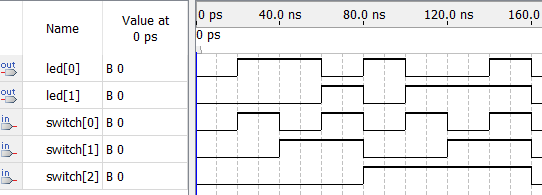
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输入 | A | 0 | 0 | 1 | 1 |
| B | 0 | 1 | 0 | 1 |
| 输出 | Y | 0 | 1 | 1 | 0 |
| Z | 0 | 0 | 0 | 1 |

2. 全加器

电路图



仿真波形图



实物图

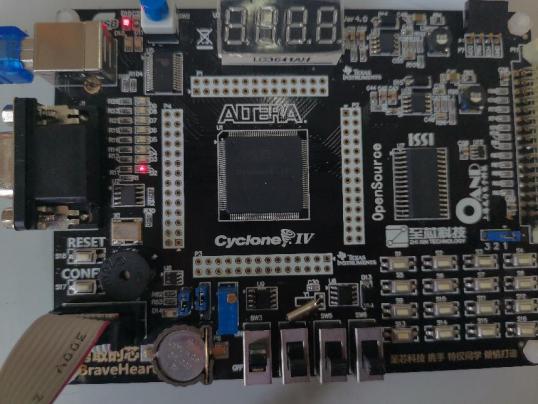
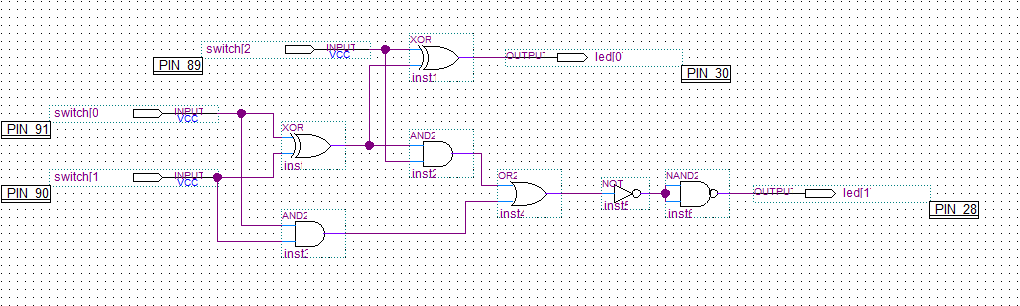


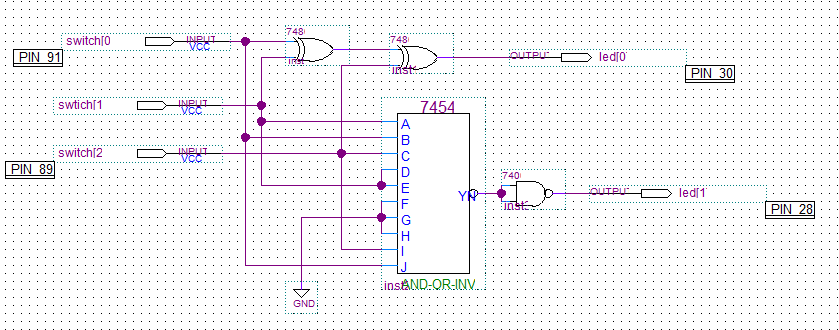
表2.2 全加器真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Ai | Bi | Ci-1 | Si | Ci |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

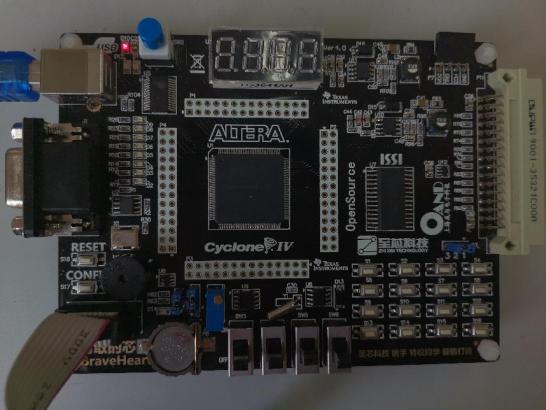
3. 异或、与或非、与非门设计的全加器

电路图（上图为基本逻辑门实现，下图为使用7454模块实现，结果相同）

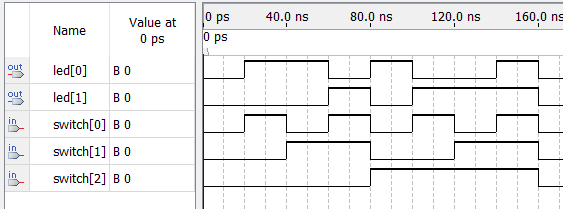




实物图



仿真波形图



真值表与表2.2相同

**五、总结**

学习了半加器和全加器的使用方法，并使用两种门电路实现了全加器。课上时间比较紧张，应提前在Quartus上画好电路图以便在课上直接进行实践部分的操作。

**思考题：使用半加器、全加器实现一个四位二进制的加法电路**

图中A1、A2、A3、A4为输入，即最终实现这四个二进制相加，C3、C4、S4为从低到高位的输出，即计算结果为 (S4 C4 C3)2

