**云南大学信息学院2019年至2020年下学期**

**《数字电路与逻辑设计实验》实验报告**

**实验名称：** 小规模组合逻辑电路的设计 **教师：** 官铮

**学号： 20201060330 姓名： 胡诚皓 序号： 12**

**上课日期： 2022年4月4日 班级： 2020级计科周一1、2节**

1. **实验器材（芯片类型及数量）**

FPGA开发套件及软件开发环境

74LS139 2-4线译码器

74LS153 双4选1数据选择器

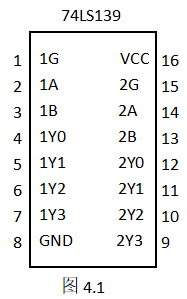
74LS00 二输入四与非门

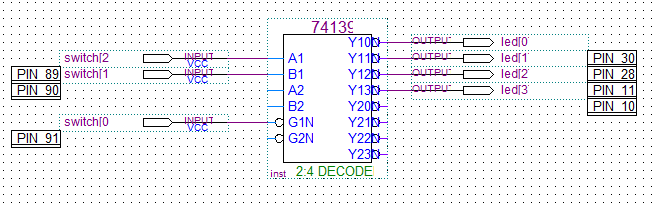
1. 实验原理

1. 实验内容及原理图

1. 译码器功能测试

将74LS139译码器按图4.1引脚说明图接线，按表4.1输入电平分别置位，填写功能表





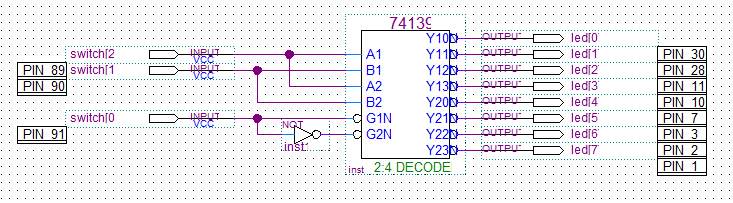
2. 译码器转换

将2—4线译码器扩展为3—8线译码器

（1）画出转换电路图

（2）在开发环境下搭建电路并验证设计是否正确

（3）设计并填写该3—8线译码器功能表，画出输入输出波形



1. 实验数据记录（真值表/时序波形图/状态转换图）

1. 译码器功能测试

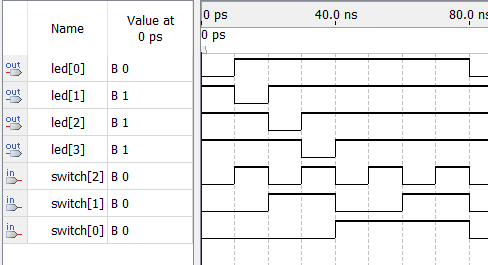


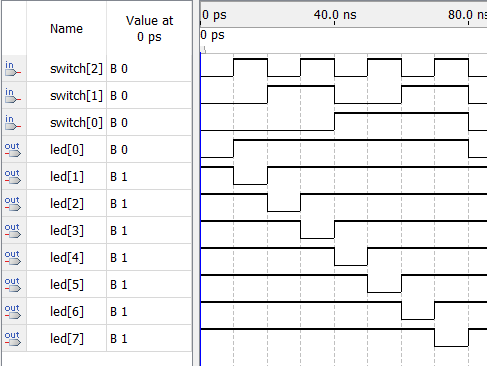
表4.1 译码器功能表

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | 输出 | | | |
| 使能 | 选择 | |
| G | B | A | Y0 | Y1 | Y2 | Y3 |
| H | X | X | 1 | 1 | 1 | 1 |
| L | L | L | 0 | 1 | 1 | 1 |
| L | L | H | 1 | 0 | 1 | 1 |
| L | H | L | 1 | 1 | 0 | 1 |
| L | H | H | 1 | 1 | 1 | 0 |

2. 译码器转换

3-8译码器功能表

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入  选择 | | | 输出 | | | | | | | |
| C | B | A | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 |
| L | L | L | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| L | L | H | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| L | H | L | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| L | H | H | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| H | L | L | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| H | L | H | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| H | H | L | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| H | H | H | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |



1. 总结