**云南大学信息学院2019年至2020年下学期**

**《数字电路与逻辑设计实验》实验报告**

**实验名称：** 小规模组合逻辑电路的设计 **教师：** 官铮

**学号： 20201060330 姓名： 胡诚皓 序号： 12**

**上课日期： 2022年4月4日 班级： 2020级计科周一1、2节**

1. **实验器材（芯片类型及数量）**

FPGA 开发套件及软件开发环境

74LS139 2-4线译码器

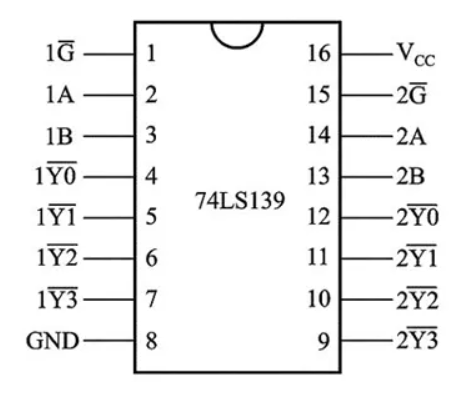
74LS153 双4选1数据选择器

74LS00 二输入四与非门

1. 实验原理

1. 74LS139

74LS139中有两个2-4线译码器，可对2位高位地址进行译码，产生4个片选信号，最多可外接4个芯片。当使能端为低电平，可将地址端的二进制编码在一个对应的输出端以低电平译出。

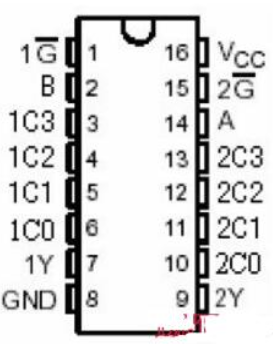


A、B译码地址输入端

G1、G2使能端（低电平有效）

Y0～Y3译码输出端（低电平有效）

2. 74LS153



1G、2G为两个独立的使能端

B、A为公用的地址输入端

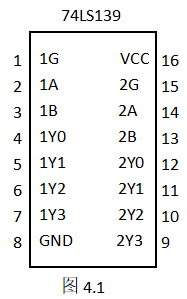
1C0～1C3和2C0～2C3分别为两个4选1数据选择器的数据输入端

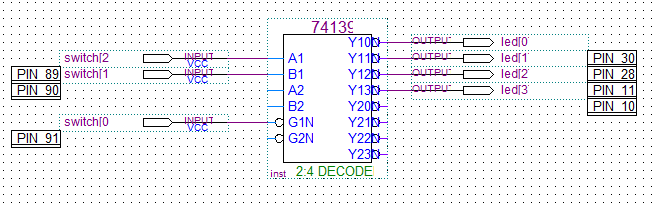
Y1、Y2为两个输出端

1. 实验内容及原理图

1. 译码器功能测试

将74LS139译码器按图4.1引脚说明图接线，按表4.1输入电平分别置位，填写功能表





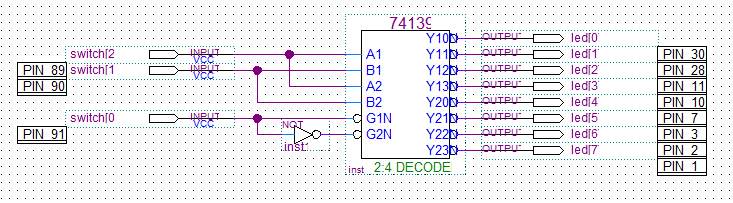
2. 译码器转换

将2—4线译码器扩展为3—8线译码器

（1）画出转换电路图

（2）在开发环境下搭建电路并验证设计是否正确

（3）设计并填写该3—8线译码器功能表，画出输入输出波形



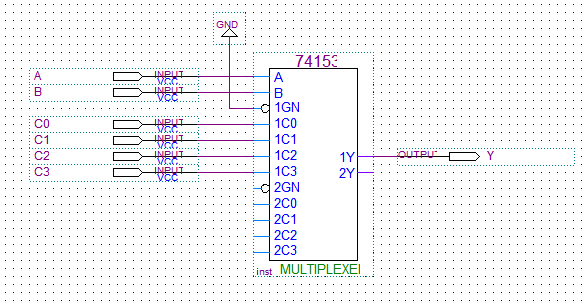
电路仿真与最终的功能表见下面的实验数据记录

**3. 数据选择器的测试及应用**

（1）完成双4选1数据选择器74LS153功能测试；

（2）在仿真测试过程中，设置4个不同频率的数字脉冲信号作为数据输入，接到数据选择器4个数据输入端，将选择端置位，使输出端分别观察到4种不同频率脉冲信号。根据观察结果填写表4.2。

分析上述实验结果并总结数据选择器的作用



**数据选择器的作用：**

数据选择器根据给定的输入地址代码，从一组输入信号中选出指定的一个送至输出端，可以作为多个信号源之间的切换器使用。数据选择器可以作为选择器，把多个通道的数据传送到唯一的公共数据通道上去，实现数据选择功能的逻辑电路。在多路数据传送过程中，能够根据需要将其中任意一路选出来的电路。

**4. 中规模组合逻辑电路设计**

分别采用集成3－8译码器或四选一数据选择器完成一位全减器设计。

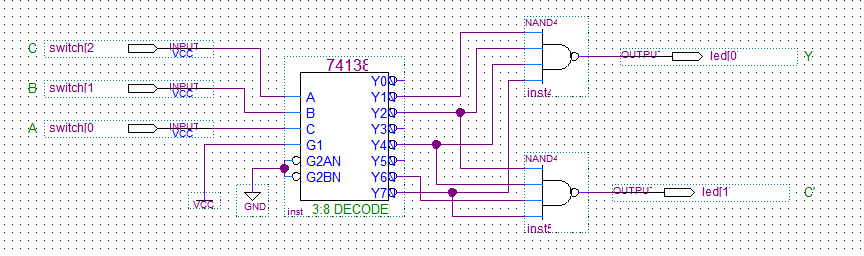
此处计算A-B，C是来自于低位的借位，先写出全减器的功能真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | 本位差Y | 是否借位C’ |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

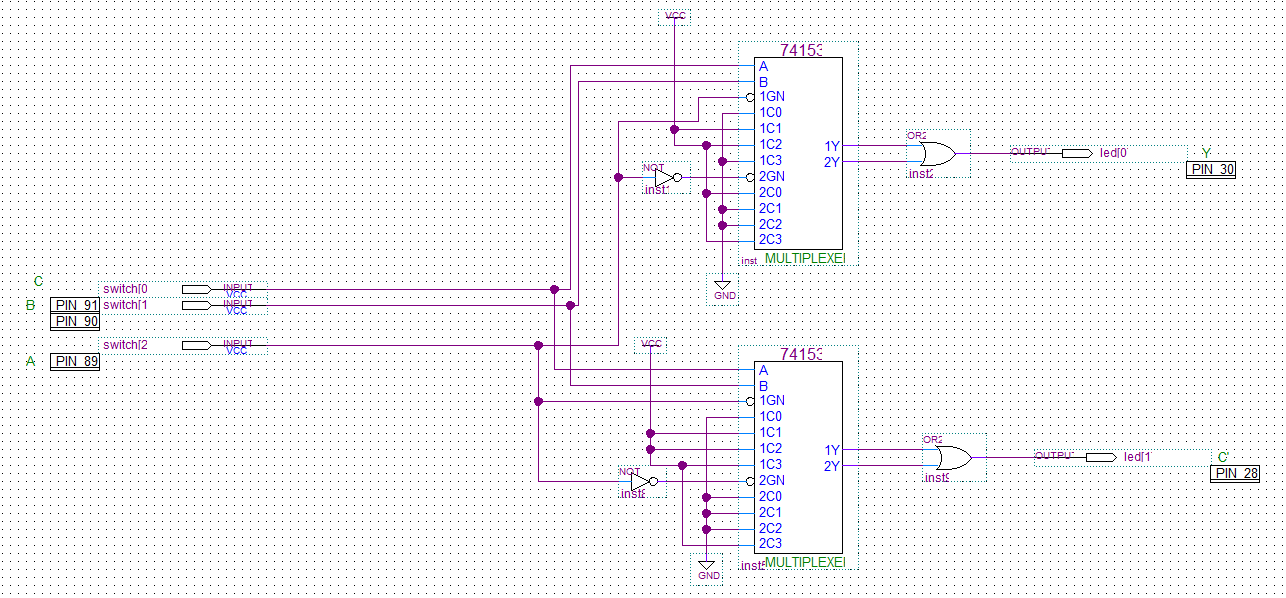
记本位差为Y，是否借位为C’，得到以下最小项逻辑表达式



使用74LS138译码器和两个与非门完成设计



使用74LS153双4选1数据选择器完成设计



1. 实验数据记录（真值表/时序波形图/状态转换图）

1. 译码器功能测试

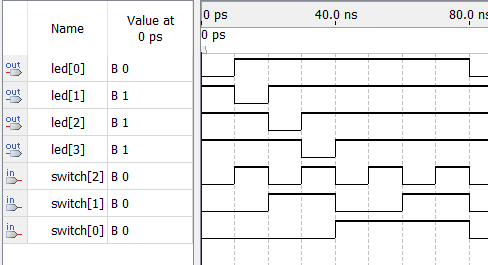


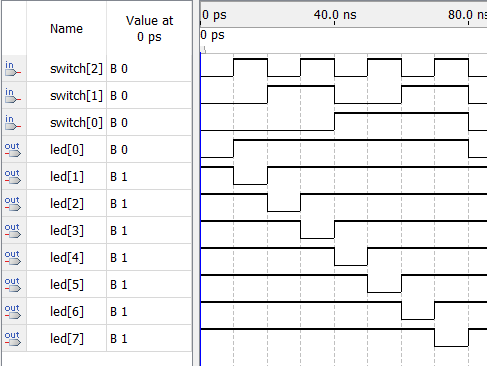
表4.1 译码器功能表

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | 输出 | | | |
| 使能 | 选择 | |
| G | B | A | Y0 | Y1 | Y2 | Y3 |
| H | X | X | 1 | 1 | 1 | 1 |
| L | L | L | 0 | 1 | 1 | 1 |
| L | L | H | 1 | 0 | 1 | 1 |
| L | H | L | 1 | 1 | 0 | 1 |
| L | H | H | 1 | 1 | 1 | 0 |

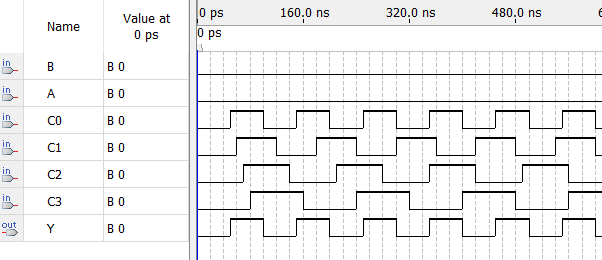
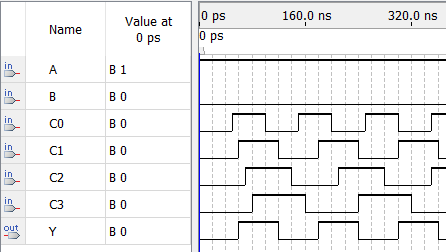
2. 译码器转换

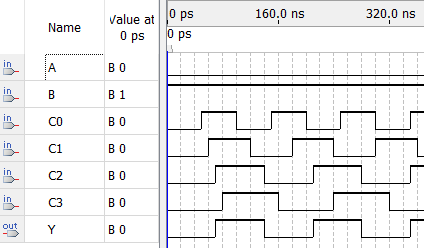
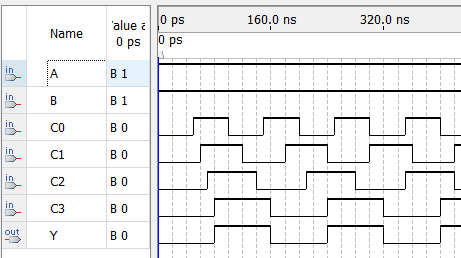
3-8译码器功能表

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入  选择 | | | 输出 | | | | | | | |
| C | B | A | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 |
| L | L | L | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| L | L | H | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| L | H | L | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| L | H | H | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| H | L | L | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| H | L | H | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| H | H | L | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| H | H | H | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |



**3. 数据选择器的测试及应用**

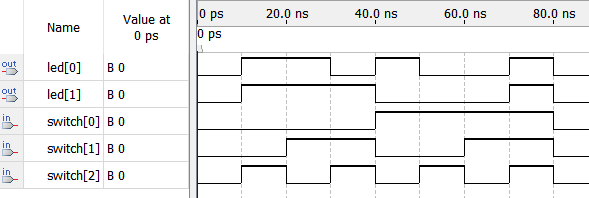
 

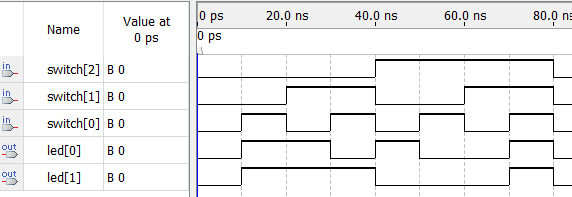
|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 选择端 | | 数据输入端 | | | | 输出  控制 | 输出 |
| B | A | 1C3 | 1C2 | 1C1 | 1C0 |  | Y |
| X | X | X | X | X | X | 1 | L |
| 0 | 0 | X | X | X | 1/0 | 0 | 1/0 |
| 0 | 1 | X | X | 1/0 | X | 0 | 1/0 |
| 1 | 0 | X | 1/0 | X | X | 0 | 1/0 |
| 1 | 1 | 1/0 | X | X | X | 0 | 1/0 |

**4. 中规模组合逻辑电路设计**

使用译码器完成的设计的波形图，switch[0]为A、switch[1]为B、switch[2]为C，led[0]为Y、led[1]为C’

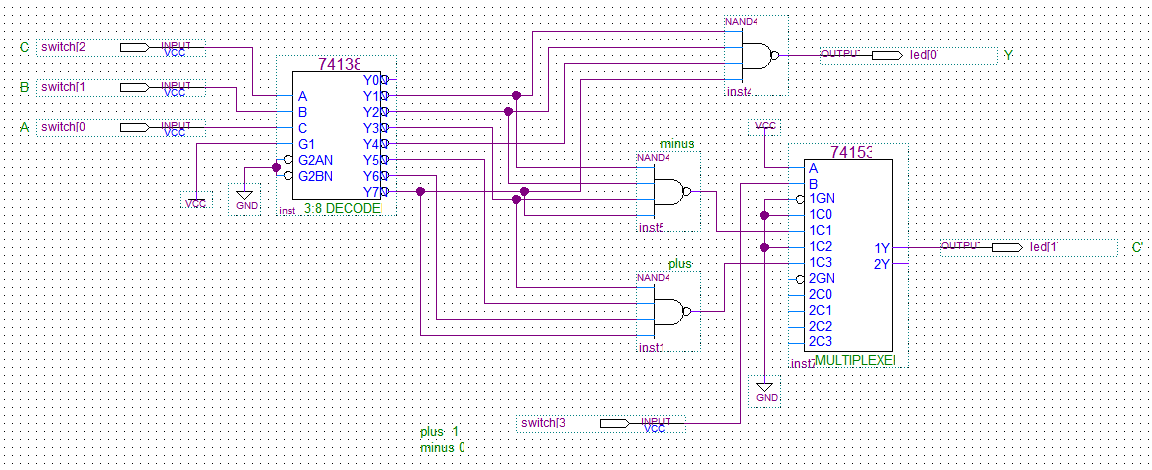
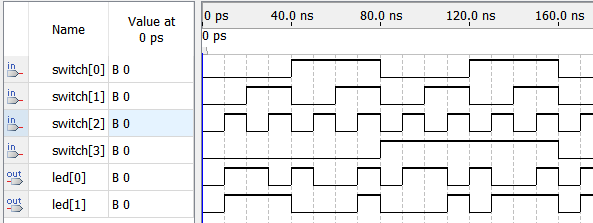


使用数据选择器完成设计的波形图，switch[2]为A、switch[1]为B、switch[0]为A，led[0]为Y、led[1]为C’



1. 思考题与总结
2. 思考题
3. 设计一个可以切换全减器或全加器功能的器件
4. 额外使用一位D输入来区分需要使用的是全减器还是全加器的功能即可，此处使用0标识全减器、1标识全加器，显然有以下真值表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| D | A | B | C | 本位差/和Y | 是否借/进位C’ |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 |

1. 显然，对于本位的结果，全减器和全加器是相同的。也就是说，只要对借位/进位的C’位进行“数据选择”即可。在下面的设计中，使用74LS153内的一片数据选择器，其中A始终接1，B接用于切换的输入D。在下面设计中的74LS153来说，输入为(01)2时，输出的是全减器的借位；输入为(11)2时，输出的是全加器的进位。那么，把全减器的借位输出接到C1，全加器的进位输出接到C3即可。
2. 
3. 
4. **总结**

本次实验使用了译码器和数据选择器，通过设计电路的实践，更加深刻地理解了译码器和数据选择器的用途。译码器配合与非门可以作为最小项表达式的实现器件，数据选择器可以作为多个不同信号源的切换器，十分实用。

在实现某个功能时，先将功能真值表写出，再利用卡诺图进行化简以得到最简的最小项表达式。根据最小项的下标连接输出端，每个要连接的输出端对应一个最小项，由于最小项表达式中是与非式，且译码器的输出是低电平有效，将输出连接到与非门上就可以得到要实现的最小项表达式的结果。