**云南大学信息学院2019年至2020年下学期**

**《数字电路与逻辑设计实验》实验报告**

**实验名称：** 触发器基础 **教师：** 官铮

**学号： 20201060330 姓名： 胡诚皓 序号： 12**

**上课日期： 2022年5月9日 班级： 2020级计科周一1、2节**

1. **实验器材（芯片类型及数量）**

双踪示波器

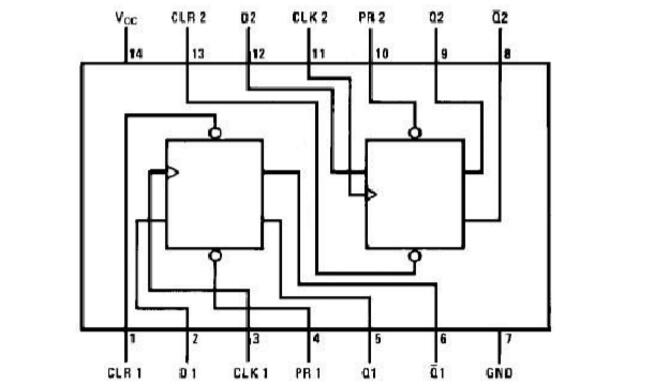
74LS74 双D触发器

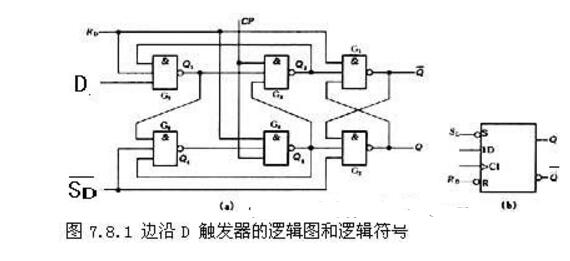
74LS112 双J-K触发器

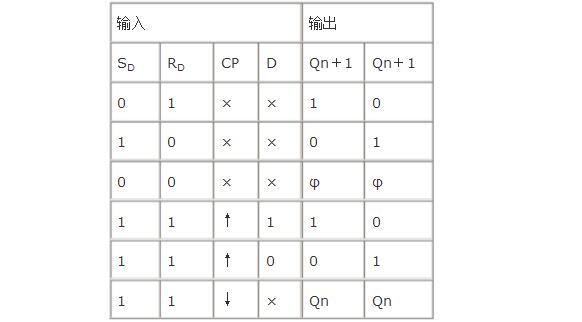
74LS00 二输入四与非门

1. 实验原理

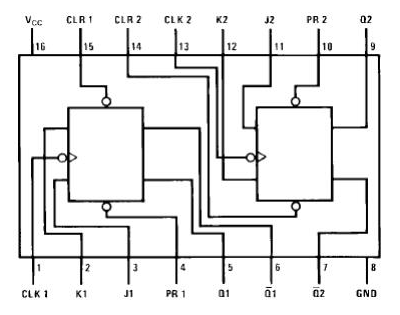
1. 74LS74 双D触发器

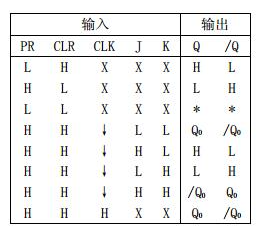




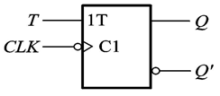


2. 74LS112 双J-K触发器





3. T’触发器



|  |  |  |
| --- | --- | --- |
| T | Q | Q’ |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

T′触发器主要功能是计数，也可以实现对时钟周期的二分频。

CP=0时，处于维持状态；CP=1时，次态与现态相反，即触发器翻转。特性方程为Qn+1=(Qn)’

1. 实验内容及原理图

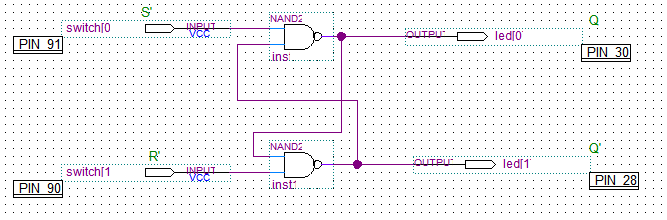
1. 基本R-S 锁存器功能测试

两个与非门首尾相连构成基本R-S锁存器的电路如图所示。

（1）试按下面的顺序在输入端加信号：

 ; ; ; 

观察并记录锁存器的Q和Q非端的状态，将结果填入表6.1中，并说明在上述各种输入状态下，R-S 锁存器执行的是什么功能。



（2）当、都接低电平时，观察、端的状态，当、同时由低电平跳为高电平时，观察、端的状态，重复3-5次看、的状态是否相同。根据观察结果，说明基本R-S触发器“不定”状态的含义。

状态不同。都S’、R’接低电平时，Q、Q’均为高电平。S’、R’同时跳为高电平时，输出端的值取决于元件内部电路实际的反应速度。若Q端对应的与非门先输出1，那么Q’就对应了0；同样若Q’端对应的与非门先输出1，那么Q就对应了0。

2. D触发器功能测试

双D型正边沿维持-阻塞性触发器74LS74中端为异步置1端，为异步清0端。CP为时钟脉冲端。

1. 分别在、端加低电平，观察并记录*Qn*、*Qn+1*端的状态。

*Sd’*加低电平时，输出*Qn*=0、*Qn+1*=1；*Rd’*加低电平时，输出*Qn*=1、*Qn+1*=0

1. 令、端为高电平，D端分别为高、低电平，观察CP为0、上升沿、1、下降沿时Q端状态的变化。

D加高电平时（置Q初始为0）：CP为0、1、下降沿时，Q不变；在上升沿时，Q变为1。

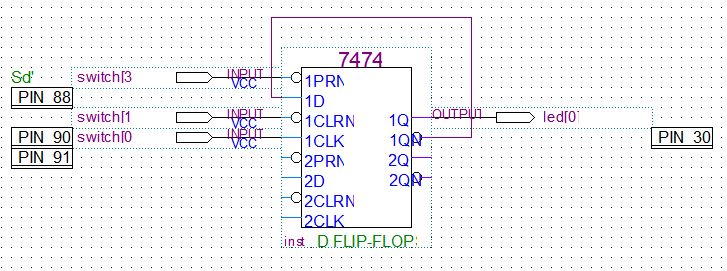
D加低电平时（置Q初始为1）：CP为0、1、下降沿时，Q不变；在上升沿时，Q变为0。

1. 当==1、CP=0（或CP=1），改变D端信号，观察Q端的状态是否变化。整理实验数据完成表6.2

不会变化。由于初态不确定，仿真中显示均为叉。

（4）令==1、将D和相连，CP加连续脉冲，通过仿真观察时序波形图，并记录Q对于CP的波形

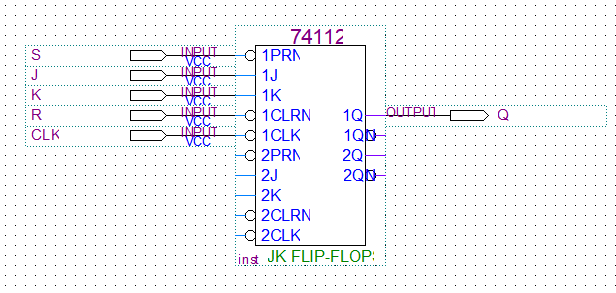
将Q初态置为1，发现Q在每个上升沿翻转。



**3. 负边沿J-K触发器74LS112芯片测试**

自拟实验步骤测试其功能，并将结果填入表6.3中。

若J=K=1时，CP端加连续脉冲，通过仿真观察Q-CP波形，和DFF的D和****端相连时观察的Q端的波形相比较，有什么不同？



J=K=1时，置Q初态为1，发现Q在每个下降沿都进行翻转。区别非常明显，在74LS74的DFF中，Q在每个上升沿翻转，而在74LS12的JKFF中，Q在每个下降沿翻转。

4. 触发器功能转换

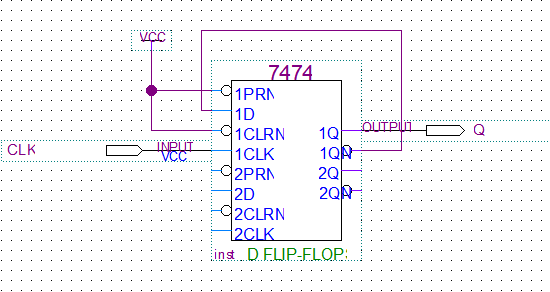
（1）将D触发器和J-K触发器 转换成T'触发器，列出表达式，画出实验电路图。

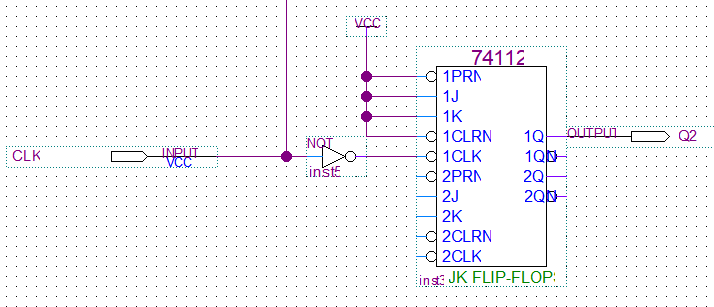
（2）接入连续脉冲，观察各触发器CP和Q端波形比较两者关系。

（3）自拟实验表格并填写。

T’触发器要求在上升沿，对Qn进行翻转，且只有一个CP作为输入。

由于74LS74本身就是上升沿触发，就不用处理输入；而74LS112是下降沿触发的，将输入做个反向就可以达到上升沿触发的效果。

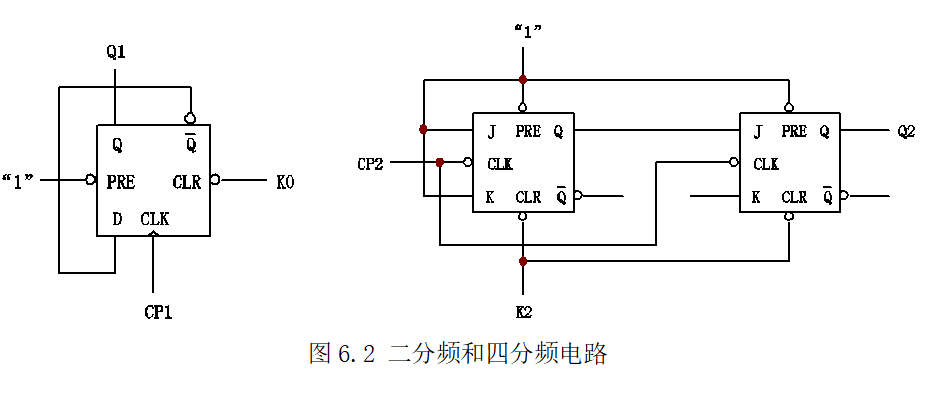


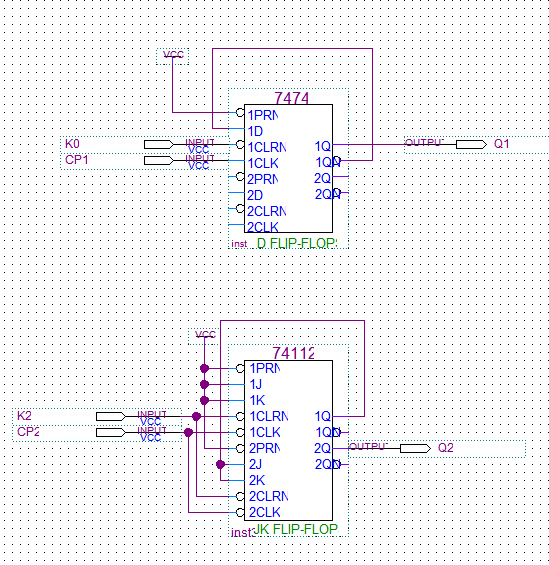


**5. 触发器的简单应用**

用触发器可以很容易地实现对输入脉冲信号的分频功能。图6.2中，用D触发构成的分频电路实现对CP1脉冲的二分频，用JK触发器构成的分频电路实现对CP2脉冲的四分频。按图接线，Q1和Q2分别接到2个发光二极管，CP1和CP2同时接到单脉冲的输出端。按动单脉冲按钮，观察Q1与CP1和Q2与CP2的对应关系，把观察的结果记录到自制的表中，根据表中的数据画出Q1、Q2与CP对应的波形图。

注意：在按下和释放单脉冲按钮的时刻，就应对Q1和Q2的状态变化进行观察。





可以观察到，对于D触发器组成的二分频电路，K0一开始为1，输出保持为0；直到K0为0，分频功能启动，输出脉冲频率为输入脉冲频率的一半，达到了“二”分频的效果。对于JK触发器组成的四分频电路，在K2为0后，开始分频，输出脉冲频率变为输入脉冲频率的四分之一。

1. 实验数据记录（真值表/时序波形图/状态转换图）

1. 基本R-S 锁存器功能测试

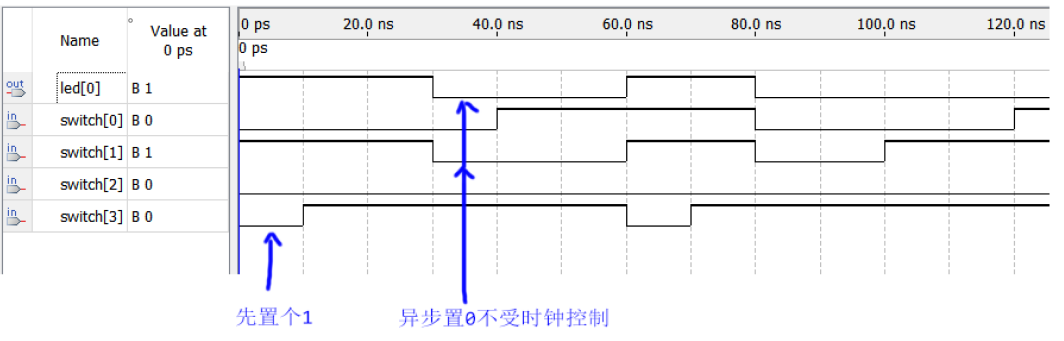
表6.1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  | 逻辑功能 |
| 0 | 1 | 1 | 0 | 置1 |
| 1 | 1 | 1 | 0 | 保持 |
| 1 | 0 | 0 | 1 | 置0 |
| 1 | 1 | 0 | 1 | 保持 |

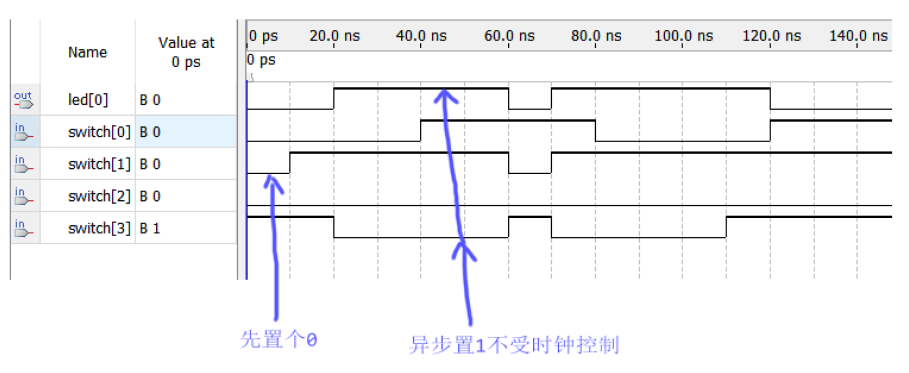
2. D触发器功能测试

（1）

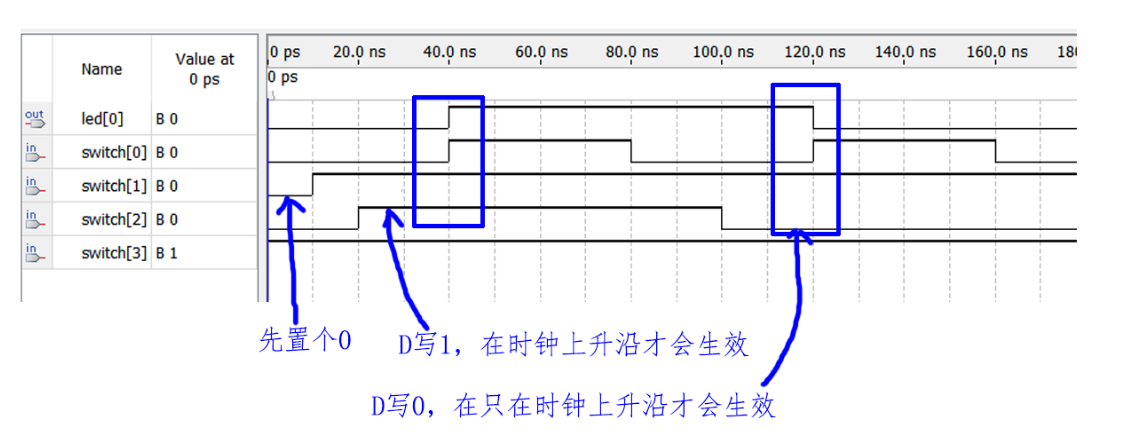
Rd’加低电平



Sd’加低电平



（2）



（3）

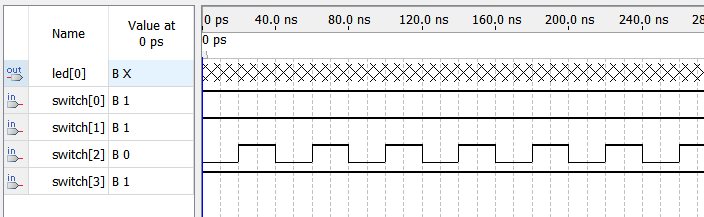
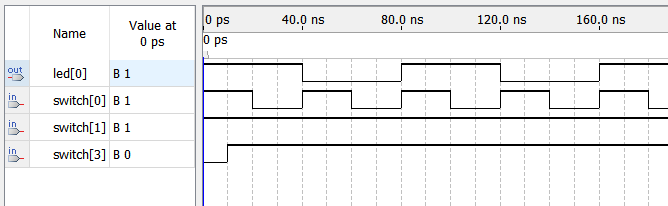


表6.2

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | *CP* | *D* | *Qn* | *Qn+1* |
| 0 | 1 | ╳ | ╳ | 0 | 1 |
| 1 | 1 |
| 1 | 0 | ╳ | ╳ | 0 | 0 |
| 1 | 0 |
| 1 | 1 | 🡩 | 0 | 0 | 0 |
| 1 | 0 |
| 1 | 1 | 🡩 | 1 | 0 | 0 |
| 1 | 0 |

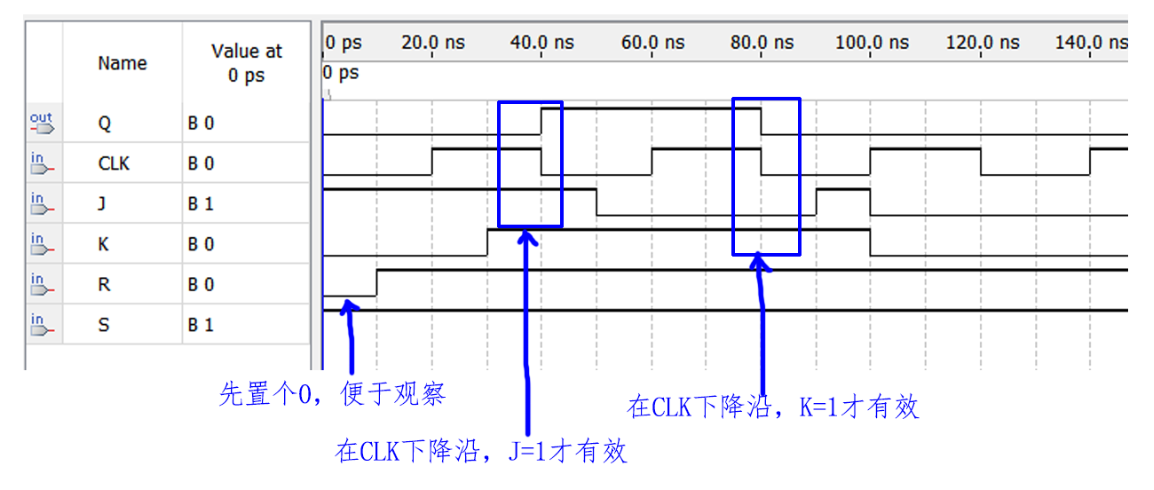
（4）

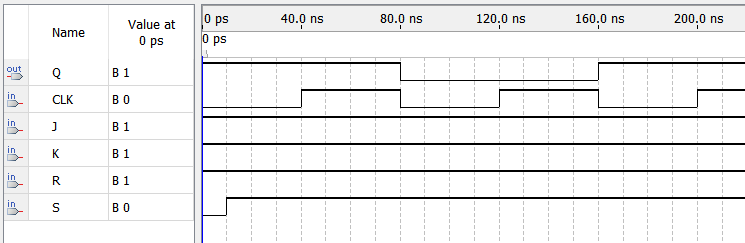


3. 负边沿J-K触发器74LS112芯片测试

表6.3

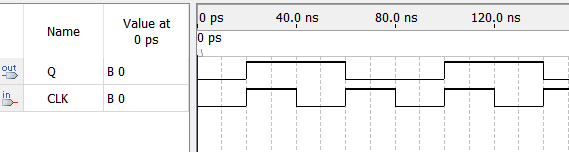
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  | CP | J | K | Qn | Qn+1 |
| 0 | 1 | ╳ | ╳ | ╳ | ╳ | 1 |
| 1 | 0 | ╳ | ╳ | ╳ | ╳ | 0 |
| 1 | 1 | 🡫 | 0 | ╳ | 0 | 1 |
| 1 | 1 | 🡫 | 1 | ╳ | 0 | 0 |
| 1 | 1 | 🡫 | ╳ | 0 | 1 | 1 |
| 1 | 1 | 🡫 | ╳ | 1 | 1 | 0 |



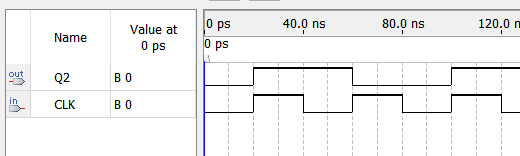


4. 触发器功能转换

D触发器改造的T’触发器的仿真波形图



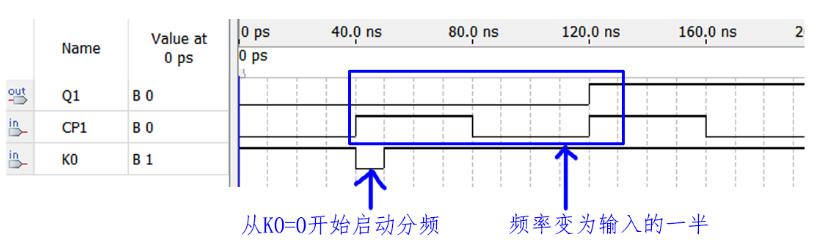
JK触发器改造的T’触发器的仿真波形图



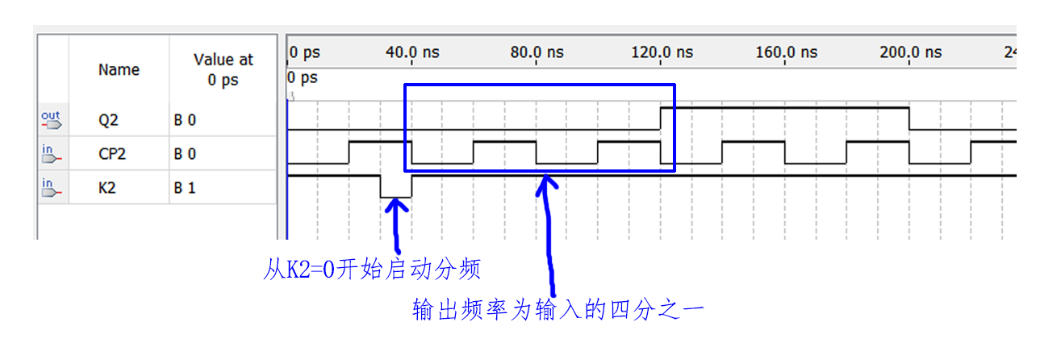
|  |  |  |
| --- | --- | --- |
| CP | Qn | Qn+1 |
| 0 | ╳ | Qn |
| 1 | ╳ | Qn |
| 🡫 | 0 | 1 |
| 🡫 | 1 | 0 |
| 🡩 | ╳ | Qn |

5. 触发器的简单应用

D触发器二分频电路波形图



JK触发器四分频电路波形图



1. 总结

模块化的74LS74中含有两个D触发器，都有异步置位端，并且这个芯片中的D触发器是上升沿触发的。74LS112中有两个JK触发器，也都有异步置位端，此芯片中的JK触发器是下降沿触发的。

边沿触发的触发器相对于普通的触发器有良好的消除噪声影响的效果。在最后一个实验题中分别将D触发器与JK触发器组成二分频与四分频的分频器，并使用R’异步置位端作为开启开关。

结合理论课上学的内容，对触发器的理解更为深刻，对特征方程的记忆更加深刻。虽然在理论课上也学了没有异步置位端的触发器的内部结构，但是通过实验，了解到了实际应用中，由于不需要额外特别多的成本，用的基本都是有异步置位端的。