**云南大学信息学院2019年至2020年下学期**

**《数字电路与逻辑设计实验》实验报告**

**实验名称：** 时序逻辑电路测试及研究 **教师：** 官铮

**学号： 20201060330 姓名： 胡诚皓 序号： 12**

**上课日期： 2022年5月16日 班级： 2020级计科周一1、2节**

1. **实验器材（芯片类型及数量）**

双踪示波器

74LS73 双J-K触发器 2片

74LS175 四D触发器 1片

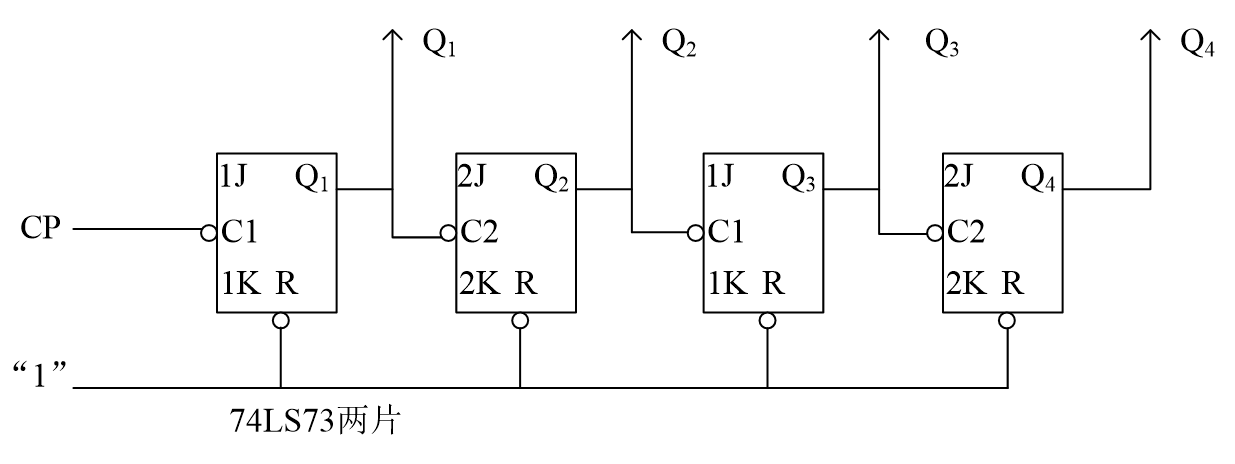
74LS00 二输入四与非门

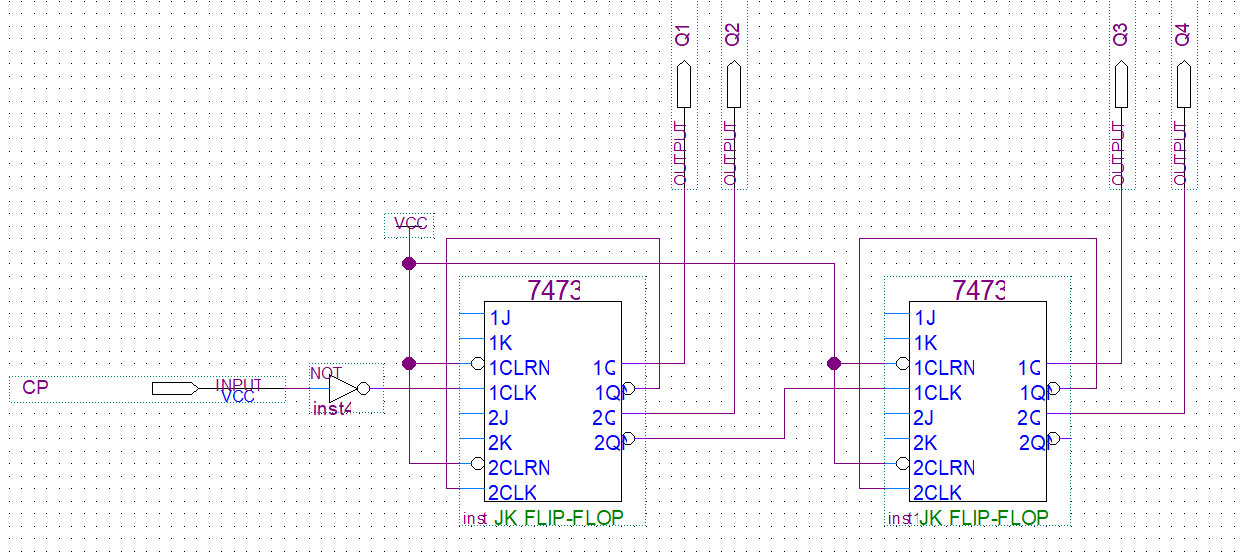
74LS10 三输入端三与非门

1. 实验原理
2. 实验内容及原理图

1. 异步二进制计数器

（1）按下图接线

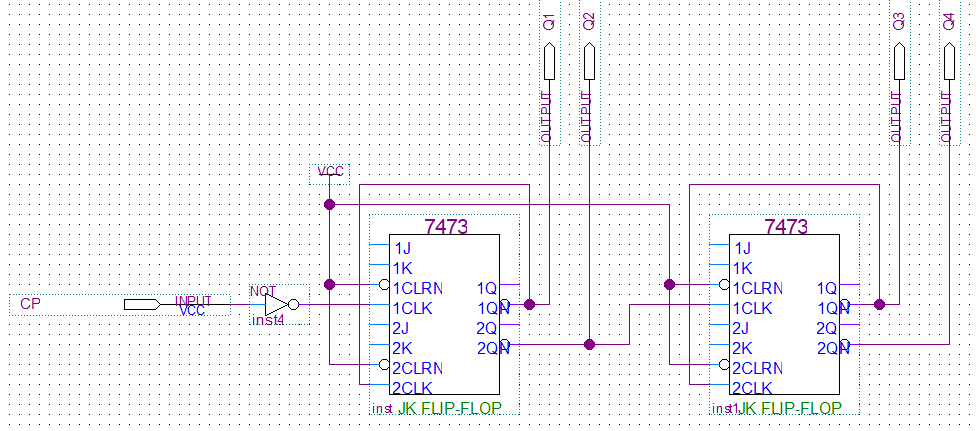


发现Quartus中的74LS73芯片的时钟信号是上升沿有效，因此对电路连线做了一些改动，将各级的输入取反，将低电平有效输出端作为后一级的输入。

（2）由CP端输入单脉冲，测试并记录Q1~Q4端状态及波形

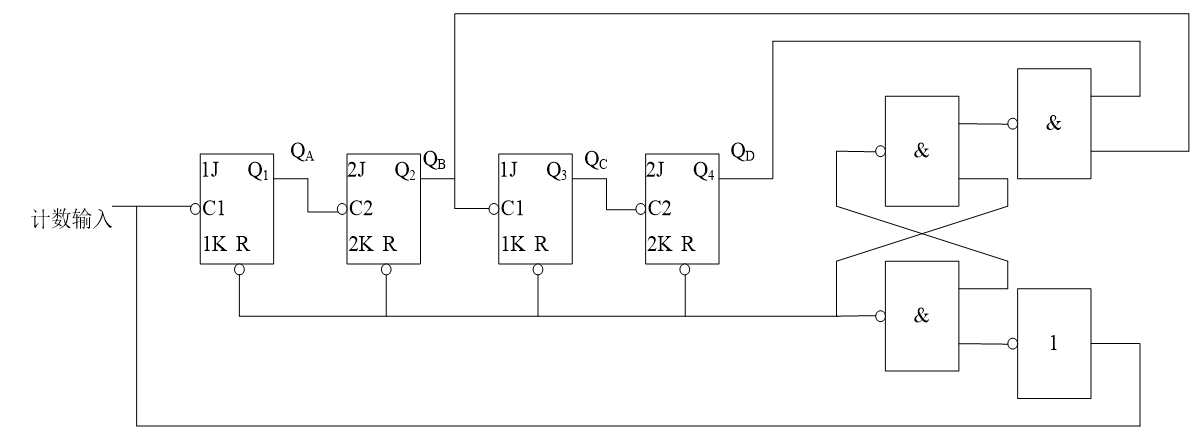
（3）将异步二进制加法计数改为减法计数。参考加法计数器，画出电路图，完成实验并记录结果。

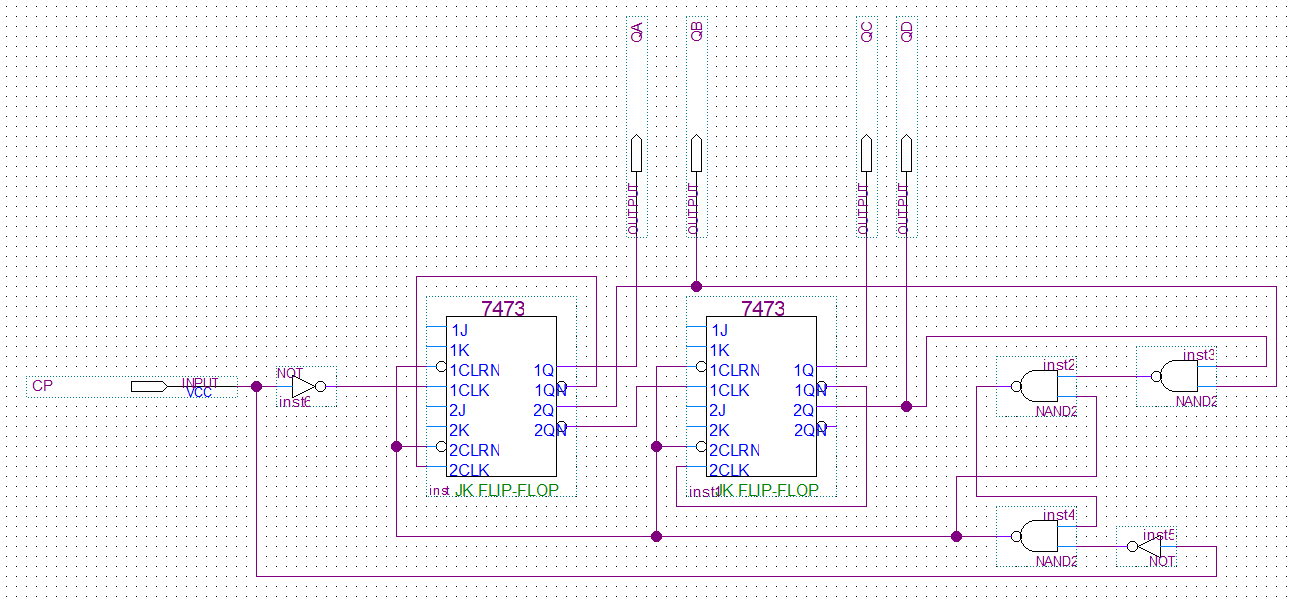
将输出端接到芯片的低电平有效输出即可



2. 异步二——十进制加法计数器

（1）按下图接线



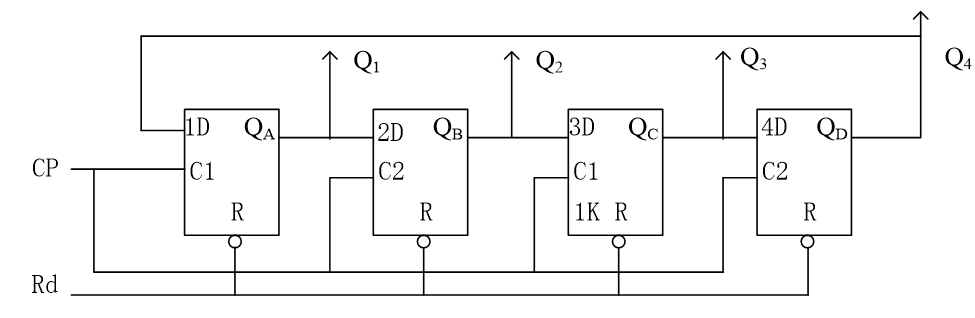


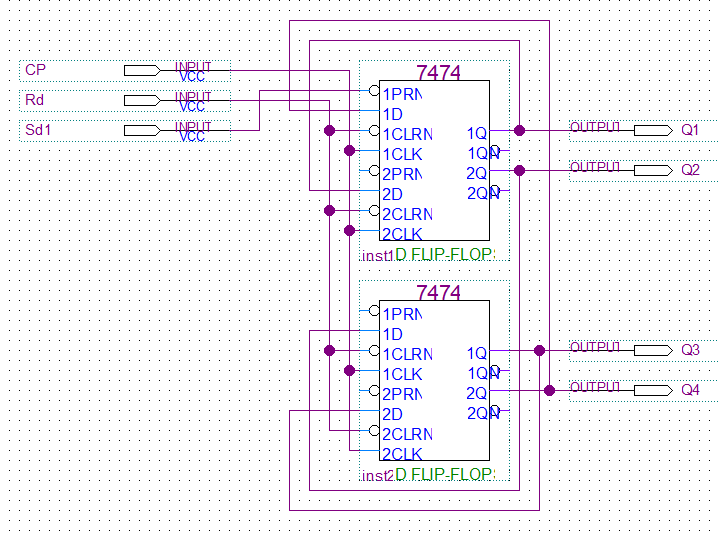
（2）QA、QB、QC、QD4个输出端分别接发光二极管显示，CP端接单脉冲画出CP、QA、QB、QC、QD的波形

可以观察到QDQCQBQA按0000、0001、0010、0011、0100、0101、0110、0111、1000、1001的顺序转变状态，在十进制下就是0~9的转变，实现了十进制的计数。

3. 自循环移位寄存器——环形计数器

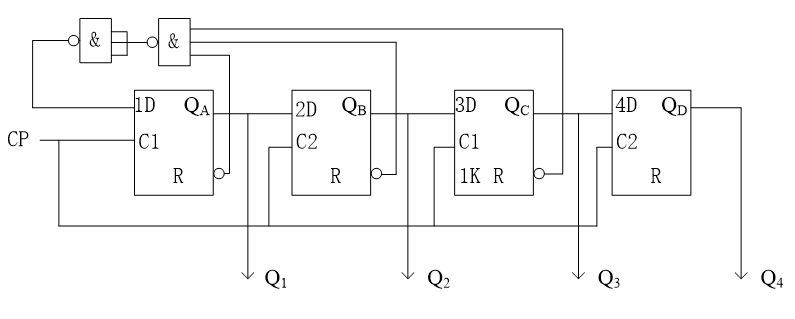
（1）按下图接线，将D，C，B，A置为1000，用单脉冲计数，记录各触发器状态。改为连续脉冲计数，并将其中一个状态为“0”的触发器置为“1”（模拟干扰信号作用的结果），观察计数器能否正常工作，分析原因

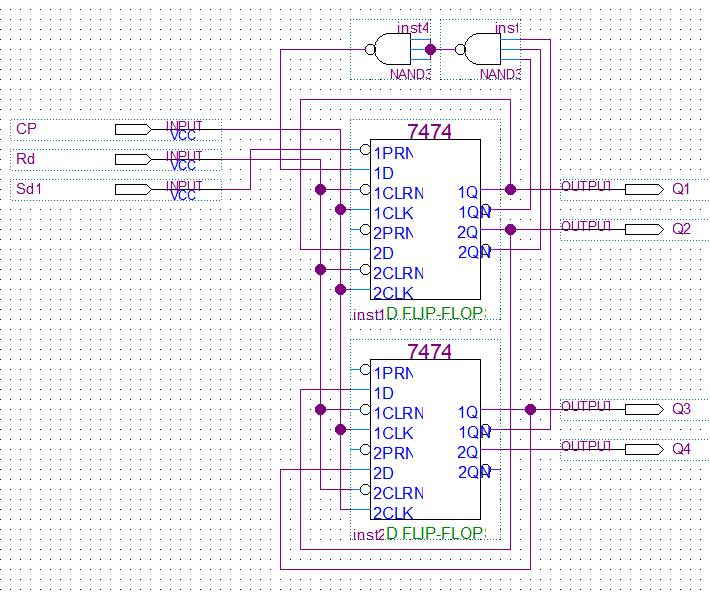




单脉冲信号即单脉冲信号是持续很长时间才突发一个脉冲信号，脉冲发出时间是不确定的。环形计数器的四位输出总是只有一位是1，在每次给入一个脉冲信号后，在该脉冲信号的上升沿，“1”的状态会按照Q1、Q2、Q3、Q4的顺序循环切换到下一个位置。中间置为1会干扰计数的循环，出现异常。

（2）按图4接线，与非门用74LS10三输入与非门重复上述实验，对比实验结果，总结关于自启的体会。



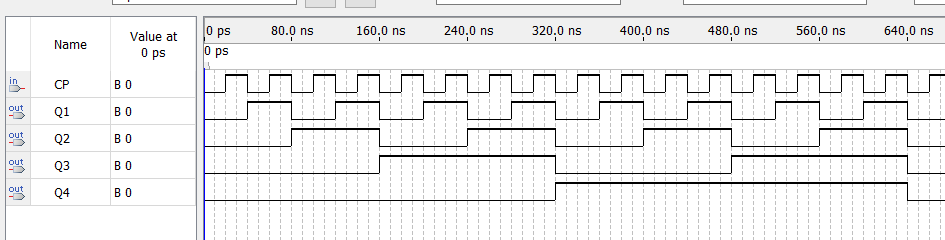


发现有自启的环形计数器在收到干扰后，只会被干扰一个循环周期，在之后的循环周期中会自动回复正常的计数循环。

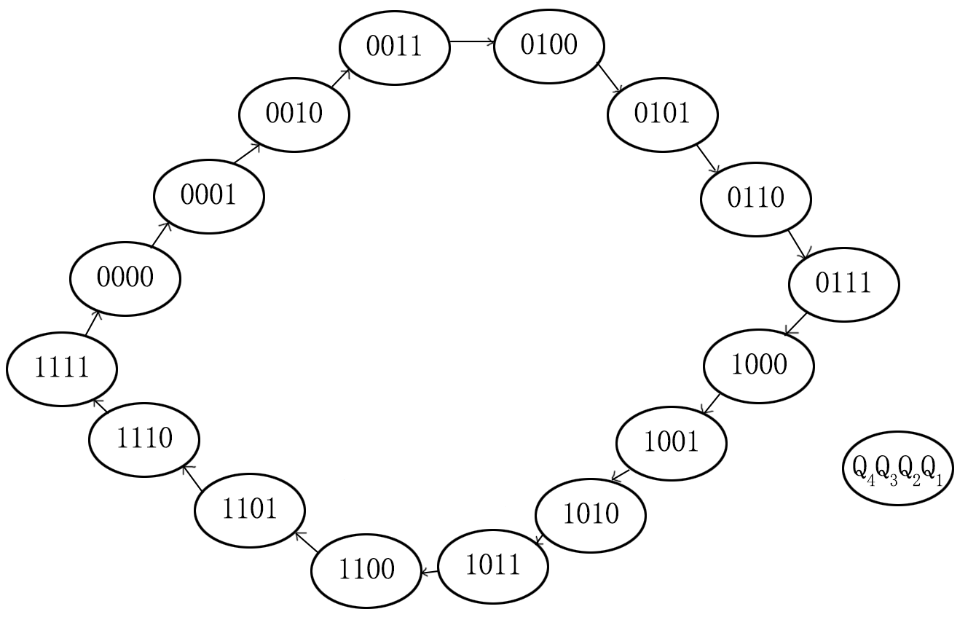
1. 实验数据记录（真值表/时序波形图/状态转换图）

1. 异步二进制计数器

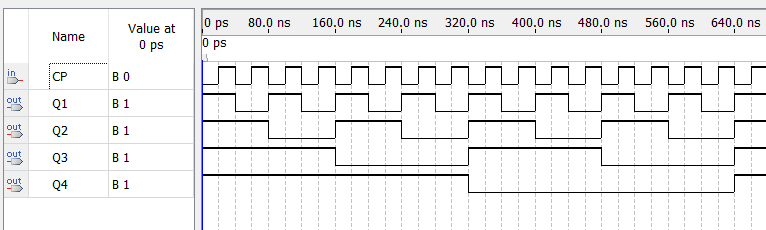
二进制加法计数器的时序图



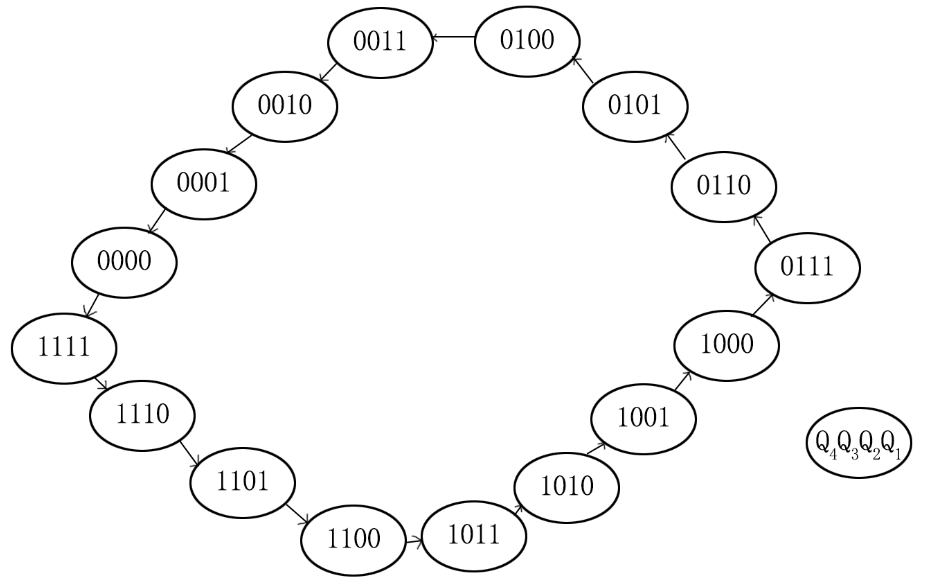
二进制加法计数器的状态转移图



二进制减法计数器的时序图

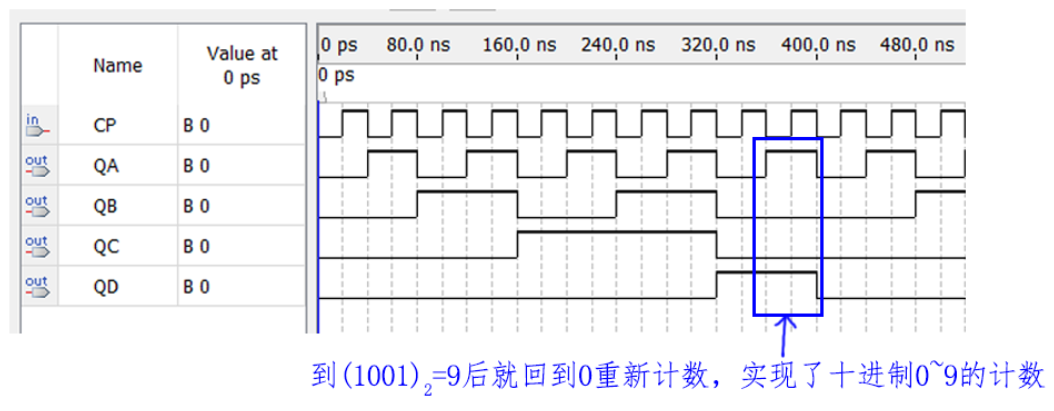


二进制减法计数器的状态转移图



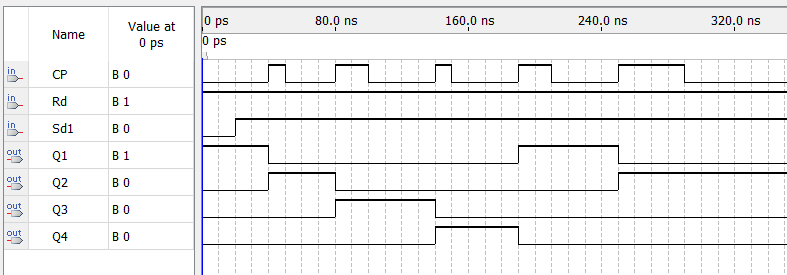
2. 异步二——十进制加法计数器

二——十进制加法计数器时序波形图

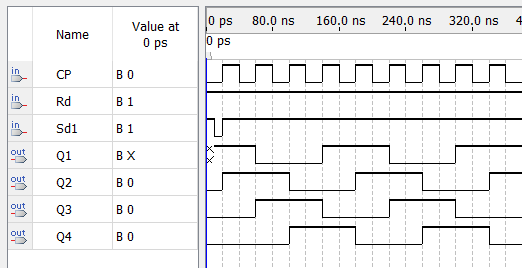


3. 自循环移位寄存器——环形计数器

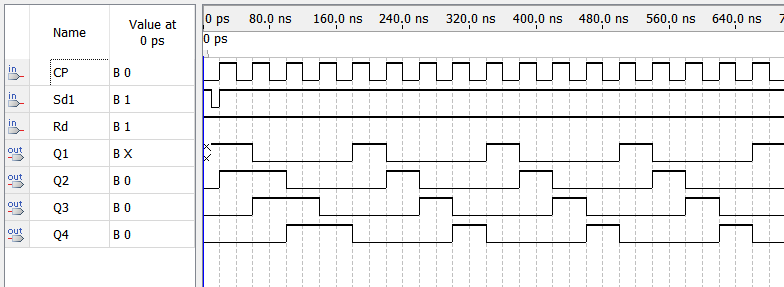
环形计数器在单脉冲信号下的时序波形图



环形计数器在连续脉冲信号下的时序波形图



带自启的环形计数器的时序波形图



1. 总结

在第二个实验题中，观察到所给电路原理图的JK触发器是下降沿有效的芯片，而74LS73芯片中的两个JK触发器都是上升沿有效触发的。将反馈信号从Q’接出，并在最初的CP输入上加个非门即可解决。

第三个实验题中，由于在仿真中无法对Q进行初始的置位，就将D触发器芯片换成74LS74并用触发器的置位端进行初始置位，但在第1小题中似乎导致了结果和预期的不同。这也同时说明了不带自启的环形计数器抗干扰能力弱，一旦有了一些噪声，就会进入无效循环；而第2小题中带自启的环形计数器看起来解决了这个问题，干扰信号只会时当前的一个循环周期成为无效循环。

计数器是后面实验的基础，通过本次实验，学会了利用触发器设计简单的计数器，为后面的实验做好了准备。