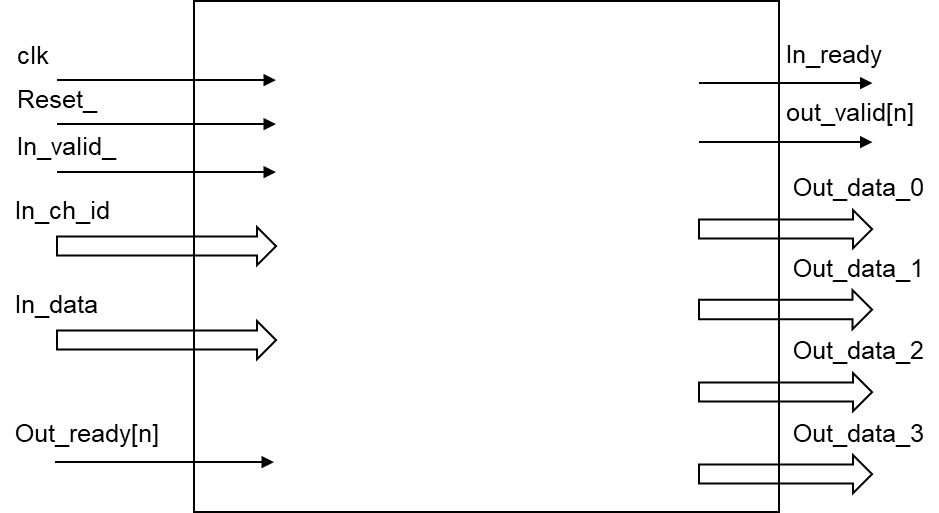
**1对4数据单向路由模块设计规范**

模块接口框图：



模块功能点描述：

1. 模块为同步设计，时钟上升沿采样
2. 同步复位设计
3. 1路数据输入端口
   1. 32bits数据位宽
   2. 2bits通道选择位宽
4. 4路数据输出端口
   1. 32bits数据位宽
5. 当in\_valid和in\_ready信号同时有效时，采样in\_data和in\_ch\_id
6. 根据in\_ch\_id的选择，将in\_data传输到对应的输出端口上（在out\_ready有效情况下不超过10 cycle）
7. 当out\_validx和 out\_readyx同时有效时，下级模块采样out\_datax
8. 允许拉低in\_ready信号延长in\_valid，in\_data和in\_ch\_id有效时间
9. 允许拉低out\_readyx延长对应输出通道信号有效时间
10. 模块至少需要缓存8个输入数据
11. 进阶设计：任意channel的ready为低不会影响其他channel的数据传递

模块功能安全需求：

1. 当模块内部出现一个点的永久故障（随机一个点出现stuck at 0/1）：
   1. 不影响模块的正常功能 或者
   2. 模块的检错信号在错误发生后的10个cycle内 或者 错误传递到output port时置位报错
   3. 故障可能出现在memory/combi logic/port/register等随机电路位置
   4. 故障可以开始出现在正常工作时的任意时刻，并永久持续
2. 当模块内部出现一个点的瞬时故障（随机一个点出现持续时间大于一个cycle，小于两个cycle的翻转）：
   1. 不影响模块的正常功能 或者
   2. 模块的检错信号在错误发生后的10个cycle内 或者 错误传递到output port时置位报错
   3. 故障可能出现在memory/register等随机电路位置

测试平台及用例要求：

1. 赛题包内提供基本功能测试平台及用例，用于对参赛者的设计进行基本功能点测试
2. 参赛者需要对功能测试平台及用例进行完善，达到对设计的完整功能验证
3. 参赛者需要建立测试平台的注错机制，对功能安全需求中描述的错误进行注入仿真
4. 参赛者需要建立注错仿真的结果检查机制，并按功能安全需求的要求对注错仿真结果进行分类（错误已纠正，错误已探知，错误未探知…）
5. 对不同类型的错误注入结果进行统计，并给出错误保护列表和概率（（错误已纠正数量+错误已探知数量）/错误总数）