



Ομάδα A10:

Γεώργιος Παγώνης : 03117030

Δημήτριος - Σταμάτιος Μπούρας : 03117072

8ο εξάμηνο - ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ VLSI

ΣΗΜΜΥ

#### 4η σειρά ασκήσεων

Το αρχείο του κυκλώματος και το testbench περιέχονται σε ξεχωριστά αρχεία vhd στο zip που αποστείλαμε.

Αρχείο κυκλώματος : image.vhd

Αρχείο Testbench : image\_tb.vhd

Για να τρέξετε το Testbench δημιουργείστε ένα αρχείο txt της εξής μορφής :

- Στην πρώτη γραμμή ο αριθμός N , δηλαδή η διάσταση του N x N πίνακα που θα αποτελέσει την είσοδο. (μέγιστο N = 1024)
- Σε κάθε μια από τις επόμενες N γραμμές θα υπάρχουν N ακέραιοι αριθμοί με κένα ανάμεσα τους.

Στην συνέχεια στο αρχείο testbench στις γραμμές που υποδηλώνουν τα σχόλια αλλάξτε τα path για να δείχνουν στο παραπάνω αρχείο εισόδου (source.txt) και στο επιθυμητό αρχείο εξόδου (target.txt).

Επίσης δώστε και την κατάλληλη τιμή στο N σε σημείο που δείχνει πάλι το αντίστοιχο σχόλιο.

Τρέξτε την προσομοίωση και δείτε το αρχείο εξόδου να γεμίζει με 3 τιμές ανά γραμμή ( σε σειρά red green blue) με την πρώτη γραμμή να αντιστοιχεί στο πρώτο στοιχείο της πρώτης γραμμής του πίνακα και ακολουθούν τα υπόλοιπα σε σειρά από αριστερά προς δεξιά και πάνω προς τα κάτω.

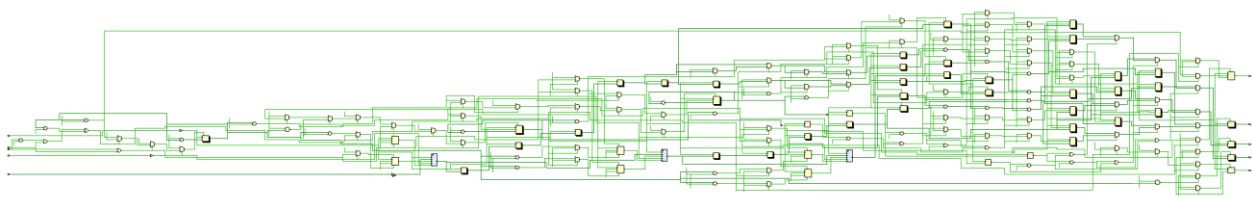
*Χρησιμοποιήθηκαν 3 ουρές FIFO μεγέθους 1024 , 1 μετρητής συνολικός και 2 μετρητές ( 1 για γραμμές και 1 για στήλες του N x N πίνακα), οι οποίοι λειτουργούν σαν FSM για να γίνεται η επιλογή της κατάλληλης τεχνικής ανάλογα με ποια 3x3 γειτονιά της συστοιχίας χρωματικών φίλτρων Bayer έχουμε να αντιμετωπίσουμε. ( για να λειτουργούν ακριβώς σαν FSM μπορούμε να αλλάξουμε το μέγεθος αυτών των μετρητών σε ένα μονο bit)*

Για την εγγραφή και ανάγνωση από αρχείο έγινε χρήση της βιβλιοθήκης TextIO .

Καθυστέρηση (latency) του κυκλώματος =  $2N + 7$  κύκλοι

Από δώ και έπειτα έχουμε ένα νέο αποτέλεσμα ανά κύκλο (throughput).

RTL schematic



Για πιο λεπτομερή εικόνα ανοίξτε το αρχείο στο vivado.

Critical Path and Time Delay:

Unconstrained Paths - NONE - NONE - Setup										
Name	Slack	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement
Path 1	∞	4	4	16	cycle_counter_reg[14]/C	j_counter_reg[0]/R	4.463	1.025	3.438	∞
Path 2	∞	4	4	16	cycle_counter_reg[14]/C	j_counter_reg[10]/R	4.463	1.025	3.438	∞
Path 3	∞	4	4	16	cycle_counter_reg[14]/C	j_counter_reg[11]/R	4.463	1.025	3.438	∞
Path 4	∞	4	4	16	cycle_counter_reg[14]/C	j_counter_reg[12]/R	4.463	1.025	3.438	∞
Path 5	∞	4	4	16	cycle_counter_reg[14]/C	j_counter_reg[13]/R	4.463	1.025	3.438	∞
Path 6	∞	4	4	16	cycle_counter_reg[14]/C	j_counter_reg[14]/R	4.463	1.025	3.438	∞
Path 7	∞	4	4	16	cycle_counter_reg[14]/C	j_counter_reg[15]/R	4.463	1.025	3.438	∞
Path 8	∞	4	4	16	cycle_counter_reg[14]/C	j_counter_reg[1]/R	4.463	1.025	3.438	∞
Path 9	∞	4	4	16	cycle_counter_reg[14]/C	j_counter_reg[2]/R	4.463	1.025	3.438	∞
Path 10	∞	4	4	16	cycle_counter_reg[14]/C	j_counter_reg[3]/R	4.463	1.025	3.438	∞

Critical path : path 1- 10 , Time Delay : 4.463 ns

Resource Utilization (N = 64):

Utilization

Post-Synthesis | Post-Implementation

Graph | Table

Resource	Utilization	Available	Utilization %
LUT	299	17600	1.70
LUTRAM	4	6000	0.07
FF	451	35200	1.28
BRAM	1.50	60	2.50
IO	38	100	38.00
BUFG	1	32	3.13

Resource Utilization (N = 128):

Utilization

Post-Synthesis | Post-Implementation

Graph | Table

Resource	Utilization	Available	Utilization %
LUT	295	17600	1.68
LUTRAM	4	6000	0.07
FF	451	35200	1.28
BRAM	1.50	60	2.50
IO	38	100	38.00
BUFG	1	32	3.13

