



Ομάδα A10:

Γεώργιος Παγώνης : 03117030

Δημήτριος - Σταμάτιος Μπούρας : 03117072

8ο εξάμηνο - ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ VLSI

ΣΗΜΜΥ

2η σειρά ασκήσεων

Όλα τα κυκλώματα περιέχονται σε ξεχωριστά αρχεία vhd στο zip που αποστείλαμε. Παρακάτω για κάθε ερώτημα της άσκησης ξεχωριστά θα αναφέρουμε ποιο testbench αντιστοιχεί σε ποιο ερώτημα καθώς και τα υπόλοιπα αρχεία που απαιτούνται να βρίσκονται στο ίδιο vivado project με αυτό, για να εξασφαλιστεί η ορθή λειτουργία του.

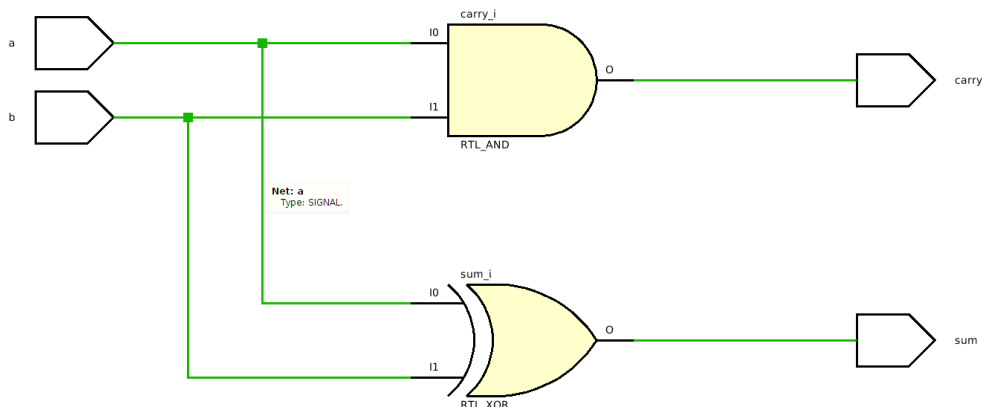
Μια γρήγορη λύση αποτελεί και η προσθήκη όλων των vhd αρχείων του zip σε ένα vivado project και η εκτέλεση όλων των κυκλωμάτων μέσα σε αυτό το project θέτοντας ως "top" κάθε φορά το κατάλληλο.

1)

Testbench : half_adder_tb

Λοιπά απαραίτητα αρχεία : half_adder

RTL schematic



Critical Path and Time Delay:

Unconstrained Paths - NONE - NONE - Setup													
Name	Slack	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock	Exception
Path 1	∞	3	4	2	a	carry	5.377	3.778	1.599	∞	input port clock		
Path 2	∞	3	4	2	a	sum	5.351	3.752	1.599	∞	input port clock		

Critical path : Path 1 = a to carry

Time Delay : 5.377

Resource Utilization:

Utilization					Post-Synthesis Post-Implementation	
					Graph	Table
Resource	Utilization	Available	Utilization %			
LUT	1	17600	0.01			
I/O	4	100	4.00			

2)

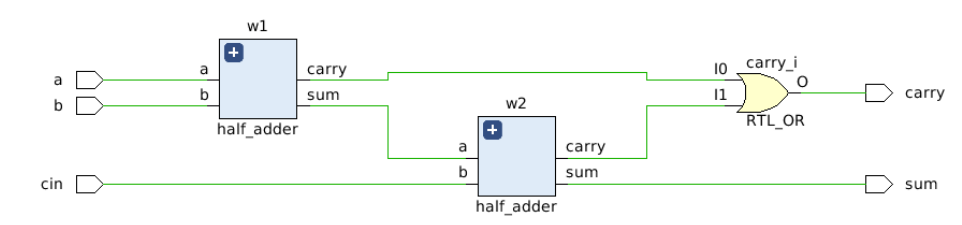
α)

Combinational:

Testbench : full_adder_tb

Λοιπά απαραίτητα αρχεία : full_adder , half_adder

RTL schematic



Critical Path and Time Delay:

Unconstrained Paths - NONE - NONE - Setup													
Name	Slack	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock	Exception
Path 1	∞	3	4	2	b	carry	5.377	3.778	1.599	∞	input port clock		
Path 2	∞	3	4	2	b	sum	5.351	3.752	1.599	∞	input port clock		

Critical path : Path 1 = b to carry

Time Delay : 5.377

Resource Utilization:

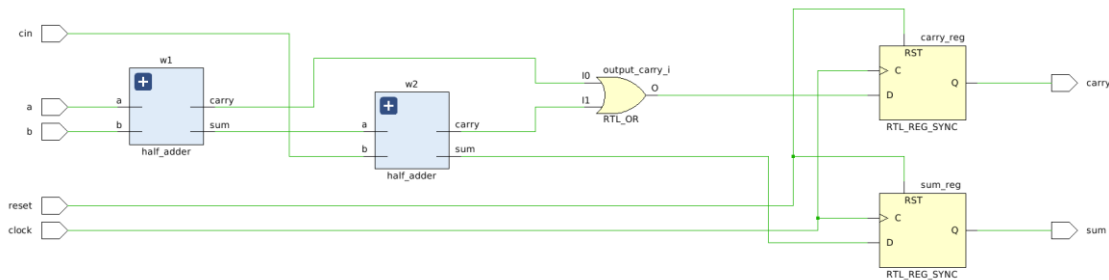
Resource	Utilization	Available	Utilization %
LUT	1	17600	0.01
IO	5	100	5.00

Sequential:

Testbench :full_adder_seq_tb

Λοιπά απαραίτητα αρχεία : full_adder_seq , half_adder

RTL schematic



Critical Path and Time Delay:

Unconstrained Paths - NONE - NONE - Setup													
Name	Slack	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock	Exception
Path 1	∞	2	2	1	carry_reg/C	carry	4.076	3.276	0.800	∞			
Path 2	∞	2	2	1	sum_reg/C	sum	4.076	3.276	0.800	∞			
Path 3	∞	2	3	2	b	carry_reg/D	1.932	1.132	0.800	∞	input port clock		
Path 4	∞	2	3	2	b	sum_reg/D	1.906	1.106	0.800	∞	input port clock		
Path 5	∞	1	2	2	reset	carry_reg/R	1.782	0.982	0.800	∞	input port clock		
Path 6	∞	1	2	2	reset	sum_reg/R	1.782	0.982	0.800	∞	input port clock		

Critical path : Path 1 = carry_reg/C to carry

Time Delay : 4.076

Resource Utilization:

Resource	Utilization	Available	Utilization %
LUT	1	17600	0.01
FF	2	35200	0.01
IO	7	100	7.00
BUFG	1	32	3.13

2)

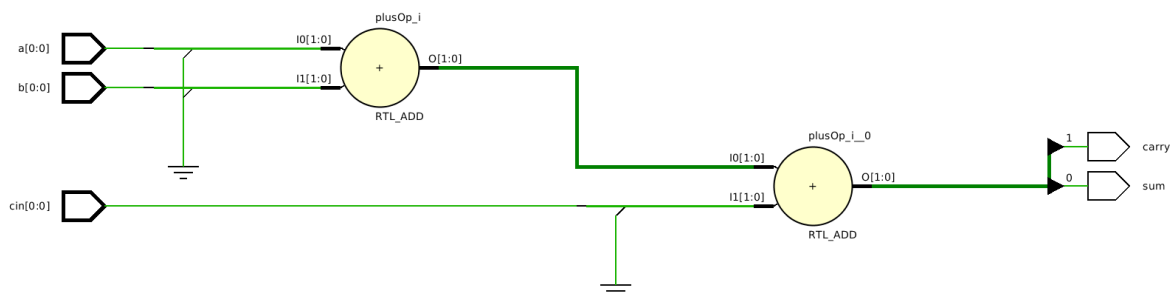
β)

Combinational:

Testbench : full_adder_numeric_tb

Λοιπά απαραίτητα αρχεία : full_adder_numeric

RTL schematic



Critical Path and Time Delay:

Unconstrained Paths - NONE - NONE - Setup													
Name	Slack	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock	Exception
Path 1	∞	3	4	2	cin[0]	carry	5.377	3.778	1.599	∞	input port clock		
Path 2	∞	3	4	2	cin[0]	sum	5.351	3.752	1.599	∞	input port clock		

Critical path : Path 1 = cin[0] to carry

Time Delay : 5.377

Resource Utilization:

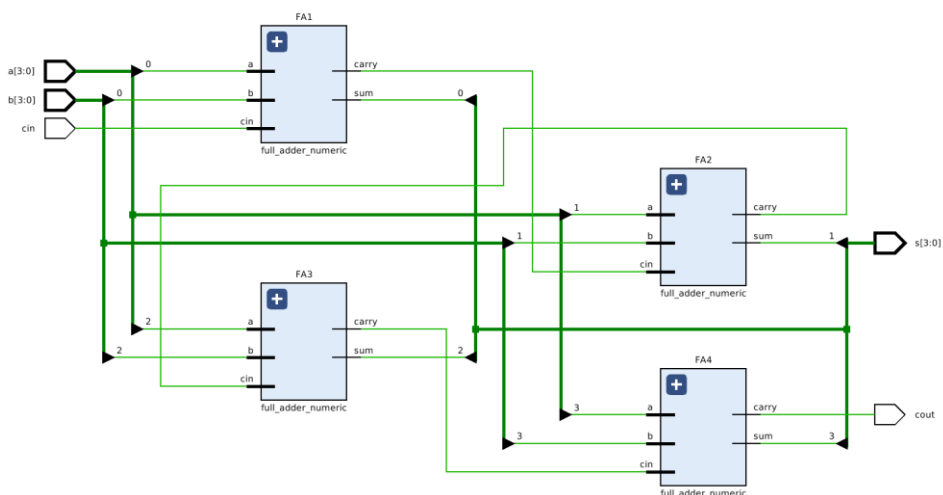
Graph Table			
Resource	Utilization	Available	Utilization %
LUT	1	17600	0.01
IO	5	100	5.00

Sequential:

Testbench :full_adder_numeric_seq_tb

Λοιπά απαραίτητα αρχεία : full_adder_numeric_seq

RTL schematic



Critical Path and Time Delay:

Unconstrained Paths - NONE - NONE - Setup													
Name	Slack	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock	Exception
Path 1	∞	4	5	3	a[1]	s[2]	5.942	3.876	2.066	∞	input port clock		
Path 2	∞	4	5	3	a[1]	s[3]	5.942	3.876	2.066	∞	input port clock		
Path 3	∞	4	5	3	a[1]	cout	5.936	3.870	2.066	∞	input port clock		
Path 4	∞	3	4	2	b[1]	s[1]	5.379	3.780	1.599	∞	input port clock		
Path 5	∞	3	4	3	cin	s[0]	5.351	3.752	1.599	∞	input port clock		

Critical path : Path 1 = a[1] to s[2]

Time Delay : 5.942

Resource Utilization:

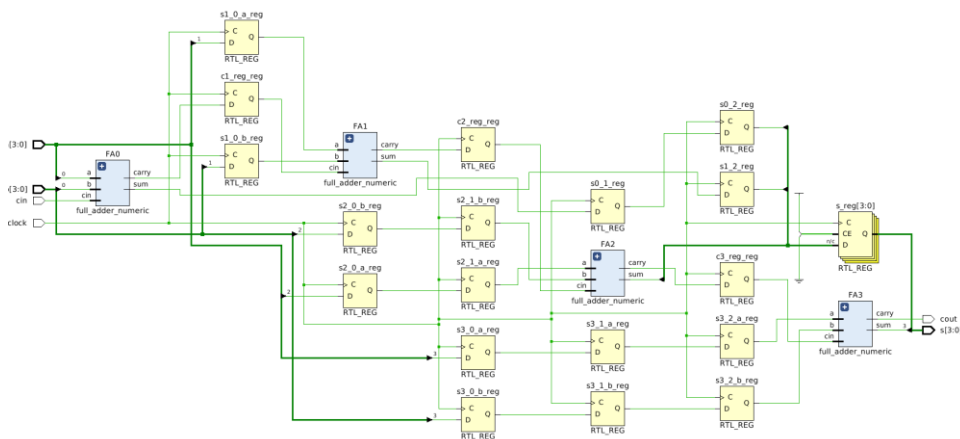
Utilization					Post-Synthesis	Post-Implementation
					Graph	Table
Resource	Utilization	Available	Utilization %			
LUT	4	17600	0.02			
IO	14	100	14.00			

β)

Testbench : rca_4bit_pipeline_tb

Λοιπά απαραίτητα αρχεία : rca_4bit_pipeline ,full_adder_numeric

RTL schematic



Critical Path and Time Delay:

Unconstrained Paths - NONE - NONE - Setup													
Name	Slack	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock	Exception
Path 1	∞	3	3	2	s3_2_a_reg/C	s[3]	4.974	3.422	1.552	∞			
Path 2	∞	3	3	2	s3_2_a_reg/C	cout	4.948	3.396	1.552	∞			
Path 3	∞	2	2	1	s_reg[1]/C	s[1]	4.076	3.276	0.800	∞			
Path 4	∞	2	2	1	s_reg[2]/C	s[2]	4.076	3.276	0.800	∞			
Path 5	∞	2	2	1	s_reg[0]/C	s[0]	4.058	3.258	0.800	∞			
Path 6	∞	2	3	2	cin	s0_2_reg_sr[2]/D	2.239	1.106	1.133	∞	input port clock		
Path 7	∞	2	3	2	cin	c1_reg_reg/D	1.932	1.132	0.800	∞	input port clock		
Path 8	∞	1	2	1	a[1]	s1_0_a_reg/D	1.782	0.982	0.800	∞	input port clock		
Path 9	∞	1	2	1	b[1]	s1_0_b_reg/D	1.782	0.982	0.800	∞	input port clock		
Path 10	∞	1	2	1	a[2]	s2_0_a_reg/D	1.782	0.982	0.800	∞	input port clock		

Critical path : Path 1 = s3_2_a_reg/c to s[3]

Time Delay : 4.974

Resource Utilization:

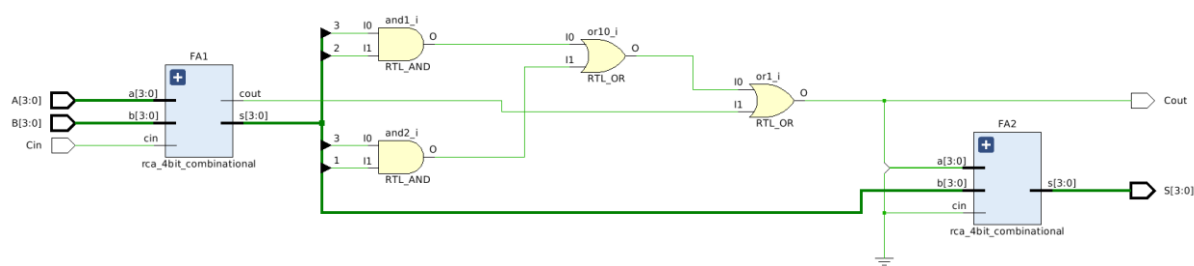
Utilization		Post-Synthesis Post-Implementation		
		Graph Table		
Resource	Utilization	Available	Utilization %	
LUT		5	17600	0.03
LUTRAM		1	6000	0.02
FF		19	35200	0.05
IO		15	100	15.00
BUFG		1	32	3.13

4)

Testbench : bcd_full_adder_tb

Λοιπά απαραίτητα αρχεία : bcd_full_adder, rca_4bit_combinational ,full_adder_numeric

RTL schematic



Critical Path and Time Delay:

Unconstrained Paths - NONE - NONE - Setup													
Name	Slack	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock	Exception
Path 1	∞	4	5		A[0]	S[3]	5.976	3.904	2.072	∞	input port clock		
Path 2	∞	4	5		A[0]	Cout	5.948	3.876	2.072	∞	input port clock		
Path 3	∞	4	5		A[0]	S[1]	5.948	3.876	2.072	∞	input port clock		
Path 4	∞	4	5		A[0]	S[2]	5.948	3.876	2.072	∞	input port clock		
Path 5	∞	3	4		Cin	S[0]	5.351	3.752	1.599	∞	input port clock		

Critical path : Path 1 = A[0] to s[3]

Time Delay : 5.976

Resource Utilization:

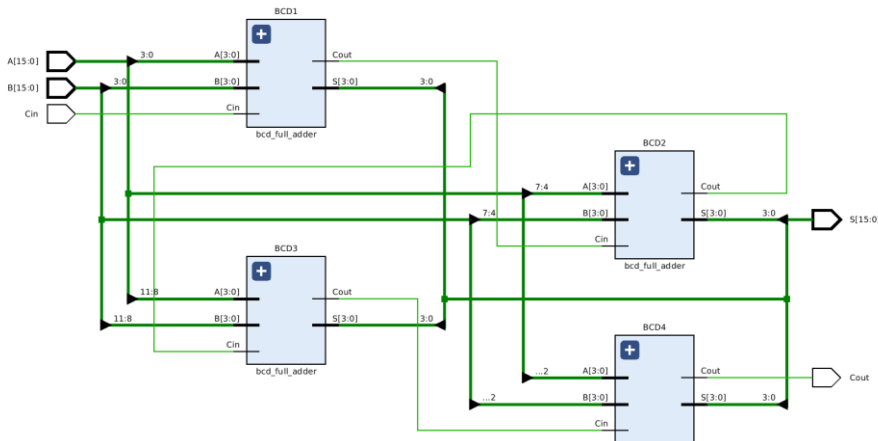
Utilization		Post-Synthesis Post-Implementation		
		Graph Table		
Resource	Utilization	Available	Utilization %	
LUT	6	17600	0.03	
IO	14	100	14.00	

5)

Testbench : bcd_parallel_adder_4bit_tb

Λοιπά απαραίτητα αρχεία : bcd_parallel_adder_4bit, bcd_full_adder, rca_4bit_combinational ,full_adder_numeric

RTL schematic



Critical Path and Time Delay:

Unconstrained Paths - NONE - NONE - Setup														
Name	Slack	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock	Exception	
Path 1	∞	10	11	7	B[1]	S[15]	9.533	4.636	4.897	∞	input port clock			
Path 2	∞	10	11	7	B[1]	Cout	9.527	4.630	4.897	∞	input port clock			
Path 3	∞	10	11	7	B[1]	S[13]	9.527	4.630	4.897	∞	input port clock			
Path 4	∞	10	11	7	B[1]	S[14]	9.527	4.630	4.897	∞	input port clock			
Path 5	∞	9	10	7	B[1]	S[10]	8.936	4.512	4.424	∞	input port clock			
Path 6	∞	9	10	7	B[1]	S[12]	8.936	4.512	4.424	∞	input port clock			
Path 7	∞	9	10	7	B[1]	S[9]	8.936	4.512	4.424	∞	input port clock			
Path 8	∞	8	9	7	B[1]	S[11]	8.341	4.394	3.947	∞	input port clock			
Path 9	∞	7	8	7	B[1]	S[5]	7.757	4.270	3.487	∞	input port clock			
Path 10	∞	7	8	7	B[1]	S[6]	7.757	4.270	3.487	∞	input port clock			

Critical path : Path 1 = B[1] to s[15]

Time Delay :9.533

Resource Utilization:

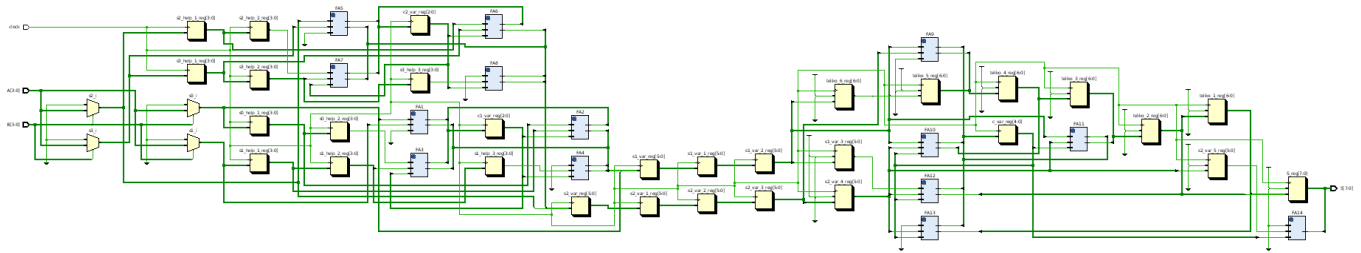
Utilization				Post-Synthesis	Post-Implementation
				Graph	Table
Resource	Utilization	Available	Utilization %		
LUT	24	17600	0.14		
IO	50	100	50.00		

6)

Testbench : multiplier_4bit_pipeline_tb

Λοιπά απαραίτητα αρχεία : multiplier_4bit_pipeline , ,full_adder_numeric

RTL schematic



Critical Path and Time Delay:

Unconstrained Paths - NONE - NONE - Setup

Name	Slack	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock	Exception
Path 1	∞	3	3	1	c_var_reg[4]/C	S[7]	4.666	3.396	1.270	∞			
Path 2	∞	2	2	1	S_reg[5]/C	S[5]	4.076	3.276	0.800	∞			
Path 3	∞	2	2	1	S_reg[6]/C	S[6]	4.076	3.276	0.800	∞			
Path 4	∞	2	2	1	S_reg[0]/C	S[0]	4.058	3.258	0.800	∞			
Path 5	∞	2	2	1	S_reg[1]/C	S[1]	4.058	3.258	0.800	∞			
Path 6	∞	2	2	1	S_reg[2]/C	S[2]	4.058	3.258	0.800	∞			
Path 7	∞	2	2	1	S_reg[3]/C	S[3]	4.058	3.258	0.800	∞			
Path 8	∞	2	2	1	S_reg[4]/C	S[4]	4.058	3.258	0.800	∞			
Path 9	∞	2	3	4	A[2]	s0_help_1_reg[2]/R	2.706	1.106	1.600	∞	input port clock		
Path 10	∞	2	3	4	A[3]	s0_help_1_reg[3]/R	2.706	1.106	1.600	∞	input port clock		

Critical path : Path 1 = c_var_reg[4]/C to s[7]

Time Delay :4.666

Resource Utilization:

Utilization					Post-Synthesis Post-Implementation	
					Graph Table	
Resource	Utilization	Available	Utilization %			
LUT	33	17600	0.19			
LUTRAM	15	6000	0.25			
FF	47	35200	0.13			
IO	17	100	17.00			
BUFG	1	32	3.13			

Ερωτήματα θεωρίας:

i)

Στα ακολουθιακά κυκλώματα με σύγχρονα σήματα ελέγχου , οι αλλαγές στα περιεχόμενα των flip-flops και κατ'έπείταση στων εξόδων , λαμβάνουν χώρα μόνο όταν προκληθεί ένας παλμός ρολογιού , όχι όταν αλλάξουν οι είσοδοι. Έτσι οι αλλαγές στα λογικά σήματα μέσα στο κύκλωμα ξεκινούν όλες , τις ίδιες στιγμές , σε τακτικά διαστήματα , συγχρονισμένες με το ρολόι.

Στα ακολουθιακά κυκλώματα με ασύγχρονα σήματα ελέγχου , οι αλλαγές στα περιεχόμενα των εξόδων , λαμβάνουν χώρα απευθείας αντιδρώντας σε αλλαγές στις εισόδους .Δηλαδή για την επεξεργασία των ασύγχρονων σημάτων ελέγχου δεν απαιτείται αναμονή για ακμή ρολογιού.

ii)

Ο χρήστης όταν υλοποιήσει το κύκλωμα του με VHDL και έχει ελέγξει τη ορθή λειτουργία του με χρήση testbench , είναι σίγουρος πως το κύκλωμα που έχει σχεδιάσει λειτουργεί ορθά , δηλαδή λαμβάνοντας συγκεκριμένες εισόδους παράγει μετά από κάποιο χρόνο τις αναμενόμενες εξόδους .

Πραγματοποιώντας μάλιστα και την RTL Analysis μπορεί να δει μια γενική αναπαράσταση του κυκλώματος του με την χρήση γενικών συμβόλων , όπως αθροιστές , πολλαπλασιαστές , πολυπλέκτες , μετρητές , AND gates , OR gates κτλ.

Στην συνέχεια με είσοδο αυτό το RTL design πραγματοποιώντας σύνθεση του κυκλώματος ,ο χρήστης μπορεί να δει μια βελτιστοποιημένη σχεδίαση του κυκλώματος του για το επιλεγμένο board πάνω στο οποίο επιθυμεί να την υλοποιήσει . Έτσι μπορεί να παρατηρήσει ακριβώς το ποσό και ποσοστό του hardware που χρησιμοποιεί (resource utilization) και το critical path καθώς και την χρονική καθυστέρηση του κυκλώματος του αλλά και να βρεί και πιθανά λάθη σχεδίασης που προκύπτουν από την επιλογή αρχιτεκτονικής του(δηλαδή το board που επέλεξε).

iii)

Σε ένα testbench ενός συνδιαστικού κυκλώματος , αλλάζουμε τις τιμές των εισόδων περιμένοντας για κάποια χρονική καθυστέρηση ανάμεσα στις αλλαγές ώστε να παρατηρήσουμε τα δεδομένα εξόδου που παράγονται ανάλογα με κάθε είσοδο.

Σε ένα testbench ενός ακολουθιακού κυκλώματος , επιπρόσθετα δημιουργούμε μια process για το ρολόι , όπως για παράδειγμα :

```
generate_clock : process begin
```

```
clock <= '0';
```

```
wait for CLOCK_PERIOD/2;
```

```
clock <= '1';
```

```
wait for CLOCK_PERIOD/2;
```

```
end process;
```

με σκοπό να δημιουργηθεί μια παλμοσειρά ρολογιού η οποία θα πυροδοτεί τις αλλαγές στα σήματα του κυκλώματος μας . Χωρίς αυτήν την παλμοσειρά οι αλλαγές στις εισόδους τις οποίες πραγματοποιούμε δεν θα προκαλούν αλλαγές στις εξόδους και έτσι δεν θα είμαστε σε θέση να πιστοποιήσουμε την ορθή λειτουργία του κυκλώματος μας , ο οποίος είναι άλλωστε και ο σκοπός του testbench.

iv)

Στο συνδιαστικό rca χρησιμοποιούμε λιγότερα από τα resources του fpga σε σχέση με το αντίστοιχο Pipelined κύκλωμα , καθώς η pipelined υλοποίηση προϋποθέτει περισσότερα εσωτερικά σήματα και registers.

Από την άλλη όμως , το critical path και το time delay βελτιώνονται καθώς δεν χρειάζεται κάθε φορά που δίνουμε κάποια είσοδο να περιμένουμε τον υπολογισμό του αποτελέσματος για να δώσουμε νέα είσοδο , αρκεί μόνο ένας κύκλος ρολογιού.