



Universitatea
Transilvania
din Brașov

UNIVERSITATEA TRANSILVANIA BRAȘOV

Facultatea de Inginerie Electrică și Știința Calculatoarelor
Automatică și Tehnologia Informației

Rodina Valentin

Tudor Georgian Iulian

Proiect CLP

Îndrumator

Prof. dr. Ing. MOLDOVEANU Florin

2021

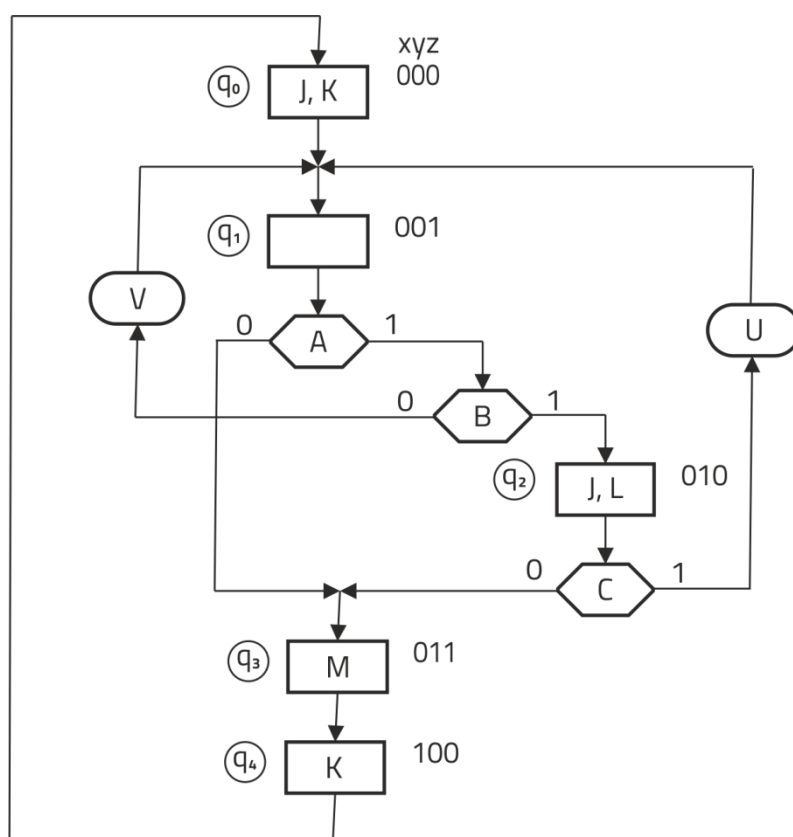
FIȘA PROIECTULUI DE DISCIPLINĂ

Disciplina:

Circuite logice programabile, an III/sem. 2.

Tema de proiect nr. 33:

În figura de mai jos se prezintă organigrama MAS a unei mașini de stare sincrone, împreună cu o codificare corespunzătoare a stărilor.



Cerințe de proiectare:

În rezolvarea temei proiectului se vor aborda următoarele probleme:

- Să se identifice elementele organigramei MAS (stările stabile; intrările; ieșirile (condiționate și necondiționate); blocurile MAS). Să se precizeze, de asemenea, toate conexiunile de stare/căile de legătură între stările stabile ale organigramei MAS, prin stabilirea condițiilor în care este „urmată” fiecare cale de legătură și stările următoare, respectiv ieșirile rezultate.
- Să se construiască tabela de stare asociată organigramei MAS.
- Să se proiecteze mașina algoritmică de stare utilizându-se bistabili de tip D pentru implementarea registrului de stare (RS), un etaj de multiplexoare pentru Generatorul Noii Stări (GNS) și porți logice pentru Logica Combinațională a Ieșirilor (LCE). Se vor minimiza GNS-ul și

LCE-ul folosindu-se tehnica variabilelor incluse în diagramă (VID). Se va desena o schemă de conexiuni a MAS-ului complet, indicându-se clar semnalele aplicate la intrările de date ale fiecărui multiplexor precum și semnalele aplicate pe intrările de selecție. Se presupune că toate ieșirile sunt instantanee și că distorsiunile/ perturbațiile semnalelor sub formă de impulsuri pot fi tolerate (schema nu prezintă hazard).

- Să se proiecteze o mașină algoritmică de stare care să implementeze sistemul digital folosind bistabili de tip D și un FPLA 8x16x8; se va utiliza, de asemenea, maparea directă a căilor de legătură. Se va furniza o schemă de conexiune pentru FPLA-ul utilizat pentru a se indica programarea dispozitivului. Se vor inscripționa clar toate intrările și ieșirile FPLA-ului și se va indica ce se va face cu intrările, ieșirile și termenii produs neutilizați. Se va adăuga orice structură logică suplimentară necesară la schema de conexiuni a FPLA-ului, pentru a se obține schema logică completă a mașinii algoritmice de stare.

Pe schemele logice obținute se vor specifica tipul și gradul de utilizare al fiecărui circuit integrat.

Bibliografia recomandată:

- [1] Carter, J.W. – *Digital Designing with Programmable Logic Devices*, Prentice Hall, London, 1997.
- [2] Ștefan, Gh. – *Circuite și sisteme digitale*, Ed. Tehnică, București, 2000.
- [3] Wakerly, J.F. – *Circuite digitale*, Ed. Teora, București, 2002.
- [4] Wilkinson, B. – *Electronică digitală. Bazele proiectării*, Ed. Teora, București, 2002.
- [5] Moldoveanu, F., Floroian, D. – *Circuite logice și comenzi secvențiale. Circuite logice combinaționale*, Ed. Universității Transilvania din Brașov, 2003.
- [6] Toacșe, Gh., Nicula, D. – *Electronică digitală. Verilog HDL*, vol. II, Ed. Tehnică, București, 2005.

Condiții de redactare:

Pentru redactare se va folosi template-ul recomandat de cadrul didactic îndrumător.

Evaluări pe parcurs:

S-a stabilit o viză pentru evaluarea pe parcurs a proiectului, în data de 22.05.2021.

Termenul de predare și susținere:

Proiectul se va preda și susține în ultima săptămână a semestrului.

Notarea proiectului:

Forma finală a proiectului trebuie să conțină rezolvări pentru toate punctele cerute prin temă iar, din punct de vedere al redactării, să aibă forma solicitată. În cursul susținerii, studentul trebuie să dovedească cunoașterea metodelor specifice de rezolvare pentru problemele date, utilizarea corectă și fluentă a termenilor specifici și interpretarea corectă a rezultatelor. Notarea va porni de la nota 10, dacă studentul a primit viza de evaluare și de la nota 7 în cazul în care studentul nu are această viză.

Cuprins

FIȘA PROIECTULUI DE DISCIPLINĂ.....	2
Cuprins.....	4
1. Identificarea elementelor organigramei MAS.....	5
1.1 Noțiuni introductive.....	5
1.2 Descrierea algoritmică prin organigrama MAS.....	6
1.3 Elementele organigramei MAS.....	7
1.4 Tabela de stare asociat organigramei MAS.....	8
2. Implementarea MAS.....	9
2.1 Minimizarea funcțiilor utilizând tehnica VID.....	11
3. Implementare sistem digital folosind bistabil de tip D si FPLA.....	16
ANEXE.....	18
BIBLIOGRAFIE.....	19

1. Identificarea elementelor organigramei MAS

1.1 Noțiuni introductive

Pornind de la esența conceptuală a sistemului dinamic, prin care acestuia i se asociază un model matematic ce reflectă o tranziție cauzală în contextul variabilității temporale, se poate defini automatul ca un sistem dinamic a cărui comportare se deschide ca o succesiune de evenimente(stări) care apar la momente discrete ale variabilei de timp.

Un automat finit interacționează cu mediul prin aceea că, la orice moment de timp t este supus unui semnal de intrare $x(t)$, și ca răspuns la o astfel de excitație oferă, la momentul $t + \Delta t$, un semnal de ieșire $z(t)$.

Faptul că atât semnalele de intrare cât și cele de ieșire sunt succesiuni de valori logice binare 0 sau 1, și că modificarea intrărilor și a ieșirilor se face în ordine secvențială, justifică denumirea de scheme logice secvențiale prin care se mai apelează automatele finite.

Automatele secvențiale de bază pot fi de două feluri: asincrone și sincrone.

Se numește asincron acel automat secvențial la care comutările au loc la momente arbitrare de timp.

Se numește sincron acel automat secvențial la care comutările au loc la momente bine precizate de timp. La acest tip de automat, elementele secțiunii de memorie introduc toate întârzierile egale. Blocul de memorie este realizat cu circuite basculante bistabile sincrone.

Definirea automatului secvențial se bazează pe introducerea noțiunii de stare internă.

Se numește secvențial un automat finit la care starea internă influențează ieșirea, în conformitate cu funcțiile de tranziție f și g :

$$\begin{aligned} Y(t) = y(t + \Delta t) &= f(y(t), x(t)), \\ z(t) &= g(y(t), x(t)), \end{aligned}$$

sau, adoptând o notație simplificată:

$$\begin{aligned} Y_t = y_t + \Delta t &= f(y_t, x_t), \\ z_t &= g(y_t, x_t), \end{aligned}$$

Astfel, orice automat secvențial poate fi considerat, structural, ca în figura următoare:

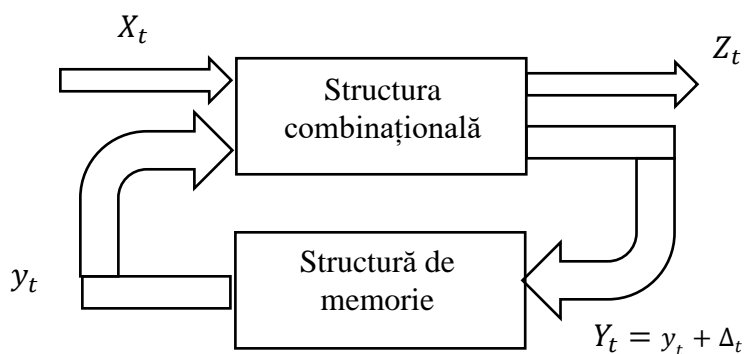


Fig 1.1.1 Structura generală a unui automat secvențial.

1.2 Descrierea algoritmică prin organigrama MAS

Se numește mașină algoritmică de stare (MAS) un automat secvențial sincron realizat ca o mașină de stare de clasa 4.

Pentru a sublinia caracterul staționar al funcționării ASS pe o perioadă de ceas T_c , secțiunea de memorie a mașinii algoritmice de stare va fi denumită, în continuare, registru de stare (RS).

Din același punct de vedere funcțional, suportul fizic pentru materializarea transformărilor f și g ale ASM, ca mașină sincronă de clasa 4 va fi denumit generatorul noii stări (GNS), respectiv logica combinațională a ieșirilor (LCI), cele două blocuri având un caracter combinațional.

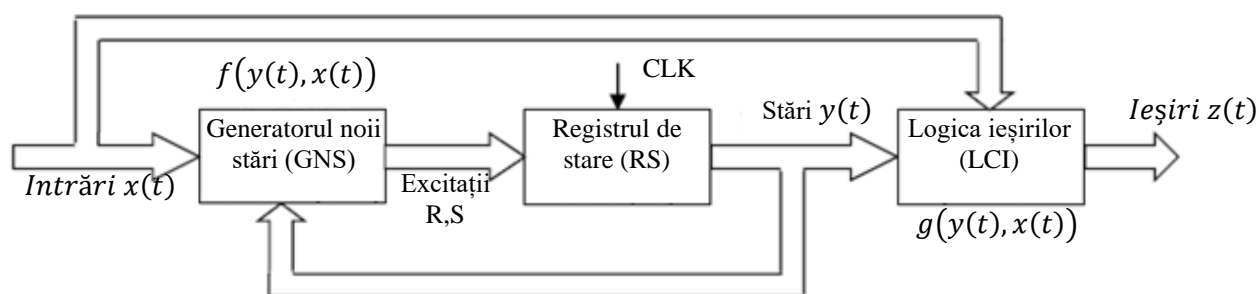


Fig 1.2.1 Structura bloc a unui MAS

Procedural sinteza unui ASS de tip MAS are drept punct de plecare transpunerea problemei sintetizate în organigrama MAS.

Acest tip de organigramă combină elementele descrierii tradiționale (prin tabel de tranziții sau graf de tranziții) a unui ASS cu schematizarea activităților de procesare tip calculator.

Un algoritm de comandă a unui proces transpus în organigramă, prezintă cele patru caracteristici esențiale ale programării prezentate de Knuth: caracterul finit, determinist, intrări și ieșiri.

Elementele fundamentale ale descrierii unui proces prin organigramă sunt:

1. Elementul de stare

Este unicul element fundamental al organigramei care introduce în mod explicit valoarea timp și pe care o asociază în mod discret etapelor sau pașilor algoritmului de comandă. Numele stării este încercuit și plasat lângă simbolul acesteia. Stării i se asociază un cod, deci o combinație a variabilelor de stare scris în binar sau hexazecimal. Simbolul stării poate conține o listă de acțiuni de ieșire necondiționate.

2. Decizia

Elementul de ramificație în organigramă dependent de una sau mai multe intrări în MAS. Intrările într-un MAS pot fi atât sincrone cât și asincrone. Intrările asincrone pot produce probleme deosebite în funcționarea mașinii motiv pentru care pentru simplificare se va considera că toate intrările sunt fie sincrone sau fie sincronizate.

3. Ieșirea condiționată

Este un element de comandă sau control al procesului și descrie alte ieșiri care sunt dependente de 1 sau mai multe intrări.

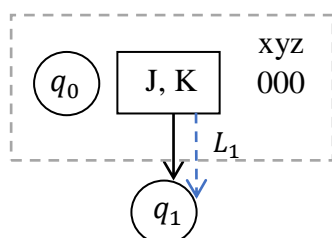
Se numește bloc MAS o structură constituită dintr-un unic element de stare și posibil o rețea de elemente de decizie și de ieșiri condiționate. Un bloc MAS are o singură cale de intrare și un număr posibil de căi de ieșire, determinate de structura elementelor de decizie.

Orice cale (traseu) ce leagă o stare prezentă de starea următoare se numește cale de legătură sau conexiune de stare.

Un bloc MAS arată starea curentă, ieșirile sale și condiția pentru fiecare cale de legătură. O organigramă MAS conține, în general, mai multe blocuri MAS interconectate.

1.3 Elementele organigramei MAS

Să se identifice elementele organigramei MAS (stările stabile, intrările, ieșirile (condiționate, necondiționate), blocurile MAS). Să se precizeze, de asemenea, toate conexiunile de stare/ căile de legătură între stările stabile ale organigramei MAS, prin stabilirea condițiilor în care este "urmată" fiecare cale de legătură și stările următoare, respectiv ieșirile rezultate.



Blocul MAS al stării q_0

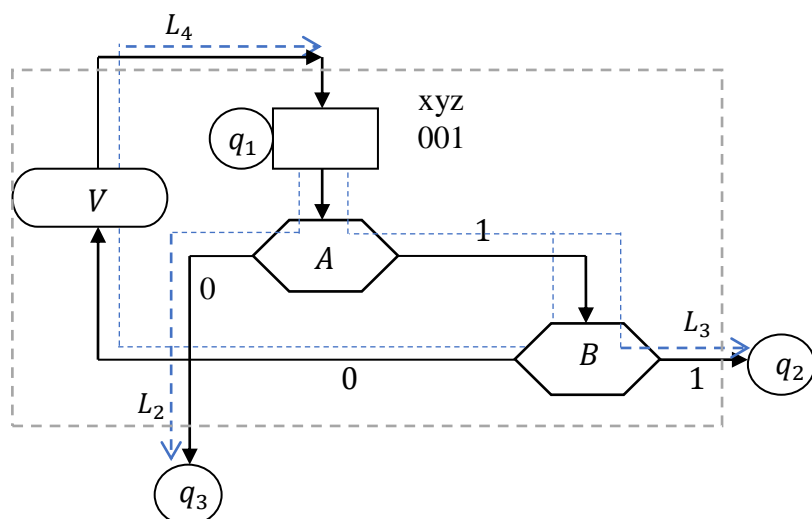
Codul stării q_0 : $xyz = 000$

Intrările:-

Ieșirile necondiționate: J, K

Ieșirile condiționate:-

Căi de legătură: L_1 : starea $q_0 \rightarrow$ starea q_1



Blocul MAS al stării q_1

Codul stării q_1 : $xyz = 001$

Intrările: A, B

Ieșirile necondiționate:-

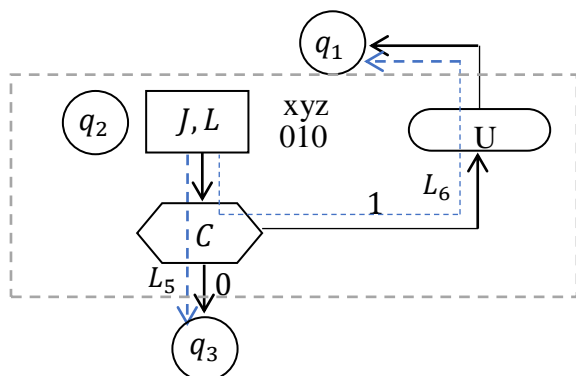
Ieșirile condiționate: V

Căi de legătură:

$L_2 = \bar{A}$; starea $q_1 \rightarrow$ starea q_3

$L_3 = AB$; starea $q_1 \rightarrow$ starea q_2

$L_4 = A\bar{B}$; starea $q_1 \rightarrow$ starea q_1



Blocul MAS al stării q_2

Codul stării q_2 : $xyz = 010$

Intrările: C

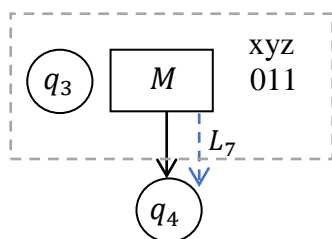
Ieșirile necondiționate: J, L

Ieșirile condiționate: U

Căi de legătură:

$L_5 = \bar{C}$; starea $q_2 \rightarrow$ starea q_3

$L_6 = C$; starea $q_2 \rightarrow$ starea q_1



Blocul MAS al stării q_3

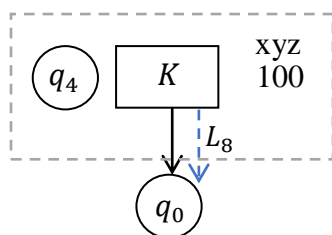
Codul stării q_3 : $xyz = 011$

Intrările: -

Ieșirile necondiționate: M

Ieșirile condiționate: -

Căi de legătură: L_7 : starea $q_3 \rightarrow$ starea q_4



Blocul MAS al stării q_4

Codul stării q_4 : $xyz = 100$

Intrările: -

Ieșirile necondiționate: K

Ieșirile condiționate: -

Căi de legătură: L_8 : starea $q_4 \rightarrow$ starea q_0

1.4 Tabela de stare asociat organigramei MAS

Intrări			Starea prezentă				Starea următoare				Ieșiri					
A	B	C	Stare	x	y	z	Stare	nx	ny	nz	J	K	L	M	U	V
*	*	*	q_0	0	0	0	q_1	0	0	1	1	1	0	0	0	0
1	0	*	q_1	0	0	1	q_1	0	0	1	0	0	0	0	0	1
1	1	*	q_1	0	0	1	q_2	0	1	0	0	0	0	0	0	0
0	*	*	q_1	0	0	1	q_3	0	1	1	0	0	0	0	0	0
*	*	0	q_2	0	1	0	q_3	0	1	1	1	0	1	0	0	0
*	*	1	q_2	0	1	0	q_1	0	0	1	1	0	1	0	1	0
*	*	*	q_3	0	1	1	q_4	1	0	0	0	0	0	1	0	0
*	*	*	q_4	1	0	0	q_0	0	0	0	0	1	0	0	0	0

2. Implementarea MAS

Să se proiecteze mașina algoritmică de stare utilizându-se bistabili de tip D pentru implementarea registrului de stare (RS), un etaj de multiplexoare pentru Generatorul Noii Stări (GNS) și porți logice pentru Logica Combinatională a ieșirilor (LCI). Se vor minimiza GNS-ul și LCE-ul folosindu-se tehnica variabilelor incluse în diagramă (VID). Se va desena o schemă de conexiuni a MAS-ului complet, indicându-se clar semnalele aplicate la intrările de date ale fiecărui multiplexor precum și semnalele aplicate pe intrările de selecție. Se presupune că toate ieșirile sunt instantanee și că distorsiunile/perturbațiile semnalelor sub formă de impulsuri pot fi tolerate (schema nu prezintă hazard).

În continuare deoarece se folosește bistabil de tip D, se vor nota funcțiile de excitație sub forma Dx , Dy și Dz . Următoarea etapă constă în obținerea structurii logice combinaționale care implementează funcțiile de excitație Dx , Dy și Dz și funcțiile de ieșire J, K, L, M, U, V. Vor rezulta funcții de 3 argumente, adică intrările A, B, C și variabilele de stare x, y, z.

Realizarea diagramelor VID prin maparea directă din tabela MAS a funcțiilor Dx , Dy și Dz prin includerea în diagramă a variabilelor de intrare A, B, C.

D^t	Q^{t+1}
0	0
1	1

Fig. 2.1 Tabela de stare asociată bistabilului de tip D.

Diagrama de stare:

		xy			
		00	01	11	10
z	0	q_0	q_2	*	q_4
	1	q_1	q_3	*	*

Diagrama VID pentru funcția de excitație Dx :

$$Nx = Dx = \bar{x}yz$$

		xy			
		00	01	11	10
z	0	0	0	*	0
	1	0	1	*	*

Diagrama VID pentru funcția de excitație Dy :

$$Ny = Dy = AB\bar{x}\bar{y}z + \bar{A}\bar{x}\bar{y}z + \bar{C}\bar{x}y\bar{z} = \bar{x}\bar{y}z(\bar{A} + B) + \bar{C}\bar{x}y\bar{z}$$

		xy			
		00	01	11	10
z	0	0	\bar{C}	*	0
	1	$\bar{A} + B$	0	*	*

Diagrama VID pentru funcția de excitație Dz:

$$\begin{aligned} Nz = Dz &= \bar{x}\bar{y}\bar{z} + A\bar{B}\bar{x}\bar{y}z + \bar{A}\bar{x}\bar{y}z + \bar{C}\bar{x}y\bar{z} + C\bar{x}y\bar{z} \\ &= \bar{x}\bar{y}\bar{z} + \bar{x}\bar{y}z(A\bar{B} + \bar{A}) + \bar{x}y\bar{z} \end{aligned}$$

		xy			
		00	01	11	10
z	0	1	1	*	0
	1	$A\bar{B} + \bar{A}$	0	*	*

Diagrama VID pentru funcția de ieșire J:

$$J = \bar{x}\bar{y}\bar{z} + \bar{C}\bar{x}y\bar{z} + C\bar{x}y\bar{z} = \bar{x}\bar{y}\bar{z} + \bar{x}y\bar{z}$$

		xy			
		00	01	11	10
z	0	1	1	*	0
	1	0	0	*	*

$$J = \bar{x}\bar{z}$$

Diagrama VID pentru funcția de ieșire K:

$$K = \bar{x}\bar{y}\bar{z} + x\bar{y}\bar{z}$$

		xy			
		00	01	11	10
z	0	1	0	*	1
	1	0	0	*	*

$$K = \bar{y}\bar{z}$$

Diagrama VID pentru funcția de ieșire L:

$$L = \bar{C}\bar{x}y\bar{z} + C\bar{x}y\bar{z} = \bar{x}y\bar{z}$$

		xy			
		00	01	11	10
z	0	0	1	*	0
	1	0	0	*	*

$$L = y\bar{z}$$

Diagrama VID pentru funcția de ieșire M:

$$M = yz$$

		xy			
		00	01	11	10
z	0	0	0	*	0
	1	0	1	*	*

Diagrama VID pentru funcția de ieșire U:

$$U = C * y\bar{z}$$

xy		z			
		00	01	11	10
z	0	0	C	*	0
	1	0	0	*	*

Diagrama VID pentru funcția de ieșire V:

$$V = A\bar{B} * \bar{y}z$$

xy		z			
		00	01	11	10
0		0	0	*	0
1		$A\bar{B}$	0	*	*

2.1 Minimizarea funcțiilor utilizând tehnica VID

Tehnica determinării funcțiilor de excitație pentru diagramele VID, cuprinde următoarele etape:

- Se consideră toate variabilele înglobate egale cu 0 și se formează subcuburi cu 1-urile din diagramă
- Se consideră toate 1-urile indiferente (*) și se formează subcuburi cu variabilele înglobate
- Se consideră conjuncția variabilelor înglobate cu implicanții primi obținuți la etapa II.
- Se face disjuncția implicanților primi obținuți în etapele I și III.

xy		z			
		00	01	11	10
z	0	0	0	*	0
	1	0	1	*	*

Etapa I pentru $Dx = yz$

xy		z			
		00	01	11	10
z	0	0	0	*	0
	1	0	0	*	*

Etapa I pentru $Dy = -$

xy		z			
		00	01	11	10
z	0	0	\bar{C}	*	0
	1	$\bar{A} + B$	0	*	*

Etapa II pentru $Dy: \bar{y}z, y\bar{z}$

Etapa III pentru $Dy: (\bar{A} + B) * \bar{y}z, \bar{C} * y\bar{z}$

Etapa IV pentru $Dy = (\bar{A} + B) * \bar{y}z + \bar{C} * y\bar{z}$

xy					
		00	01	11	10
z	0	1	1	*	0
	1	0	0	*	*

Etapă I pentru $Dz: \bar{x}\bar{y}$

xy					
		00	01	11	10
z	0	*	*	*	0
	1	$\bar{A} + \bar{B}$	0	*	*

Etapă II pentru $Dz: \bar{y}z$

Etapă III pentru $Dz: (\bar{A} + \bar{B}) * \bar{y}z$

Etapă IV pentru $Dz = (\bar{A} + \bar{B}) * \bar{y}z + \bar{x}\bar{y}$

Pentru a facilita implementarea funcțiilor de excitație cu MUX-uri, expresiile acestora se vor deduce folosind și metoda algebrică.

Multiplexrul (MUX-ul) este denumit uneori și „selector” deoarece este utilizat și ca un comutator de selectare a anumitor căi.

Multiplexorul/Selectorul este un circuit logic combinațional care are, în cazul general, 2^n intrări de date, $I_0, I_1, \dots, I_{2^n-1}$, n intrări de selecție (adresă), S_0, S_1, \dots, S_{n-1} și o ieșire Z . Starea ieșirii circuitului la un moment dat este aceeași cu starea intrării I_k , unde indicele k este echivalentul zecimal al numărului binar reprezentat de stările 0 și 1 ale intrărilor de selecție:

$$k = S_{n-1}S_{n-2} \dots S_1S_0$$

$$\begin{aligned} Dx &= \bar{x}\bar{y}\bar{z} * 0 + \bar{x}\bar{y}z * 0 + \bar{x}y\bar{z} * 0 + \bar{x}yz * 1 + x\bar{y}\bar{z} * 0 \\ &= P_1 * 0 + P_2 * 0 + P_3 * 0 + P_4 * 1 + P_5 * 0 \end{aligned}$$

$$\begin{aligned} Dy &= \bar{x}\bar{y}\bar{z} * 0 + \bar{x}\bar{y}z * (\bar{A} + B) + \bar{x}y\bar{z} * \bar{C} + \bar{x}yz * 0 + x\bar{y}\bar{z} * 0 \\ &= P_1 * 0 + P_2 * (\bar{A} + B) + P_3 * \bar{C} + P_4 * 0 + P_5 * 0 \end{aligned}$$

$$\begin{aligned} Dz &= \bar{x}\bar{y}\bar{z} * 1 + \bar{x}\bar{y}z * (A\bar{B} + \bar{A}) + \bar{x}y\bar{z} * (\bar{C} + C) + \bar{x}yz * 0 + x\bar{y}\bar{z} * 0 \\ &= P_1 * 1 + P_2 * (A\bar{B} + \bar{A}) + P_3 * 1 + P_4 * 0 + P_5 * 0 \end{aligned}$$

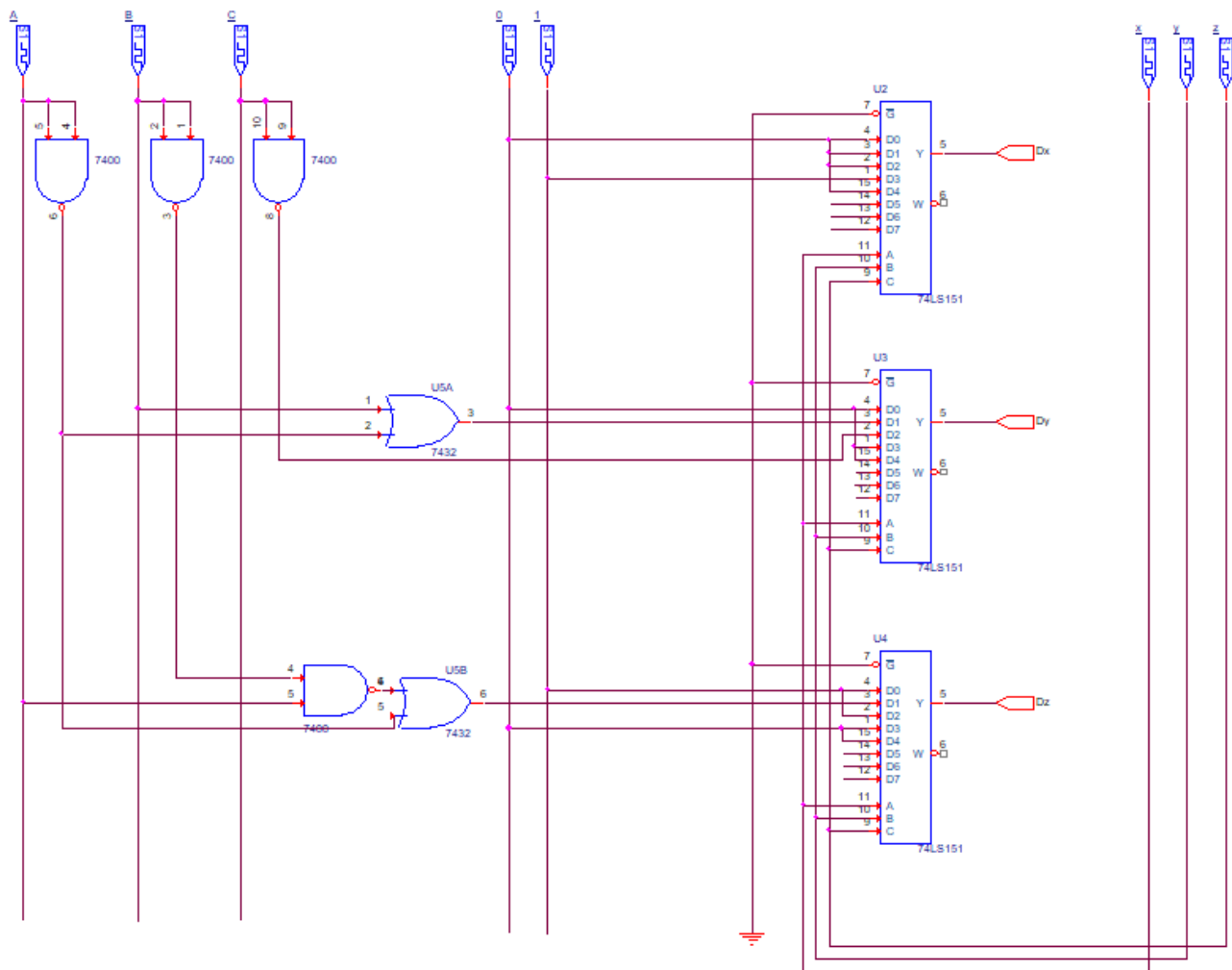


Fig. 2.1.1 GNS Implementat cu MUX-uri de 8 căi.

S-au folosit următoarele circuite integrate: 4 x 7400 (-)
2 x 7432(-2)
3 x 74LS151

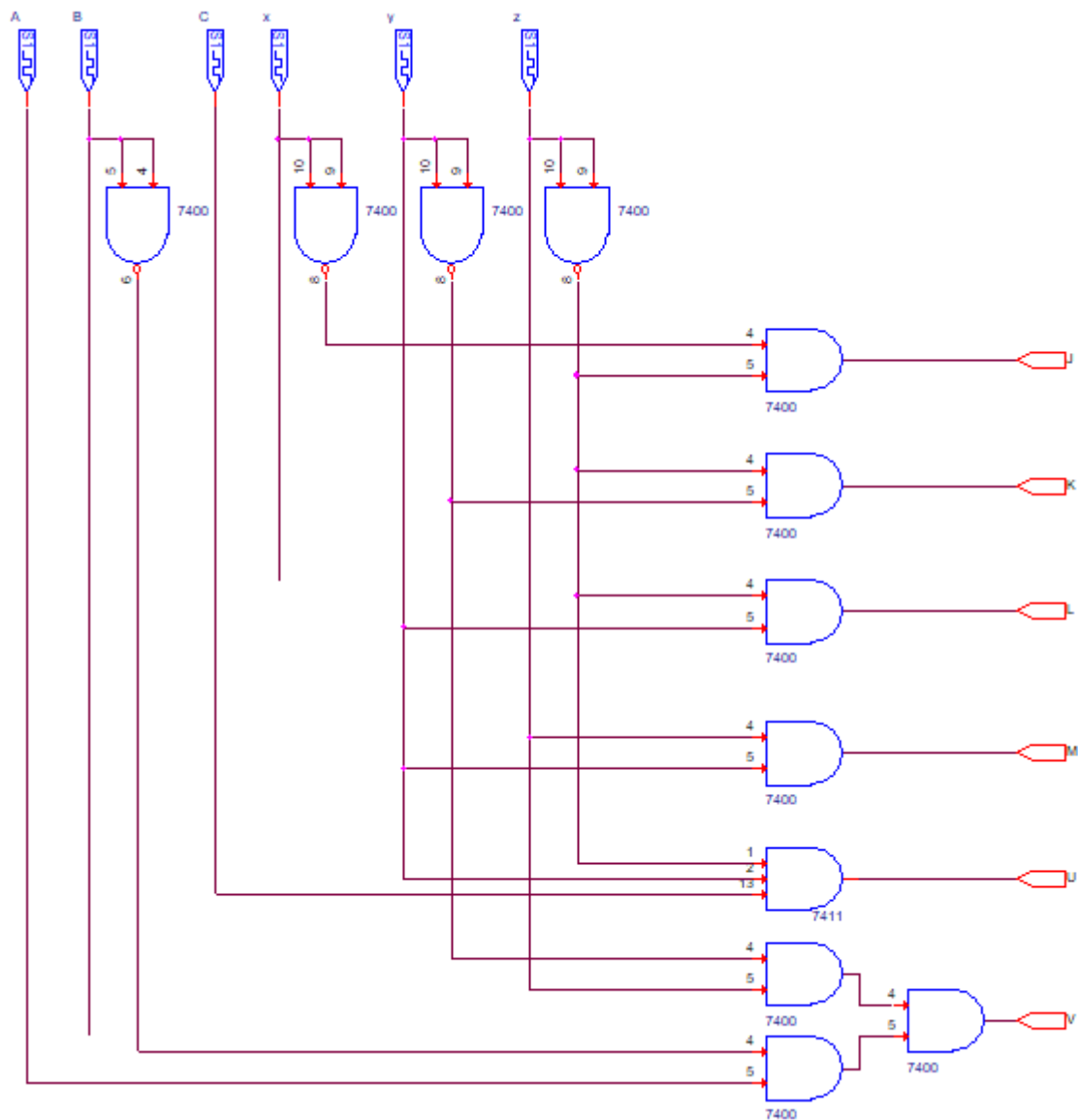


Fig. 2.1.2 LCE implementat cu porți logice

S-au folosit următoarele circuite integrate: 4 x 7400 (-);
7 x 7408 (-1);
1 x 7411 (-3);

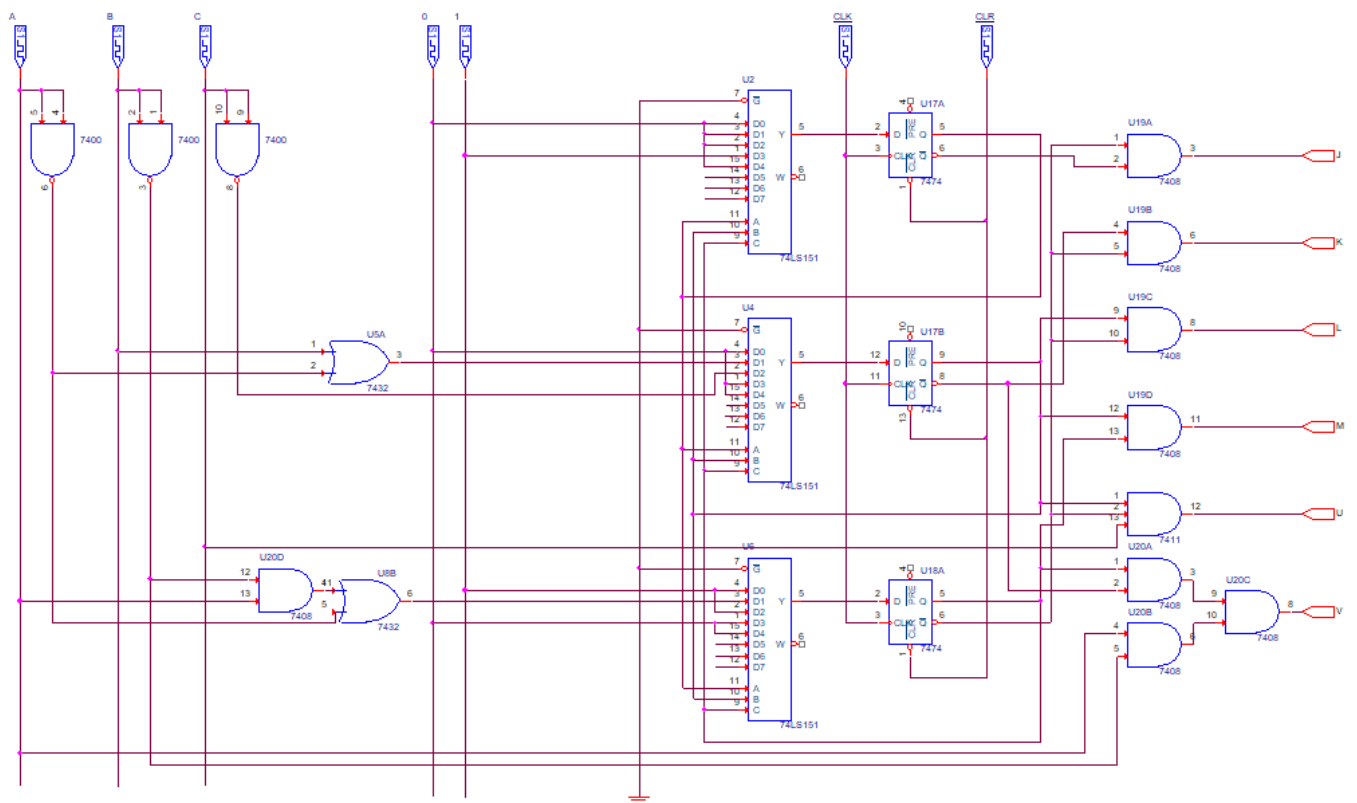


Fig. 2.1.3 Implementare cu CBB de tip D pentru RS, etaj de MUX-uri pentru GNS și porți logice pentru LCE

S-au folosit următoarele circuite integrate: 3 x 7400 (-1)
8x7408(-)
2 x 7432(-2)
3 x 74LS151(-)
3 x 7474(-)
1x7411(-3)

3. Implementare sistem digital folosind bistabil de tip D și FPLA

Să se proiecteze o mașină algoritmică de stare care să implementeze sistemul digital folosind bistabili de tip D și un FPLA 8x16x8; se va utiliza, de asemenea, maparea directă a căilor de legătură. Se va furniza o schemă de conexiune pentru FPLA-ul utilizat pentru a se indica programarea dispozitivului. Se vor inscripționa clar toate intrările și ieșirile FPLA-ului și se va indica ce se va face cu intrările, ieșirile și termenii produs neutilizați. Se va adăuga orice structură logică suplimentară necesară la schema de conexiuni a FPLA-ului, pentru a se obține schema logică completă a mașinii algoritmice de stare.

Dispozitivul PLA (Programmable Logic Array) este un circuit logic combinational cu două niveluri de logică programabilă: o matrice de porți ȘI și o matrice de porți SAU, precum și cu amplificatoare de ieșire programabile. Matricea ȘI constituie un decodificator condiționat, iar matricea SAU are rol de codificator. Litera F (de la "field"), plasată în fața denumirii abbreviate a acestui dispozitiv (devenind FPLA), indică faptul că acesta este programat de către utilizator.

Pentru implementarea cu FPLA a mașinii de stare în variant cu "maparea directă" a căilor de legătură, se analizează tabela MAS în vederea obținerii expresiilor funcțiilor N_x , N_y , N_z , J , K , L , M , U , V .

$$N_x = \bar{x}yz$$

$$N_y = AB\bar{x}\bar{y}z + \bar{A}\bar{x}\bar{y}z + \bar{C}\bar{x}y\bar{z}$$

$$N_z = \bar{x}\bar{y}\bar{z} + A\bar{B}\bar{x}\bar{y}z + \bar{A}\bar{x}\bar{y}z + \bar{C}\bar{x}y\bar{z} + C\bar{x}y\bar{z}$$

$$J = \bar{x}\bar{y}\bar{z} + \bar{x}y\bar{z}$$

$$K = \bar{x}\bar{y}\bar{z} + x\bar{y}\bar{z}$$

$$L = \bar{x}y\bar{z}$$

$$M = \bar{x}yz$$

$$U = C * \bar{x}y\bar{z}$$

$$V = A\bar{B} * \bar{x}\bar{y}z$$

Se pot observa termeni comuni prezenți în expresiile funcțiilor de ieșire și a celor de excitație. Acești termeni pot fi puși în evidență plecând de la o analiză a tablei MAS, urmărindu-se pentru linia respectivă valorile logice "1" ale funcțiilor N_x , N_y , N_z , J , K , L , M , U , V .

Astfel, termenii comuni sunt:

$$\bar{x}\bar{y}\bar{z} \quad \text{pentru } n_z, J \text{ și } K$$

$$\bar{x}\bar{y}zA\bar{B} \quad \text{pentru } n_z \text{ și } V$$

$$\bar{x}\bar{y}z\bar{C} \quad \text{pentru } n_y \text{ și } n_z$$

$$\bar{x}y\bar{z}\bar{C} \quad \text{pentru } n_y, n_z, J \text{ și } L$$

$$\bar{x}\bar{y}zC \quad \text{pentru } n_z, J, L \text{ și } U$$

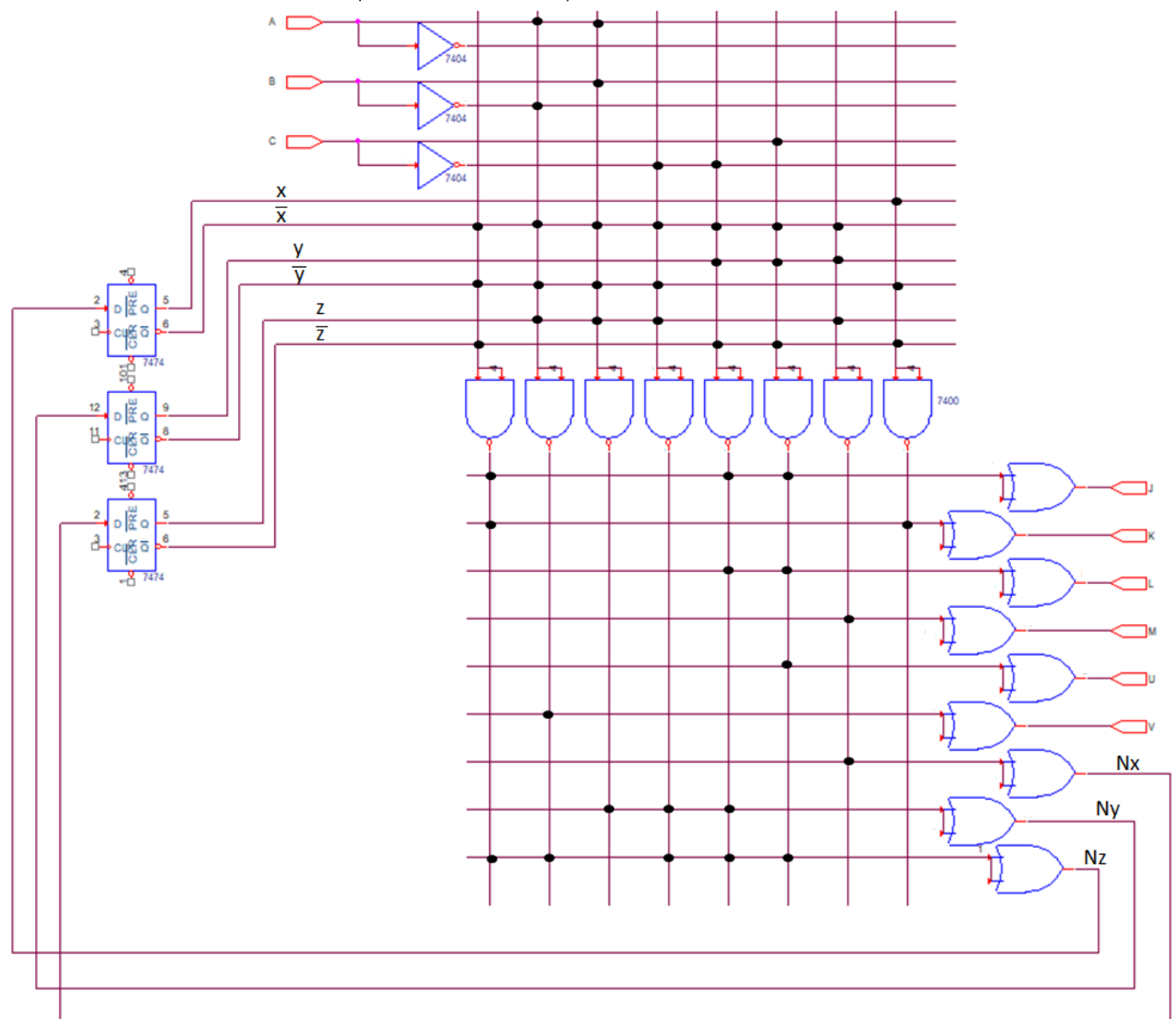
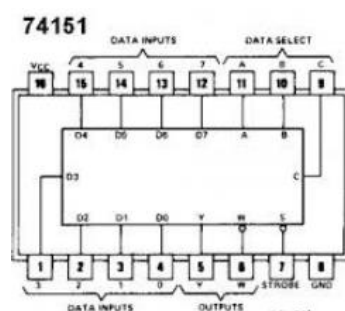
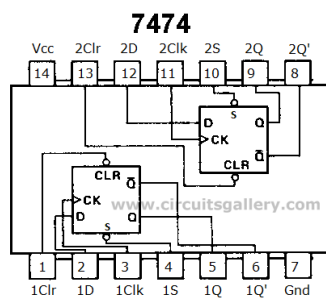
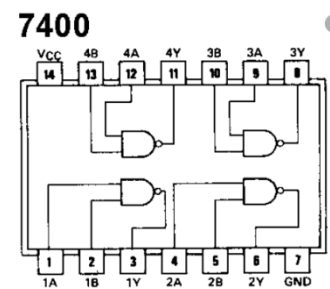
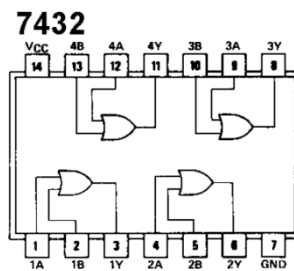
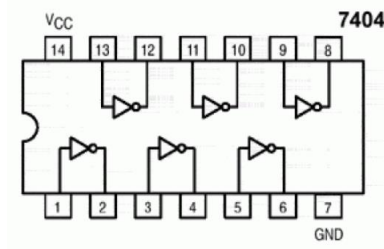


Fig. 3.1 Sinteza cu FPLA a mașinii de stare, utilizându-se maparea directă a căilor de legătură

ANEXE

Tipuri de circuite integrate utilizate în implementarea schemelor:



BIBLIOGRAFIE

[1] Curs "Circuite Logice Programabile", anul 2020-2021, Prof. Dr. Ing Florin Moldoveanu

[2] <https://www.alldatasheet.com/>