2. Übungsblatt

Lösen Sie die folgenden Aufgaben:

- i) Aktualisieren Sie Ihre Projektkopie mit git. Im Verzeichnis skript finden Sie eine sehr umfangreiche Dokumentation der HaDes. Verschaffen Sie sich einen Überblick über die HaDes in Abbildung 3.1. Wir werden alle Komponenten Schritt für Schritt implementieren.
- ii) Implementieren Sie den Programmspeicher pmemory der HaDes und verifizieren Sie Ihre Implementation mit der Testbench pmemory_tb.vhd durch eine Simulation. In Abschnitt 4.1 finden Sie umfangreiche Informationen. Dort wird vorgeschlagen ein spezielles "'Dual-Ported-RAM"' mit einem Leseausgang und einem Schreibeingang (hades_ram32_dp) zu verwenden. Sie können auch versuchen die Hinweise auf den Folien der Vorlesung zu verwenden und direkt ein Dual-Ported-RAM mit VHDL zu beschreiben. Dazu schadet es nicht, die Implementierung von hades_ram32_dp zu analysieren und Teile gegebenenfalls zu übernehmen.

Vielleicht hilft Ihnen der Vivado Design Suite 7Series FPGA Libraries Guide¹ auf Seite 365. Erinnern Sie sich daran, dass Sie eine Beschreibung finden müssen, die das Synthesetool auf die BRAMs des FPGAs zuordnen kann. Die lassen ja kein RAM erzeugen, denn die RAM-Blöcke sind auf dem FPGA schon vorhanden.

Sie können Ihre Implementation auch mit Vivado synthetisieren und das Ergebnis inspizieren. Wie groß ist Ihr Syntheseresultat? Werden Block-RAMs verwendet (das finden Sie in der Aufstellung der Syntheseergebnisse)? Wenn nein, dann ist Ihre Beschreibung noch fehlerhaft.

Hinweis: Wenn Sie ein Projekt mit Vivado erzeugen verwenden Sie das FPGA mit der Bezeichnung XC7A100TCSG324-1

iii) Entwickeln Sie einem umschaltbaren n-Bit Addierer / Subtrahierer für vorzeichenbehafteten Zahlen. Verwenden Sie die when-Anweisung die im Foliensatz beschrieben wird.

Hinweis: numeric_std könnte hilfreich sein eine kompakte Lösung zu finden.

Besprechung und Abnahme in der KW48 am 25. November 2020.

https://www.xilinx.com/support/documentation/sw_manuals/xilinx2012_2/
ug953-vivado-7series-libraries.pdf