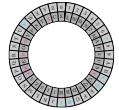




Hochschule **RheinMain**  
University of Applied Sciences  
Wiesbaden Rüsselsheim



# HARDWARE- BESCHREIBUNGSSPRACHEN

## Hardwareentwurf mit VHDL

9. November 2020

Revision: 0d5ed06 (2020-11-09 20:24:57 +0100)

Steffen Reith

Theoretische Informatik  
Studienbereich Angewandte Informatik  
Hochschule **RheinMain**



# HARDWAREENTWURF MIT VHDL

# WAS IST VHDL?

VHDL beschreibt Hardware (Hardwarebeschreibungssprache) und ist **keine** Programmiersprache!

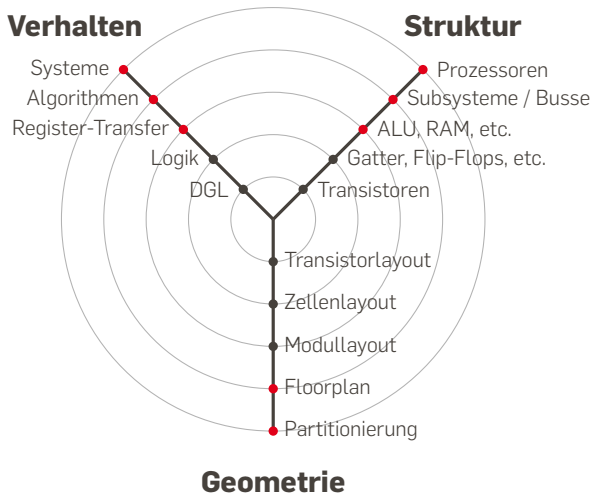
VHDL steht für ›VHSIC Hardware Description Language‹, wobei VHSIC für ›Very High Speed Integrated Circuits‹. Die Entwicklung von VHDL begann ca. 1980 und wurde durch das US DoD initiiert.

VHDL wird sowohl zur **Synthese** von Schaltkreisen, als auch zu deren **Simulation** ( $\triangleq$  Test & Debugging) verwendet.

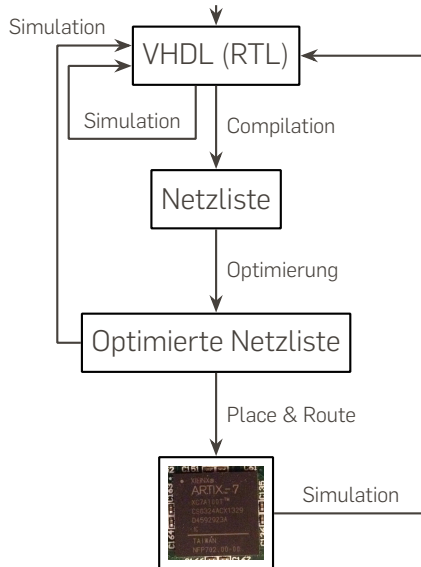
VHDL ein in Europa sehr verbreiteter (IEEE) Standard, der sowohl **herstellerübergreifend** als auch **herstellerunabhängig** ist. Ebenfalls verbreitet (z.B. in den USA) ist Verilog, das nach 1364-1995 standardisiert ist (Verilog-95)

Anders bei (klassischen) Programmiersprachen werden in VHDL bis auf Ausnahmen (innerhalb **PROCESS**, **FUNCTION** und **PROCEDURE**) alle Anweisungen **parallel ausgeführt**!

## HARDWAREENTWURF / GAJSKI-KUHN Y-DIAGRAMM



## DER GRUNDSÄTZLICHE WORKFLOW FÜR (C)PLD / FPGAS / ASICS



# EDA-TOOLS (ELECTRONIC DESIGN AUTOMATION)

Für FPGAs sind die Tools der Firma Xilinx (ISE / Vivado) bzw. der Firma Altera (Quartus II) verbreitet.

In der Vorlesung werden wir die **Vivado Suite** verwenden. Diese macht aus der Beschreibung:

```
1  library ieee;
2  use ieee.std_logic_1164.all;
3
4  entity Adder is
5      port (a      : in  std_logic;
6            b      : in  std_logic;
7            cin    : in  std_logic;
8            s      : out std_logic;
9            cout   : out std_logic);
10 end Adder;
11
12 architecture Behavioral of Adder is
13 begin
14     s <= a xor b xor cin;
15     cout <= (a and b) or (a and cin) or (b and cin);
16 end Behavioral;
```

# ERGEBNIS DER SYNTHESE

Eine Übersetzung in eine Netzliste und dann in „echte“ Hardware ergibt folgendes Bild:

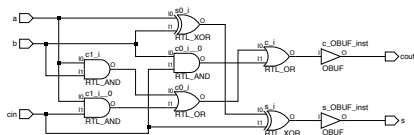


Abbildung: RTL-Level

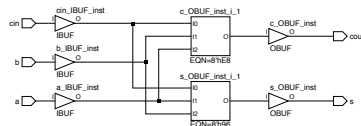


Abbildung: Technologie-Level

# EINE BEISPIELHAFTE FPGA-ARCHITEKTUR

Man kann sich ein FPGA als regelmäßiges Array von Funktionsblöcken vorstellen, die flexibel verdrahtbar sind:

Das FPGA kommuniziert durch IO-Blöcken (IOB), die Configurable Logic Blocks (CLB) enthalten Logik und kleine Speicher (einzelne Flip-Flops). Weiterhin gibt es große Speicherblöcke (BRAM) und evtl. schnelle Hardwaremultiplizierer für DSP-Anwendungen.



## EINE BEISPIELHAFTE FPGA-ARCHITEKTUR (II)

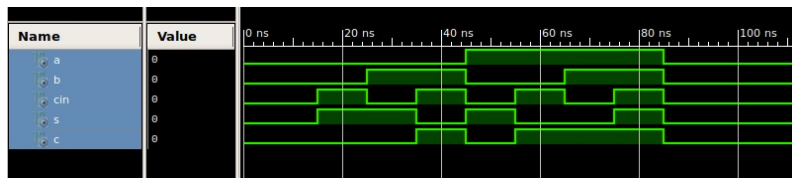
Real existierende FPGAs sind deutlich komplexer aufgebaut:

# SIMULATION

Bevor ein Schaltkreis gebaut werden kann, muss dieser mit Hilfe der Schaltungsbeschreibung (VHDL) **validiert / getestet** werden.

Dazu simuliert man Schaltkreise mit unterschiedlichem Detailgrad (z.B. Signallaufzeiten aufgrund der geometrischen Struktur).

Eine einfache Simulation des Addierers ergibt:



Zur Durchführung von Simulation werden **Testbenches** verwendet, die alle notwendigen Signalkombination an den (simulierten) Schaltkreis anlegen.

## WELCOME TO THE REAL WORLD!

The screenshot displays the Xilinx Vivado IDE interface for a project named **xc7a100tcs9324-1**. The **Flow Navigator** on the left shows the project stages: Simulation, RTL Analysis, Synthesis, and Implementation. The **Synthesized Design** is active, showing a netlist with components like **a\_IBUF\_inst (IBUF)**, **b\_IBUF\_inst (IBUF)**, **c\_OBUF\_inst (OBUF)**, **cin\_IBUF\_inst (IBUF)**, **s\_IBUF\_inst (OBUF)**, and **s\_OBUF\_inst\_1 (LUT3)**.

The **Cell Properties** window shows the properties for **s\_OBUF\_inst\_1**, including a truth table for the LUT3:

I2	I1	I0	O = I0 & I1 & I2 + I0 & I1 & !I2 + I0 & !I1 & I2 + I0 & !I1 & !I2
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

The **Project Summary** and **Implementation** sections show the following details:

- Synthesis:** Status: Complete, Messages: No errors or warnings, Part: xc7a100tcs9324-1, Strategy: Vivado Synthesis Defaults.
- Implementation:** Status: Complete, Messages: 2 warnings, Part: xc7a100tcs9324-1, Strategy: Vivado Implementation Default.
- DRC Violations:** Summary: 2 critical warnings, 1 warning.
- Timing:** Worst Negative Slack (WNS): NA, Total Negative Slack (TNS): NA, Number of Failing Endpoints: NA, Total Number of Endpoints: NA.
- Utilization - Post-Implementation:** A bar chart showing LUT utilization at 1% and I/O utilization at 2%.
- Power:** Total On-Chip Power: 0.994 W, Junction Temperature: 29.5 °C, Thermal Margin: 55.5 °C (12.0 W), Effective  $\theta_{JA}$ : 4.6 °C/W, Power supplied to off-chip devices: 0 W, Confidence level: Low.

The **Messages** pane at the bottom shows 2 warnings related to the implementation, including a note about missing timing constraints.