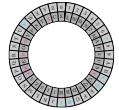




Hochschule **RheinMain**  
University of Applied Sciences  
Wiesbaden Rüsselsheim



# HARDWARE- BESCHREIBUNGSSPRACHEN

## Hardwareentwurf mit VHDL

9. November 2020

Revision: 0d5ed06 (2020-11-09 20:24:57 +0100)

Steffen Reith

Theoretische Informatik  
Studienbereich Angewandte Informatik  
Hochschule **RheinMain**



# CONSTRAINTS & SYNTHESIS

# EINLEITUNG

Bei der Umsetzung von VHDL-Beschreibungen müssen die **Eigenschaften der realen Hardware** beschrieben und **die Synthese gesteuert** werden:

- I/O-Standard der I/O-Schnittstellen (z.B. 3.3V Logik)
- Zuordnung von Signalen und physikalischen Pins
- Verwenden verschiedener Grundblöcke (Block-RAM, Distributed-RAM, LUT-RAM, DSP-Slices, Mixed-Mode Clock Manager)
- Beeinflussung von Routing (sollen Signale, wenn möglich, entfernt werden) und Placement (wo auf dem FPGA sollen Elemente benutzt werden)
- Welche Laufzeit zwischen den Bauteilen ist noch zulässig (Taktfrequenz)

## EINLEITUNG (II)

Vivado verwendet zur Beschreibung diese Nebenbedingungen (engl. **Constraints**) sogenannte XDC-Files (Xilinx Design Constraints). XDC-Anweisungen sind TCL-Kommandos (), die an Synopsys Design Constraints (SDC) angelehnt sind und Xilinx-spezifische Erweiterungen enthalten.

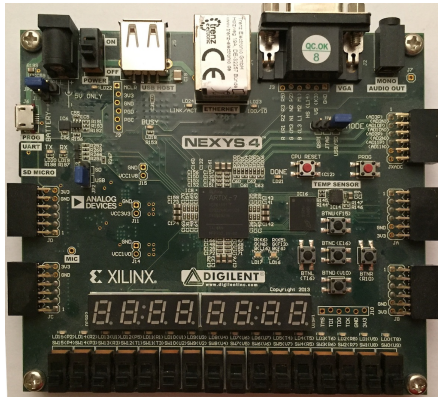
UCF-Constraints (Xilinx ISE-Tools) werden von Vivado nicht mehr unterstützt. Beispiel:

```
create_clock -period 10.000 -name clk -waveform {0.000 5.000} [get_ports clk]  
set_property PACKAGE_PIN E16 [get_ports reset]
```

**TCL** (Tool command language) ist eine extrem simple („radically simple“) und erweiterbare **Skriptsprache** ohne reservierte Schlüsselwörter. Jede Variable hat einen String („everything is a string“) als Wert. TCL erlaubt selbstmodifizierenden Code und kann als Bibliothek leicht in eigene Programme integriert werden.

# PINS UND SIGNALE

Auf den verbreiteten FPGA-Entwicklungsplatinen sind die Pins der Bausteine speziell markiert. So beschreibt U9 auf dem Nexys4-Board den Schiebeschalter 0 und L14 entspricht dem H-Sync Pin des VGA-Steckers.



## PINS UND SIGNALE (II)

Die Pins werden mit den entsprechenden Signalen wie folgt verbunden, wenn der Baustein

```
1  entity toplevel is
2  port (
3      ....
4      switches : in std_logic_vector(15 downto 0);
5      hsync : out std_logic;
6      ...
7  );
8  end entity;
```

verdrahtet werden soll:

```
set_property PACKAGE_PIN U9  [get_ports {switches[0]}]
set_property PACKAGE_PIN L14 [get_ports hsync]
```

# SPANNUNGSVERSORGUNG UND I/O-STANDARDS

Das Nexys4-Board arbeitet mit einer Spannungsversorgung von 3.3 V. Dies wird durch die folgenden Constraints beschrieben:

```
set_property CFGBVS Vcco [current_design]  
set_property CONFIG_VOLTAGE 3.3 [current_design]
```

Peripheriebausteine mit 3.3V können durch

```
set_property PACKAGE_PIN H14 [get_ports oe_n]  
set_property IOSTANDARD LVCMOS33 [get_ports oe_n]  
set_property SLEW FAST [get_ports oe_n]  
set_property IOB TRUE [get_ports oe_n]
```

spezifiziert werden. Dabei zwingt `set_property IOB TRUE` das Synthesetool für das Signal `oe_n` einen I/O-Block zu verwenden.

# EINIGE I/O-STANDARDS

I/O Standard	$V_{IL}$		$V_{IH}$		$V_{OL}$	$V_{OH}$	$I_{OL}$	$I_{OH}$
	V, Min	V, Max	V, Min	V, Max	V, Max	V, Min	mA, Max	mA, Min
HSTL_I	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	8.00	-8.00
HSTL_I_18	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	8.00	-8.00
HSTL_II	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	16.00	-16.00
HSTL_II_18	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	16.00	-16.00
HSUL_12	-0.300	$V_{REF} - 0.130$	$V_{REF} + 0.130$	$V_{CCO} + 0.300$	20% $V_{CCO}$	80% $V_{CCO}$	0.10	-0.10
LVC MOS12	-0.300	35% $V_{CCO}$	65% $V_{CCO}$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	Note 3	Note 3
LVC MOS15	-0.300	35% $V_{CCO}$	65% $V_{CCO}$	$V_{CCO} + 0.300$	25% $V_{CCO}$	75% $V_{CCO}$	Note 4	Note 4
LVC MOS18	-0.300	35% $V_{CCO}$	65% $V_{CCO}$	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	Note 5	Note 5
LVC MOS25	-0.300	0.7	1.700	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	Note 4	Note 4
LVC MOS33	-0.300	0.8	2.000	3.450	0.400	$V_{CCO} - 0.400$	Note 4	Note 4
LV TTL	-0.300	0.8	2.000	3.450	0.400	2.400	Note 5	Note 5
MOBILE_DDR	-0.300	20% $V_{CCO}$	80% $V_{CCO}$	$V_{CCO} + 0.300$	10% $V_{CCO}$	90% $V_{CCO}$	0.10	-0.10
PCI33_3	-0.400	30% $V_{CCO}$	50% $V_{CCO}$	$V_{CCO} + 0.500$	10% $V_{CCO}$	90% $V_{CCO}$	1.50	-0.50
SSTL135	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	13.00	-13.00
SSTL135_R	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	8.90	-8.90
SSTL15	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.175$	$V_{CCO}/2 + 0.175$	13.00	-13.00
SSTL15_R	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.175$	$V_{CCO}/2 + 0.175$	8.90	-8.90
SSTL18_I	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.470$	$V_{CCO}/2 + 0.470$	8.00	-8.00
SSTL18_II	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.600$	$V_{CCO}/2 + 0.600$	13.40	-13.40

Quelle: Xilinx, DS181, Artix-7 FPGAs Data Sheet: DC and AC Switching Characteristics, Table 8



## SWITCHING CHARACTERISTICS

I/O Standard	T <sub>IOP1</sub>						T <sub>IOP</sub>						T <sub>IOTP</sub>						Units
	Speed Grade						Speed Grade						Speed Grade						
	1.0V			0.95V	0.9V	1.0V			0.95V	0.9V	1.0V			0.95V	0.9V				
	-3	-2/ -2LE	-1	-1Q/ -1M	-1LI	-2LE	-3	-2/ -2LE	-1	-1Q/ -1M	-1LI	-2LE	-3	-2/ -2LE	-1	-1Q/ -1M	-1LI	-2LE	
LVTTTL_S4	1.26	1.34	1.41	1.53	1.41	1.58	3.80	3.93	4.18	4.18	4.18	4.41	3.82	3.96	4.20	4.20	4.20	4.05	ns
LVTTTL_S8	1.26	1.34	1.41	1.53	1.41	1.58	3.54	3.66	3.92	3.92	3.92	4.15	3.56	3.69	3.93	3.93	3.93	3.78	ns
LVTTTL_S12	1.26	1.34	1.41	1.53	1.41	1.58	3.52	3.65	3.90	3.90	3.90	4.13	3.54	3.68	3.91	3.91	3.91	3.77	ns
LVTTTL_S16	1.26	1.34	1.41	1.53	1.41	1.58	3.07	3.19	3.45	3.45	3.45	3.68	3.09	3.22	3.46	3.46	3.46	3.31	ns
LVTTTL_S24	1.26	1.34	1.41	1.53	1.41	1.58	3.29	3.41	3.67	3.67	3.67	3.90	3.31	3.44	3.68	3.68	3.68	3.53	ns
LVTTTL_F4	1.26	1.34	1.41	1.53	1.41	1.58	3.26	3.38	3.64	3.64	3.64	3.86	3.28	3.41	3.65	3.65	3.65	3.50	ns
LVTTTL_F8	1.26	1.34	1.41	1.53	1.41	1.58	2.74	2.87	3.12	3.12	3.12	3.35	2.76	2.90	3.13	3.13	3.13	2.99	ns
LVTTTL_F12	1.26	1.34	1.41	1.53	1.41	1.58	2.73	2.85	3.10	3.10	3.10	3.33	2.74	2.88	3.12	3.12	3.12	2.97	ns
LVTTTL_F16	1.26	1.34	1.41	1.53	1.41	1.58	2.56	2.68	2.93	2.93	2.93	3.16	2.57	2.71	2.95	2.95	2.95	2.80	ns
LVTTTL_F24	1.26	1.34	1.41	1.53	1.41	1.58	2.52	2.65	2.90	3.23	2.90	3.22	2.54	2.68	2.91	3.24	2.91	2.86	ns
LVDS_25	0.73	0.81	0.88	0.89	0.88	0.90	1.29	1.41	1.67	1.67	1.67	1.86	1.31	1.44	1.68	1.68	1.68	1.50	ns
MINI_LVDS_25	0.73	0.81	0.88	0.89	0.88	0.90	1.27	1.40	1.65	1.65	1.65	1.88	1.29	1.43	1.66	1.66	1.66	1.52	ns
BLVDS_25	0.73	0.81	0.88	0.88	0.88	0.90	1.84	1.96	2.21	2.76	2.21	2.44	1.85	1.99	2.23	2.77	2.23	2.08	ns
RSDS_25 (point to point)	0.73	0.81	0.88	0.89	0.88	0.90	1.27	1.40	1.65	1.65	1.65	1.88	1.29	1.43	1.66	1.66	1.66	1.52	ns
PPDS_25	0.73	0.81	0.88	0.89	0.88	0.90	1.29	1.41	1.67	1.67	1.67	1.88	1.31	1.44	1.68	1.68	1.68	1.52	ns
TMDS_33	0.73	0.81	0.88	0.92	0.88	0.90	1.41	1.54	1.79	1.79	1.79	1.99	1.43	1.57	1.80	1.80	1.80	1.63	ns
PCI33_3	1.24	1.32	1.39	1.52	1.39	1.57	3.10	3.22	3.48	3.48	3.48	3.71	3.12	3.25	3.49	3.49	3.49	3.34	ns
HSUL_12_S	0.67	0.75	0.82	0.88	0.82	0.87	1.81	1.93	2.18	2.18	2.18	2.41	1.82	1.96	2.20	2.20	2.20	2.05	ns
HSUL_12_F	0.67	0.75	0.82	0.88	0.82	0.87	1.29	1.41	1.67	1.67	1.67	1.90	1.31	1.44	1.68	1.68	1.68	1.53	ns
DIFF_HSUL_12_S	0.68	0.76	0.83	0.86	0.83	0.88	1.81	1.93	2.18	2.18	2.18	2.21	1.82	1.96	2.20	2.20	2.20	1.84	ns

Quelle: Xilinx, DS181, Artix-7 FPGAs Data Sheet: DC and AC Switching Characteristics, Table17

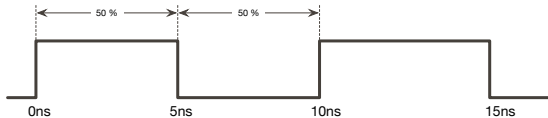
# CLOCKS

Für Timing-Analysen müssen Clock-Beschreibungen durch geeignete Constraints angelegt werden:

```
create_clock -period 10.000 -name clk -waveform {0.000 5.000}\  
[get_ports clk100Mhz]
```

Dies beschreibt einen 100 MHz Takt mit einem Tastverhältnis von 50%, da alle Einheiten in **ns** gegeben werden.

clk100Mhz

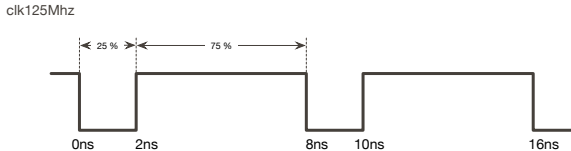


Weitere Hinweise zum Umgang mit Clocks findet sich in UG903, Vivado Design Suite User Guide, Using Constraints

## CLOCKS (II)

Auch andere Tastverhältnisse sind möglich:

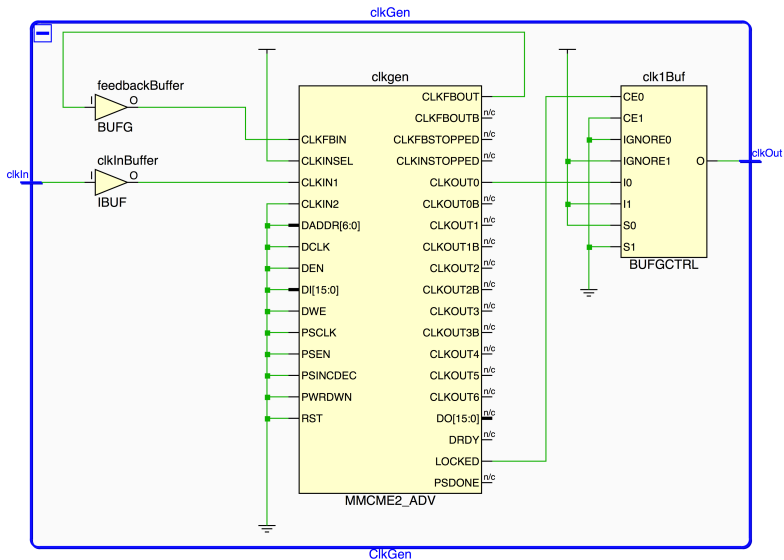
```
create_clock -period 8.000 -name clk -waveform {2.000 8.000}\  
[get_ports clk125Mhz]
```



Aus einem Taktsignal **abgeleitete** Takte werden von Vivado erkannt und **entsprechend** in die Timinganalyse **übernommen**.

Mit verschiedenen Primitiven auf einem FPGA können nahezu beliebige Takte erzeugt werden. Auf den verwendeten Artix7-Bausteinen stehen z.B. Mixed-Mode Clock Manager (MMCM) zur Verfügung.

## EIN MMCM



## EIN MMCM (II)

Solche Clock Manager können mit dem „Clock-Wizard“ von Vivado instantiiert werden oder durch besondere VHDL-Beschreibungen, die das Synthesetool automatisch erkennt (siehe: UG768, Xilinx 7 Series FPGA Libraries Guide for HDL Designs)

```
1  library ieee;
2  use ieee.std_logic_1164.all;
3
4  library unisim;
5  use unisim.vcomponents.all;
6
7  entity ClkGen is
8
9  port (reset   : in  std_logic;
10        clkIn   : in  std_logic;
11        clkOut  : out std_logic);
12
13  end ClkGen;
```

# EIN MMCM (III)

Kleiner Ausschnitt:

```

1  -- Instantiate a input clock buffer
2  clkInBuffer : IBUFG
3  port map (0 => clkInI,
4            I => clkIn);
5  -- Instantiate a clock buffer for the internal feedback signal
6  feedbackBuffer : BUFG
7  port map (0 => clkfbIBuf,
8            I => clkfbI);
9  -- Instantiate a clock manager
10 clkgen : MMCME2_ADV
11 generic map (
12   CLKFBOUT_MULT_F      => 8.000,      -- multiply feedback for 80Mhz
13   --CLKFBOUT_MULT_F    => 10.000,     -- multiply feedback for 100Mhz
14   CLKFBOUT_PHASE       => 0.000,      -- phase of feedback output
15   CLKFBOUT_USE_FINE_PS => false,      -- Don't enable fine shift
16   ...)

```