**2019-2020学年第1学期**

**2018级《计算机组成原理A/B》**

**期末考试试题(A卷)**

**考试时间：2019年12月19日**

**班级 学号 姓名**

* 请将答案写在答题纸上，写明题号，不必抄题，字迹工整、清晰；
* 请在答题纸和试题纸上都写上你的班级，学号和姓名，交卷时请将试题纸、答题纸和草纸一并交上来。

**一、单项选择题（10分，每小题1分）**

**1.不能决定每条源码级语句对应的计算机指令数量的是[ ]。**

**A.编程语言 B.编译器 C.I/O系统 D. 体系结构**

**2.以下选项中，数目的增长率不符合摩尔定律的是[ ]。**

**A.微处理器芯片 B.半导体存储器 C.寄存器 D.系统软件**

**3.下列存储介质，属于易失性存储的是[ ]。**

**A.闪存 B.主存 C.磁盘 D.光盘**

**4.下面不属于计算机系统结构中的8个伟大思想的是[ ].**

**A．通过流水线提高性能 B．采用多核程序设计**

**C．采用二进制表示 D．高级程序语言不必关心底层硬件细节**

**5.一般情况下，实现一个给定的功能需花费的代码行数最多的语言是[ ]。**

**A.MIPS B.C++ C. JAVA D. C**

**6.以下关于冯诺依曼理论正确是[ ]。**

**A.十六进制数具有更高的存储能力。**

**B.CPU由ALU、Cache、寄存器、数据通路组成。**

**C.存储器分为多级。**

**D.计算机采用存储程序的方式工作。**

**7.计算机主频的周期是指[ ]。**

**A. 指令周期 B.时钟周期 C.存储周期 D.机器周期**

**8.MIPS中，使用了32个寄存器，符合硬件设计规则[ ]。**

**A.简单源于规整 B.越少越快 C.加速执行常用操作 D.采用折衷方案**

**9.适用于做Cache的半导体器件是[ ]。**

**A.SRAM B.CRAM C.DRAM D.以上答案均可**

**10. 通过增加硬件支持，可以避免的流水线冒险是[ ]。**

**A.结构冒险 B.控制冒险 C.设备冒险 D.数据冒险**

**二、判断对错，正确的标记即可，错误的需要给出适当解释。（10分，每小题2分）**

**1. 32位单精度IEEE754格式的浮点数7F800000H（H代表16进制数）表示的是。**

**2.全局指针$gp初值为10008000H，访问空间是1000 8000H到1001 FFFFH之间的内存空间。（H表示十六进制数）**

**3. Cache写操作中，采用写直达的方式是将被写数据所在Cache整块放入到写缓冲中，在处理器空闲时将其写入到主存里。**

**4. 单周期指令可以直接采用流水线的方式进行加速。**

**5. MIPS中相对C语言只有很少的决策和循环语句，是因为更多的决策语句意味着更少的代码量，执行更少的操作。**

**三、综合问答题（30分，每小题5分）**

**1. 简述缩短cpu时间的方法。**

**2．简述一个C语言程序转换为可执行程序的4个步骤。**

**3．请解释程序具有的局部性体现在哪些方面。**

**4．请画出乘除法器原理图，并解释一个除法的执行过程。**

**5．MIPS如何得到一个32位的立即数。**

**6. 简述控制冒险的三种解决方法。**

**四、综合题（50分）**

**1. 某计算机虚拟地址空间大小为256MB，主存地址空间大小为16MB，页面大小为128KB；Cache采用2路组相联映射方式，共16块；主存与Cache之间交换的块大小为16字（一个字四个字节）。系统运行到某一时刻时，页表的部分内容和Cache的部分内容分别如下图所示，图中物理页号/磁盘地址及标记字段的内容为十六进制形式。请回答下列问题：**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **虚页号** | **有效位** | **物理页/磁盘地址** |  | **组号** | **有效位** | **标记** | **有效位** | **标记** |
| **0H** | **1** | **06H** |  | **0** | **1** | **0200 H** | **0** | **---** |
| **1H** | **1** | **04H** |  | **1** | **0** | **---** | **1** | **0251H** |
| **2H** | **1** | **15 H** |  | **2** | **1** | **04C0 H** | **1** | **032EH** |
| **3H** | **1** | **02 H** |  | **3** | **1** | **01D2 H** | **0** | **---** |
| **4H** | **0** | **---** |  | **4** | **1** | **0640 H** | **1** | **00CDH** |
| **5H** | **1** | **28 H** |  | **5** | **1** | **04DA H** | **1** | **0D7FH** |
| **6H** | **0** | **---** |  | **6** | **0** | **---** | **0** | **---** |
| **7H** | **1** | **32 H** |  | **7** | **1** | **07AB H** | **1** | **0020H** |
| **…** | **…** | **…** |  |  |
| **15H** | **0** | **…** |  |  |
| **16H** | **1** | **23H** |  |  |

**页表的内容 cache的部分内容**

**1）（4分）虚拟地址共有几位，那几位表示页号？物理地址共有几位，哪几位表示物理页号？**

**2）（4分）使用物理地址访问Cache时，给出物理地址的划分格式。**

**3）（6分）使用虚拟地址002C050H访问时，能否从Cache中读取到数据？要求给出推导过程。**

**4）（6分）假定为该机配置一个全相联的TLB，该TLB共可存放4个页表项，若其采用LRU替换算法，当前内容如下图所示，此时依次访问虚拟地址027BAC0H和0110140H，问接下来继续访问02A0020H所在的页面是否在主存中？要求说明理由。注：H表示16进制数。**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **有效位** | **脏位** | **引用位** | **标记** | **物理页面地址** |
| **1** | **1** | **1** | **6F3H** | **3FH** |
| **1** | **0** | **0** | **025H** | **08H** |
| **1** | **1** | **1** | **09EH** | **1DH** |
| **1** | **1** | **0** | **008H** | **07H** |

**TLB内容**

**2. 已知一段MIPS指令序列如下：**

**L2： lw $s3, 4($s2) # (1)**

**add $s5, $s3, $s1 # (2)**

**addi $s7, $s5, 1 # (3)**

**beq $s5, $s6, Exit # (4)**

**sw $s5, 4($s2) # (5)**

**j L2 # (6)**

**Exit: # (7)**

**请回答下列问题：**

**1）（3分）上述 （1）、（2）、（3）语句的寻址方式。**

**2）（4分）指出指令（4）和（6）的两点区别。**

**3）（3分）若指令（1）所在的内存地址是0,则指令（6）所在的内存地址是多少。**

**4）（10分）请画出一个能实现上述指令的简单的MIPS体系结构数据通路硬件结构图（数据通路包括五个阶段：IF取指令；ID指令译码、读寄存器堆；EX执行或计算地址；MEM数据存储器访问；WB写回），结构图中要有必要的控制信号与多选门，控制信号可以自行定义缩写并进行说明。并分析指令（1）执行时，在数据通路EX段中传递的数据和相应的控制信号；**

**5）（10分）假设支持一个周期同时写读寄存器，在EX、MEM阶段有转发，若以上序列采用流水方式执行，当分支不成立，请画出执行指令（1）到（5）的流水线时空图，并计算吞吐率和加速比。**