**2021-2022学年第2学期**

**2020级《计算机组成原理》期末考试试题**

**考试时间：2021年12月29日**

**班级 学号 姓名**

* 请将答案写在答题纸上，写明题号，不必抄题，字迹工整、清晰；
* 请在答题纸和试题纸上都写上你的班级，学号和姓名，交卷时请将试题纸、答题纸和草纸一并交上来。

**一、简述题（30分，每小题6分）：**

1. 数据存储是一般都是字节的整数倍，例如32位数据是4个字节，这32位的数据一般可以有2种顺序存放，请说明是哪2种存放顺序。若数据12345678H(16进制)存放在100、101、102、103这4个存储单元中，按照这2种存放方式，各存储单元的数据值各是多少？
2. MIPS指令集的三项设计原则是什么？举例说明这些原则是如何应用到具体指令中的？
3. 旁路是如何解决数据冒险的？是否能解决所有的数据冒险？并举例说明。
4. 直接相联映射、组相联映射、全相联映射的共同点是什么？它们之间的关系是什么？
5. 下表是TLB，页表以及cache访问中可能的组合，完成表第四栏的内容填写

|  |  |  |  |
| --- | --- | --- | --- |
| TLB | 页表 | Cache | 这种情况能发生吗？，  如果可能，在什么情况下发生？ |
| 命中 | 命中 | 缺失 |  |
| 缺失 | 命中 | 命中 |  |
| 缺失 | 命中 | 缺失 |  |
| 缺失 | 缺失 | 缺失 |  |
| 命中 | 缺失 | 缺失 |  |
| 命中 | 缺失 | 命中 |  |
| 缺失 | 缺失 | 命中 |  |

**二、计算题（20分，每题10分）：**

**1.（10分）**同一个指令集 体系结构有两种不同的实现方式，有A、B、C、D，4类指令。每种实现方式的时钟频率和CPI由下表给定。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | 时钟频率 | CPI(A类) | CPI(B类) | CPI(C类) | CPI(D类) |
| 体系结构P1 | 1.5GHz | 1 | 2 | 3 | 4 |
| 体系结构P2 | 2 GHz | 2 | 2 | 2 | 2 |

假定一个程序有106条指令，其中各类指令的比例为A类占10%、B类占20%、C类占50%、D类占20%，问哪种实现方式更快（给出理由）？

**2.(10分)**

某程序段如示（十进制表示），若将此程序段顺序调入起始地址为2000内存单元中，请给出Start、Exit、Target的地址值。如果寄存器中的初值等于其编号值，存储器单元中的数值等于其存储单元地址值，那么执行完该程序段后，哪个寄存器中的值发生变化，变化后的该寄存器中的值是多少？

Start: sub $10, $4, $7  
beq $1, $3, Target  
j Exit

Target: and $12, $2, $5;

or $13, $2, $6  
 add $14, $4, $2  
 slt $15, $6, $7  
 or $13,$6,$2  
 add $14,$2,$2  
 sw $15,102($2)

Exit: lw $4, 56($8)

**三、综合与设计题（共50分）：**

**1.（20分）**某计算机存储器按字节编址，虚拟（逻辑）地址空间大小为4GB，主存（物理）地址空间大小为256MB，页面大小为64KB。Cache采用二路组相联直映射，共16块；主存与Cache之间交换的块大小为256B。该机配置了全相联的TLB，该TLB共可存放8个页表项。在某时刻，该计算机系统TLB、页表和Cache内容如图所示：

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| （a）页表内容 | | | | (b)cache内容 | | | | | | | （c）TLB内容 | | |
| 虚页号 | 有效位 | 物理页号 | 。。 | 组号 | 有效位 | 标记 | ...... | 有效位 | 标记 | …… | 有效位 | 标记 | 物理页号 |
| 0 | 1 | 005 | …… | 0 | 1 | 10200 | …… | 1 | 10D00 | …… | 0 | - | - |
| 1 | 1 | 01B | …… | 1 | 0 | --- | …… | 0 | --- | …… | 1 | 0011 | 155 |
| 2 | 1 | 115 | …… | 2 | 1 | 004C0 | …… | 1 | 014C0 | …… | 0 | - | - |
| 3 | 1 | 102 | …… | 3 | 1 | 101D2 | …… | 1 | 00250 | …… | 1 | 0120 | 1FD |
| 4 | 0 | - | …… | 4 | 1 | 00640 | …… | 1 | 04640 | …… | 1 | 0132 | 2D1 |
| 5 | 1 | 128 | …… | 5 | 1 | 0141A | …… | 1 | 11400 | …… | 0 | - |  |
| 6 | 0 | - | …… | 6 | 0 | --- | …… | 0 | --- | …… | 1 | 008D | 7EF |
| 7 | 1 | 32C | …… | 7 | 1 | 0272B | …… | 1 | 0174B | …… | 0 | - |  |

当CPU给出虚存地址0005C3EFH时，详细分析CPU取得数据的过程，并给出CPU取得数据后，TLB表和Cache表内容。

**2.（15分）**设计流水线，设指令流水线有取指（IF）、译码并读寄存器(ID)、计算（EX）、存储器读写和写回（MEMWB）4个阶段，假设各个阶段完成的时间依次为（IF）200ps、(ID)190ps、（EX）200ps, （MEMWB）380ps。现有20条指令连续流入此流水线，求此流水线的实际吞吐率和加速比。 若可以重新设计流水线，应该怎样改进设计？改进后各段的完成时间是多少？20条指令连续流入改进后的流水线实际吞吐率和加速比是多少？

**3.（15分）**请设计可以快速实现9×5的32位乘法器，并写出详细计算步骤（写出4位二进制乘法即可）。