〈习题一〉作业参考答案

1.4 如何判断一个 7 位二进制正整数 A=$a_1a_2a_3a_4a_5a_6a_7$是否是 4 的倍数。
答：只要a_6a_7=00，A 即可被 4 整除。

1.10 设[x]补=01101001，[y]补=10011101，求：$[\frac{1}{2}x]_{补}$，$[\frac{1}{4}x]_{补}$，$[\frac{1}{2}y]_{补}$，$[\frac{1}{4}y]_{补}$，$[-x]_{补}$，$[-y]_{补}$。

答：（1）如[x]补=$x_0x_1x_2\cdots x_n$，则$[\frac{1}{2}x]_{补}$= $x_0x_0x_1x_2\cdots x_{n-1}.\ x_n$。

所以，$[\frac{1}{2}x]_{补}$=00110100.1，$[\frac{1}{4}x]_{补}$=00011010.01，$[\frac{1}{2}y]_{补}$=11001110.1，$[\frac{1}{4}y]_{补}$=11100111.01。

（2）如[x]补=$x_0x_1x_2\cdots x_n$，[-x]补=$\overline{x_0}\,\overline{x_1}\,\overline{x_2}\ldots\overline{x_n}+1$。

所以，$[-x]_{补}$=10010111，$[-y]_{补}$=01100011。

注意：公式（1）[x]补=$x_0x_1x_2\cdots x_n$，则$[\frac{1}{2}x]$补= $x_0x_0x_1x_2\cdots x_{n-1}.\ x_n$

（2）[x]补=$x_0x_1x_2\cdots x_n$，[-x]补=$\overline{x_0}\,\overline{x_1}\,\overline{x_2}\ldots\overline{x_n}+1$

一定要掌握。

1.11 根据原码和补码的定义回答下列问题：
（1）已知[x]补>[y]补，是否有 x>y?
（2）设-2^n<x<0，x 为何值时，等式[x]补=[x]原成立。
答：（1）否。如果 x<0 且 y>0，则[x]补>[y]补。但显然 x<y。
（2）因为 x<0，所以[x]补=2^{n+1}+x，[x]原=2^n-x；
要使[x]补=[x]原，则 2^{n+1}+x=2^n-x。从而可以得到：
X=$-2^{(n-1)}$。
注意：因为-2^n<x，所以 x 的数据位有 n 位，加上一个符号位为 n+1 位。所以，其补码为 2^{n+1}+x。

1.12 设 x 为二进制整数，[x]补=11$x_1x_2x_3x_4x_5$，若要 x <-16，则 x_1~x_5应满足什么条件？
答：[x -(-16)]补=[x+16]补=[x]补+10000，若要 x <-16，则[x -(-16)]补>1000000，
即[x]补+10000>1000000。根据补码加法，则 x_1=0，x_2~x_5任意。
或：
[x]补=2^7+x，所以 x=[x]补-2^7<-16，即 11$x_1x_2x_3x_4x_5$<112，因此 $x_1x_2x_3x_4x_5$<16。所以 x_1=0，$x_2x_3x_4x_5$任意。

1.16 完成下列代码之间的转换：
（1）(0101 1001 1001 0111.0111)$_{8421BCD}$=（5997.7）$_{10}$。
（2）(359.25)$_{10}$=（0110 1000 1100.01011）$_{余3}$。
（3）(1010001110010101)$_{余3}$=（0111 0000 0110 0010）$_{8421BCD}$

1.17 试写出下列二进制数的典型格雷码：101010，10111011。
答：典型格雷码的编码规则为：

$$\begin{cases} G_n = B_n \\ G_i = B_{i+1} \oplus B_i \end{cases}$$

所以 101010 对应的格雷码为：111111。10111011 对应的格雷码为：11100110。

1.18 试给出一位余 3 码的奇校验海明码。

答：1) 根据公式 $(2^r-1)-r=k$ 且余 3 码对应的 k=4，确定校验码位数 r=3；

2) 设置校验位 b_1，b_2，b_3，将他们分别置于 1，2，4 码位上，并根据分组规则将它们分成 3 组，如下表所示：

	1	2	3	4	5	6	7
S_1	b_1		a_1		a_2		a_4
S_2		b_2	a_1			a_3	a_4
S_3				b_3	a_2	a_3	a_4

3) 列出校验位的表达式（奇校验）：

$$b_1 = a_1 \oplus a_2 \oplus a_4 \oplus 1$$

$$b_2 = a_1 \oplus a_3 \oplus a_4 \oplus 1$$

$$b_3 = a_2 \oplus a3 \oplus a_4 \oplus 1$$

计算每组余 3 码相应的校验位值。完整的余 3 码海明码表如下表所示：

信息码序号	b_1	b_2	a_1	b_3	a_2	a_3	a_4
0	0	1	0	1	0	1	1
1	0	1	0	0	1	0	0
2	1	0	0	1	1	0	1
3	0	0	0	1	1	1	0
4	1	1	0	0	1	1	1
5	0	0	1	1	0	0	0
6	1	1	1	0	0	0	1
7	0	1	1	0	0	1	0
8	1	0	1	1	0	1	1
9	1	0	1	0	1	0	0

注意：不能把余 3 码转换成 8421BCD 码，然后再求其海明码。

1.19 设有一信息码字 $a_1a_2a_3a_4$=1010，需用偶校验的海明码进行传送，使给出该信息的海明码。若接收端 a_3 变为 0，如何发现？如何纠正？

答：该信息的海明码为：1011010。若接收端 a_3 变为 0，那么 $S_3S_2S_1$=110（因为 a_3 对应的码位为 6)。直接将第 6 位（即 a_3）取反即可。

注意：$S_3S_2S_1$ 指出了错码的码位，而不是 a 的下标。

〈习题二〉作业参考答案

2.4 用逻辑代数公理和定理证明：

（1） $A\overline{B} \oplus \overline{A}B = A\overline{B} + \overline{A}B$

证明： $A\overline{B} \oplus \overline{A}B$

$= A\overline{B}\cdot\overline{\overline{A}B} + \overline{A\overline{B}}\cdot\overline{A}B$ 　异或运算的定义

$= A\overline{B}\cdot(A+\overline{B}) + (\overline{A}+B)\cdot\overline{A}B$ 　摩根律

$= A\overline{B}A + A\overline{B}\,\overline{B} + \overline{A}\,\overline{A}B + B\overline{A}B$ 　交换律、分配律

$= A\overline{B} + A\overline{B} + \overline{A}B + \overline{A}B$ 　重叠律、交换律

$= A\overline{B} + A\overline{B}$ 重叠律

（2） $(A \oplus B) \odot AB = \overline{A}\,\overline{B}$

证明： $(A \oplus B) \odot AB$

$= (A\overline{B} + \overline{A}B) \odot AB$ 　异或运算的定义

$= (A\overline{B} + \overline{A}B)\cdot AB + \overline{(A\overline{B} + \overline{A}B)}\cdot\overline{AB}$ 　同或运算的定义

$= A\overline{B}AB + \overline{A}BAB + \overline{A\overline{B}}\cdot\overline{\overline{A}B}\cdot\overline{AB}$ 　分配律、摩根律

$= \overline{A\overline{B}}\cdot\overline{\overline{A}B}\cdot\overline{AB}$ 　互补律

$= \overline{A\overline{B} + \overline{A}B + AB}$ 　摩根律

$= \overline{A\overline{B} + B}$ 　分配律、互补律

$= \overline{A + B}$ 　吸收律

$= \overline{A}\,\overline{B}$ 　摩根律

(3) $A\cdot\overline{ABC} = A\overline{B}\,\overline{C} + A\overline{B}C + AB\overline{C}$

证明： $A\cdot\overline{ABC}$

$= A\cdot(\overline{A} + \overline{B} + \overline{C})$ 摩根律

$= A\cdot(\overline{B} + \overline{C})$ 　吸收律

$= A\cdot\overline{B} + A\cdot\overline{C}$ 　分配律

$= A\cdot\overline{B}\cdot(C + \overline{C}) + A\cdot\overline{C}\cdot(B + \overline{B})$ 　互补律、0-1 律

$= A\overline{B}C + A\overline{B}\,\overline{C}) + AB\overline{C} + A\overline{B}\,\overline{C}$ 　分配律、交换律

$= A\overline{B}\,\overline{C} + A\overline{B}C + AB\overline{C}$ 　分配律、交换律

（4） $A\overline{B} + B\overline{C} + \overline{A}C = \overline{A}B + \overline{B}C + A\overline{C}$

证明： $A\overline{B}(C + \overline{C}) + (A + \overline{A})B\overline{C} + \overline{A}(B + \overline{B})C$ 　互补律、0-1 律

$= A\overline{B}C + A\overline{B}\,\overline{C} + AB\overline{C} + \overline{A}B\overline{C} + \overline{A}BC + \overline{A}\,\overline{B}C$ 　分配律、交换律

$= \overline{A}B + \overline{B}C + A\overline{C}$

（5） $AB + A\overline{B} + \overline{A}B + \overline{A}\,\overline{B} = 1$

证明：$AB+A\overline{B}+\overline{A}B+\overline{A}\overline{B}$

$=(AB+A\overline{B})+(\overline{A}B+\overline{A}\overline{B})$ 结合律

$=A(B+\overline{B})+\overline{A}(B+\overline{B})$ 分配律

$=A+\overline{A}$ 互补律、0-1 律

=1 互补律

2.5 写出下列表达式的对偶式（最好利用对偶定义来求解）

（1）$F=(A+B)(\overline{A}+C)(C+DE)+F$

答：$F'=(AB+\overline{A}C+C(D+E))F$

（2）$F=\overline{\overline{\overline{A}+B+\overline{C+B}}+\overline{A+C+\overline{B+C}}}$

答：$F'=\overline{\overline{\overline{A}B\overline{CB}}\,\overline{AC\overline{BC}}}$

（3）$F=\overline{\overline{A\overline{B}}\cdot\overline{C\overline{D}}\cdot\overline{D\overline{A}\overline{B}}}$

答：$F'=\overline{\overline{A+\overline{B}}+\overline{C+\overline{D}}+\overline{D+\overline{A}+\overline{B}}}$

（4）$F=B\overline{(A\oplus B)}+B(A\oplus C)$

答：需要了解同或的对偶式为异或，异或的对偶式为同或。

$F'=(B+\overline{(A\odot B)})(B+(A\odot C))$

（5）$F=\overline{\overline{(C\oplus A)}\oplus(B\oplus\overline{D})}$

答：$F'=\overline{\overline{(C\odot A)}\odot(B\odot\overline{D})}$

2.6 写出下列表达式的反函数（最好利用取反规则来求解）

（1）$F=((\overline{x_1}x_2+\overline{x_3})x_4+\overline{x_5})x_6$

答：$\overline{F}=((x_1+\overline{x_2})\cdot x_3+\overline{x_4})\cdot x_5+\overline{x_6}$

（2）$F=S(\overline{W}+I(T+\overline{C}))+H$

答：$\overline{F}=(\overline{S}+W\cdot(\overline{I}+\overline{T}\cdot C))\cdot\overline{H}$

（3）$F=A\overline{B}+(C\overline{D}+\overline{E}F)G$

答：$\overline{F}=(\overline{A}+B)\cdot((\overline{C}+D)\cdot(E+\overline{F})+\overline{G})$

（4）$F=\overline{A}B+B\overline{C}+A(C+\overline{D})$

答：$\overline{F}=(A+\overline{B})\cdot(\overline{B}+C)\cdot(\overline{A}+\overline{C}D)$

2.7 回答下列问题：

（1）已知 X+Y=X+Z，那么 Y=Z 正确吗？为什么？

答：不正确。若 X=1，则 Y，Z 任意取值等式都成立。

（2）已知 XY=XZ，那么 Y=Z 正确吗？为什么？

答：不正确。如 X=0，则 Y，Z 任意取值等式都成立。

（3）已知 X+Y=X+Z，且 XY=XZ，那么 Y=Z 正确吗？为什么？

答：正确。因为 X+Y=X+Z，则 X=1 或 X=0 且 Y=Z。若 X=1，则由 XY=XZ 可得 Y=Z。

（4）已知 X+Y=X•Y，那么 X=Y 正确吗？为什么？

答：正确。X 只能取 1 或 0。若 X=1，则等式右边为 1，左边为 Y，因此，Y=1，可得 X=Y；

若 X=0，则等式左边为 Y，右边为 0，因此，Y=0，可得 X=Y。所以，成立。

2.11 用卡诺图判断函数 F（A，B，C，D）和 G（A，B，C，D）的关系。

$$F=\overline{B}\overline{D}+\overline{A}\overline{D}+\overline{C}\overline{D}+AC\overline{D}$$

$$G=\overline{B}D+CD+\overline{A}\overline{C}D+ABD$$

答：F 的卡诺图如图 1，化简后 $F=\overline{D}$

G 的卡诺图如图 2，化简后 $F = D$

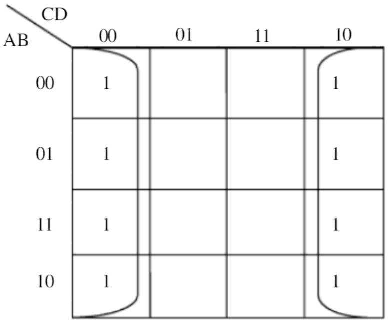


图 1

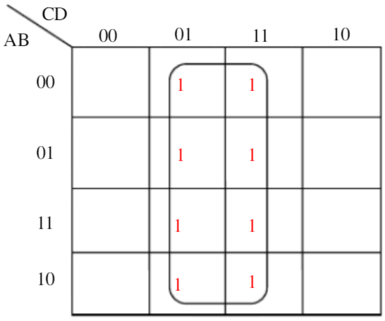


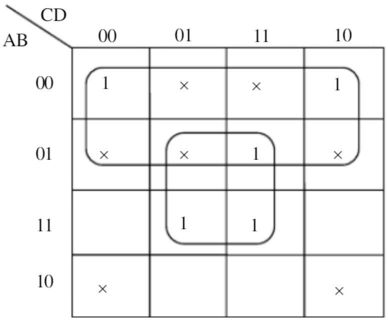
图 2

由此可见， $F=\overline{G}$

2.12 用卡诺图化简包含无关最小项的函数和多输出函数:

(1) $F(A,B,C,D)=\sum m(0,2,7,13,15)+\sum d(1,3,4,5,6,8,10)$

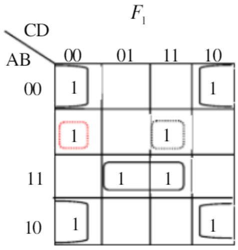
答：F 的卡诺图如下：



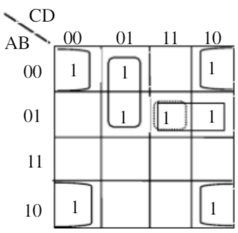
所以， $F(A,B,C,D)=\overline{A}+BD$ 。

(2) $\begin{cases} F_1=\sum m^4(0,2,4,7,8,10,13,15) \\ F_2=\sum m^4(0,1,2,5,6,7,8,10) \\ F_3=\sum m^4(2,3,4,7) \end{cases}$

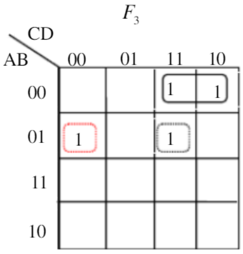
F_1



F_2



F_3



多输出函数的化简关键在于充分利用各函数之间的共享部分。如上图虚线框所示。

所以化简后的多输出函数应该为：

$F_1=\overline{B}\overline{D}+ABD+\overline{A}B\overline{C}\overline{D}+\overline{A}BCD$

$$\begin{cases} F_2 = \overline{B}\,\overline{D} + \overline{A}\,\overline{C}D + \overline{A}BC \\ F_3 = \overline{A}\,\overline{B}C + \overline{A}B\overline{C}\,\overline{D} + \overline{A}BCD \end{cases}$$

对于 F_2 的化简，还要注意化简的标准：不同的与项个数应该最少，不同的变量个数应该最少。

〈习题四〉作业参考答案

4.4 试分析图 4.60 所示的码制转换电路的工作原理

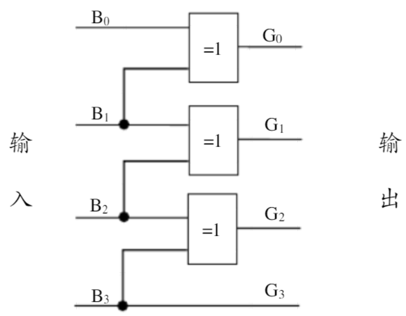


图 4.60 题 4.4 的逻辑电路图

答：①写出逻辑表达式

$$G_0 = B_0 \oplus B_1$$
$$G_1 = B_1 \oplus B_2$$
$$G_2 = B_2 \oplus B_3$$
$$G_3 = B_3$$

②列出真值表

B_3	B_2	B_1	B_0	G_3	G_2	G_1	G_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

③由真值表可以发现，任意相邻的两个代码之间只有一位不同，而其余各位均相同。因此，上述逻辑电路的功能是把一个四位二进制数转换成了 Gray 码。

4.7 设二进制补码 $[x]_{补}=X_0X_1X_2X_3X_4$，写出下列要求的判断条件：

（1）$\frac{1}{2} \le x 或 x < -\frac{1}{2}$

（2）$\frac{1}{4} \le x < \frac{1}{2} 或 -\frac{1}{2} \le x < -\frac{1}{4}$

（3）$\frac{1}{8}\le x<\frac{1}{4}$或$-\frac{1}{4}\le x<-\frac{1}{8}$

（4）$0\le x<\frac{1}{8}$或$-\frac{1}{8}\le x<0$

答：根据补码定义，若 x>y 且 x、y 同号，则 $[x]_补>[y]_补$。x_0符号位，小数点在 x_0后。

因此：

（1）$\frac{1}{2}\le x$或$x<-\frac{1}{2}$

（x_0=0，x_1=1）

或

（x_0=1 且 $x_0.x_1x_2x_3x_4$<1.1 即 x_0=1 且 x_1=0）

因此，F= $x_0\oplus x_1$。

（2）$\frac{1}{4}\le x<\frac{1}{2}$或$-\frac{1}{2}\le x<-\frac{1}{4}$

（0.01≤$[x]_补$<0.1，所以 $x_0=0 \wedge x_1=0 \wedge x_2=1$）

或

（1.1≤$[x]_补$<1.11，所以 $x_0=1 \wedge x_1=1 \wedge x_2=0$）

因此，$F=\overline{x_0}\,\overline{x_1}x_2+x_0x_1\overline{x_2}$

（3）$\frac{1}{8}\le x<\frac{1}{4}$或$-\frac{1}{4}\le x<-\frac{1}{8}$

（0.001≤$[x]_补$<0.01，所以 $x_0=0 \wedge x_1=0 \wedge x_2=0 \wedge x_3=1$）

或

（1.11≤$[x]_补$<1.111，所以 $x_0=1 \wedge x_1=1 \wedge x_2=1 \wedge x_3=0$）

因此，$F=\overline{x_0}\,\overline{x_1}\,\overline{x_2}x_3+x_0x_1x_2\overline{x_3}$

（4）$0\le x<\frac{1}{8}$或$-\frac{1}{8}\le x<0$

（0.0000≤$[x]_补$<0.001，所以 $x_0=0 \wedge x_1=0 \wedge x_2=0 \wedge x_3=0$）

或

（1.111≤$[x]_补$<2，所以 $x_0=1 \wedge x_1=1 \wedge x_2=1 \wedge x_3=1$）

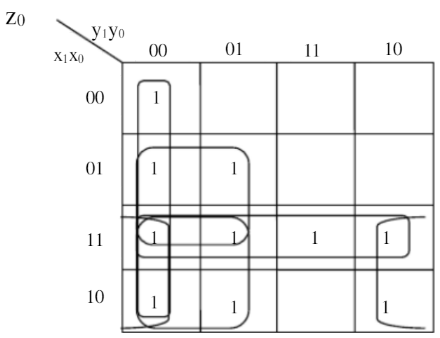
因此，$F=\overline{x_0}\,\overline{x_1}\,\overline{x_2}\,\overline{x_3}+x_0x_1x_2x_3$

4.12 设计一个能接收两位二进制数 $Y=y_1y_0$，$X=x_1x_0$，并输出 $Z=z_1z_0$的逻辑电路。当 Y=X 时，Z=11；当 Y>X 时，Z=10；当 Y<X 时，Z=01。用与非门实现该逻辑电路。

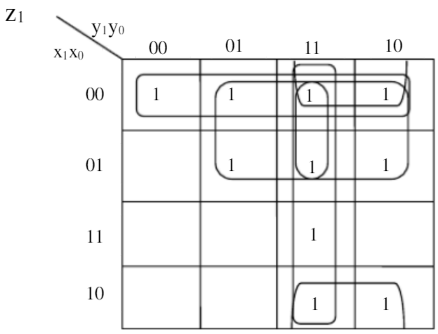
答：①根据逻辑要求，建立真值表。

y_1	y_0	x_1	x_0	z_1	z_0
0	0	0	0	1	1
0	0	0	1	0	1
0	0	1	0	0	1
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	1	1
0	1	1	0	0	1
0	1	1	1	0	1
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	1	1
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	1	1

②画出 z_0、z_1对应的卡诺图，进行化简。



由此可得，$z_0=\overline{y_1}\,\overline{y_0}+x_1x_0+\overline{y_1}x_0+\overline{y_1}x_1+\overline{y_0}x_1$。



由此可得，$z_1=\overline{x_1}\,\overline{x_0}+y_1y_0+y_0\overline{x_1}+y_1\overline{x_1}+y_1\overline{x_0}$。

③根据要求的逻辑门类型，进行转换并画出逻辑电路图。

$$z_0=\overline{\overline{\overline{y_1}\,\overline{y_0}+x_1x_0+\overline{y_1}x_0+\overline{y_1}x_1+\overline{y_0}x_1}}=\overline{\overline{\overline{y_1}\,\overline{y_0}}\cdot\overline{x_1x_0}\cdot\overline{\overline{y_1}x_0}\cdot\overline{\overline{y_1}x_1}\cdot\overline{\overline{y_0}x_1}}$$

$$z_1=\overline{\overline{\overline{x_1}\,\overline{x_0}+y_1y_0+y_0\overline{x_1}+y_1\overline{x_1}+y_1\overline{x_0}}}=\overline{\overline{\overline{x_1}\,\overline{x_0}}\cdot\overline{y_1y_0}\cdot\overline{y_0\overline{x_1}}\cdot\overline{y_1\overline{x_1}}\cdot\overline{y_1\overline{x_0}}}$$

根据上述与非形式，可以用与非门实现该逻辑电路。(图略)

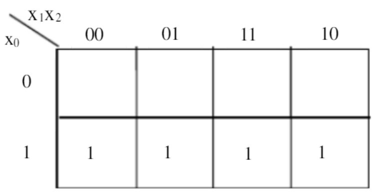
4.13 已知[x]原=x₀x₁x₂，试设计一个逻辑电路，以原码作为输入，要求：当 AB=01 时，输出反码；当 AB=10 时，输出补码。

答：①根据逻辑要求，建立真值表。

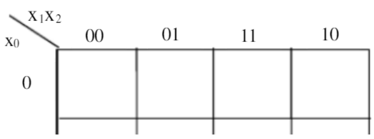
A	B	x_0	x_1	x_2	y_0	y_1	y_2
0	1	0	0	0	0	0	0
0	1	0	0	1	0	0	1
0	1	0	1	0	0	1	0
0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1
0	1	1	0	1	1	1	0
0	1	1	1	0	1	0	1
0	1	1	1	1	1	0	0
1	0	0	0	0	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	0	0	1	0
1	0	0	1	1	0	1	1
1	0	1	0	0	0	0	0
1	0	1	0	1	1	1	1
1	0	1	1	0	1	1	0
1	0	1	1	1	1	0	1

②画出 y_0 、y_1 、y_2对应的卡诺图，进行化简。

y_0 (AB=01)



y_0 (AB=10)



1		1	1	1

所以， $y_0 = (\overline{A}B)x_0 + (A\overline{B})(x_0x_2 + x_0x_1)$

y_1 和 y_2 的处理方法同上。

y1 (AB=01)

x_0 \ x_1x_2	00	01	11	10
0			1	1
1	1	1		

y1 (AB=10)

x_0 \ x_1x_2	00	01	11	10
0			1	1
1		1		1

所以， $y_1 = (\overline{A}B)(\overline{x_0}x_1) + (A\overline{B})(\overline{x_0}x_1 + x_1\overline{x_2} + x_0\overline{x_1}x_2)$

y2 (AB=01)

x_0 \ x_1x_2	00	01	11	10
0		1	1	
1	1			1

y2 (AB=10)

x_0 \ x_1x_2	00	01	11	10
0		1	1	

所以，$y_2=(\overline{A}B)(\overline{x_0}x_2+x_0\overline{x_2})+(A\overline{B})(x_2)$

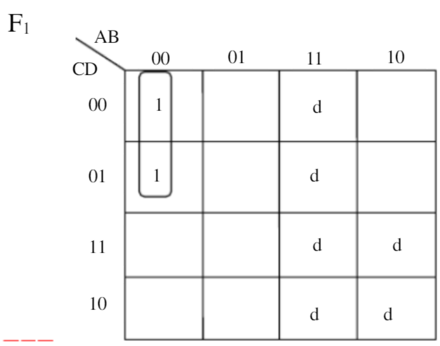
根据上述 y_0 、y_1 、y_2 的函数表达式，可画出相应的逻辑电路图（略）。

4.14 设计一个 8421BCD 码十进制数对 9 的变补电路。要求：写出真值表；给出最简逻辑表达式；画出电路图。

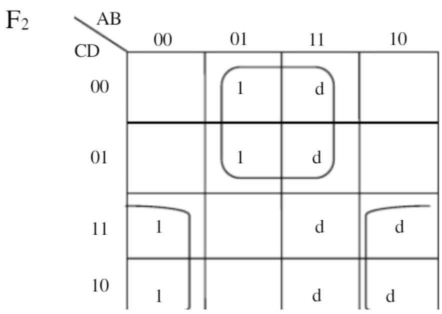
答：①根据逻辑要求，建立真值表。

A	B	C	D	F_1	F_2	F_3	F_4
0	0	0	0	1	0	0	1
0	0	0	1	1	0	0	0
0	0	1	0	0	1	1	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	0	0
0	1	1	0	0	0	1	1
0	1	1	1	0	0	1	0
1	0	0	0	0	0	0	1
1	0	0	1	0	0	0	0
1	0	1	0	d	d	d	d
1	0	1	1	d	d	d	d
1	1	0	0	d	d	d	d
1	1	0	1	d	d	d	d
1	1	1	0	d	d	d	d
1	1	1	1	d	d	d	d

②画出 F_1 、F_2 、F_3 和 F_4 对应的卡诺图，进行化简。

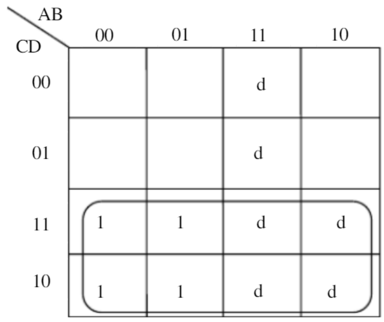


所以，$F_1=\overline{A}\,\overline{B}\,\overline{C}$。



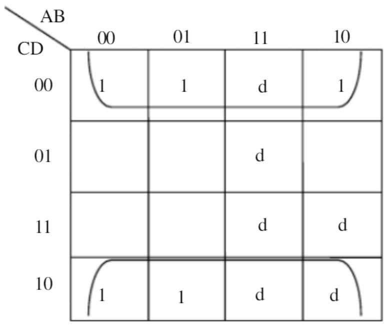
所以，$F_2 = B\overline{C} + \overline{B}C = B \oplus C$

F_3



所以，$F_3 = C$。

F_4



所以，$F_4 = \overline{D}$。 电路图略。

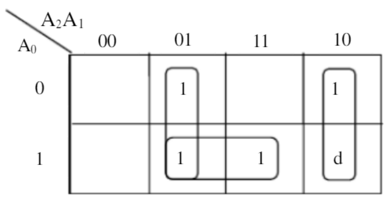
4.17 设计一个组合逻辑电路，其输入为三位二进制数 $A=A_2A_1A_0$，输出也为一个三位二进制数 $Y=Y_2Y_1Y_0$。当 A 的值小于 2 时，Y=0；当 2≤A＜5 时，Y=A+3；当 A＞5 时，Y=A-3。要求用与非门实现该电路。

答：①根据逻辑要求，建立真值表。

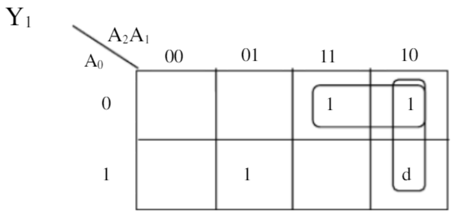
A_2	A_1	A_0	Y_2	Y_1	Y_0
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	1	0	1
0	1	1	1	1	0
1	0	0	1	1	1
1	0	1	d	d	d
1	1	0	0	1	1
1	1	1	1	0	0

②画出 Y_0、Y_1 、Y_2 对应的卡诺图，进行化简。

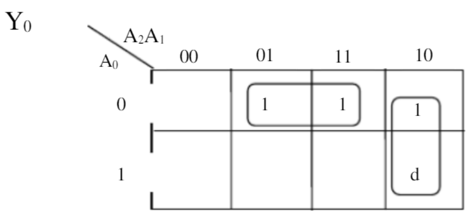
Y_2



所以，$Y_2=\overline{A_2}A_1+A_2\overline{A_1}+A_1A_0=\overline{\overline{\overline{A_2}A_1+A_2\overline{A_1}+A_1A_0}}=\overline{\overline{\overline{A_2}A_1}\,\overline{A_2\overline{A_1}}\,\overline{A_1A_0}}$。



所以$Y_1=\overline{A_2}A_1A_0+A_2\overline{A_0}+A_2\overline{A_1}=\overline{\overline{\overline{A_2}A_1A_0+A_2\overline{A_0}+A_2\overline{A_1}}}=\overline{\overline{\overline{A_2}A_1A_0}\,\overline{A_2\overline{A_0}}\,\overline{A_2\overline{A_1}}}$。



所以$Y_0=A_1\overline{A_0}+A_2\overline{A_1}=\overline{\overline{A_1\overline{A_0}+A_2\overline{A_1}}}=\overline{\overline{A_1\overline{A_0}}\,\overline{A_2\overline{A_1}}}$。

上述表达式已经进行了适当的转换，可以很方便地用与非门来实现。电路图略。

4.18 一组合电路有 4 个输入 A、B、C 和 D（表示 4 位二进制数，A 为最高位，D 为最低位），两个输出为 X 和 Y。当且仅当该数被 3 整除时，X=1；当且仅当该数被 4 整除时，Y=1。求出 X 和 Y 的逻辑函数，画出最简逻辑电路。

答：①根据逻辑要求，建立真值表。

A	B	B	D	X	Y
0	0	0	0	1	1
0	0	0	1	0	0
0	0	1	0	0	0
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	1	0	0
0	1	1	0	1	0
0	1	1	1	0	0
1	0	0	0	0	1
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	1	0	0
1	1	0	0	1	1
1	1	0	1	0	0
1	1	1	0	0	0
1	1	1	1	1	0

②画出 X、Y 对应的卡诺图，进行化简。

X

CD \ AB	00	01	11	10
00	1		1	
01				1
11	1		1	
10		1		

所以，$X=\sum m(0,3,6,9,12,15)$。

Y

CD \ AB	00	01	11	10
00	1	1	1	1
01				
11				
10				

所以，$Y=\overline{C}\,\overline{D}$。

逻辑电路图略。

〈习题五〉作业参考答案

5.5 给出逻辑电路图如图 5.24 所示，试分析该电路的逻辑功能，并给出逻辑功能的真值表。

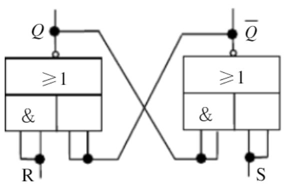


图 5.24 题 5.5 的逻辑电路图

答：逻辑功能的真值表

R	S	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	×
1	1	1	×

Q^{n+1}

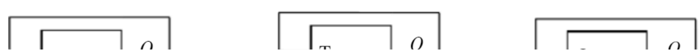
Q^n \ RS	00	01	11	10
0		1	×	

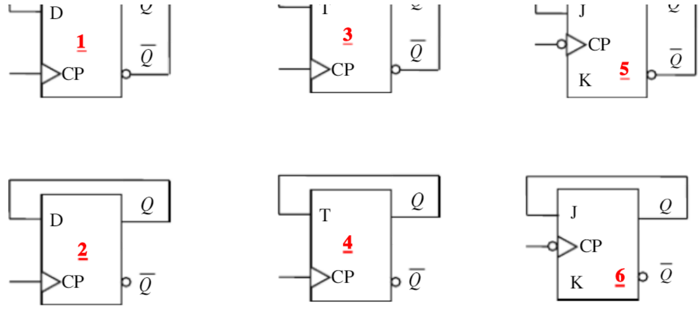
1	1	1	×	

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ S \bullet R = 0 \end{cases}$$

这是一个与由或非门构成的基本 R-S 触发器功能一样的触发器。

5.8 写出图 5.27 所示的各触发器的次态方程。





答：1、$Q^{n+1}=D=\overline{Q^n}$

2、$Q^{n+1}=D=Q^n$

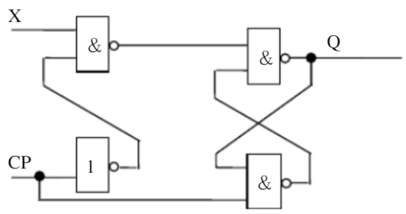
3、$Q^{n+1}=T\overline{Q^n}+\overline{T}Q^n=\overline{Q^n}\,\overline{Q^n}+Q^nQ^n=\overline{Q^n}+Q^n=1$

4、$Q^{n+1}=T\overline{Q^n}+\overline{T}Q^n=Q^n\overline{Q^n}+\overline{Q^n}Q^n=0+0=0$

5、$Q^{n+1}=J\overline{Q^n}+\overline{K}Q^n=\overline{Q^n}\,\overline{Q^n}+0Q^n=\overline{Q^n}+0=\overline{Q^n}$

6、$Q^{n+1}=J\overline{Q^n}+\overline{K}Q^n=Q^n\overline{Q^n}+0Q^n=0+0=0$

5.9 有一触发器的电路结构如图 5.28 所示，试给出该触发器的状态转移真值表，写出其特征方程。



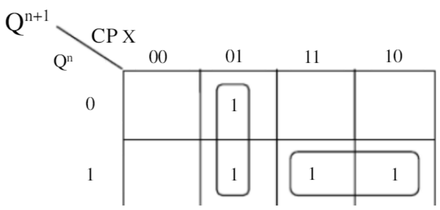
答：当 CP=1 时，电路不接受输入信号 X，$Q^{n+1}=Q^n$。

当 CP=0 时，电路接收输入信号 X，$Q^{n+1}=X$ 。

其状态转移真值表如下：

CP	X	Q^n	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

画出卡诺图，进行化简。

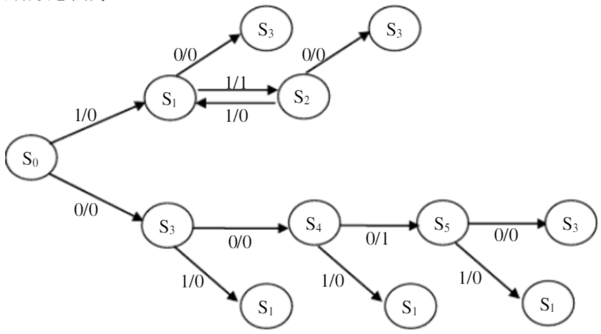


由此可得其特征方程为：$Q^{n+1}=\overline{CP}\bullet X+CP\bullet Q^{n}$。

〈习题六〉作业参考答案

6.5 某一电路有一个输入端 x 和一个输出端 Z。当 x 连续出现 3 个 0 或 2 个 1 时，输出 Z=1，且第 4 个 0 或第 3 个 1 使输出 Z=0。试作出该电路的同步时序逻辑电路的原始状态表。

答：Mealy 型原始状态图为：



Mealy 型原始状态表为：

现态	次态/输出	
	x=0	x=1
S_0	$S_3/0$	$S_1/0$
S_1	$S_3/0$	$S_2/1$
S_2	$S_3/0$	$S_1/0$
S_3	$S_4/0$	$S_1/0$
S_4	$S_5/1$	$S_1/0$
S_5	$S_3/0$	$S_1/0$

6.7 试分析图 6.59 所示的同步时序逻辑电路。写出该电路的激励函数和输出函数表达式，做出状态图和状态表，并说明该电路的逻辑功能。

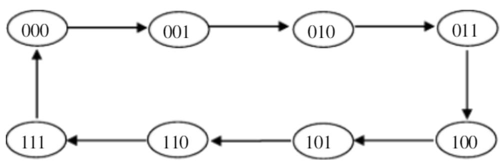
答：1、激励函数表达式：$J_1=K_1=1$；$J_2=K_2=y_1$；$J_3=K_3=y_1y_2$

该电路是 Moore 型电路，状态变量就是电路的输出。可不必单独列出输出函数。

2、建立状态表

现态			次态		
y_3	y_2	y_1	$y_3^{(n+1)}$	$y_2^{(n+1)}$	$y_1^{(n+1)}$
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

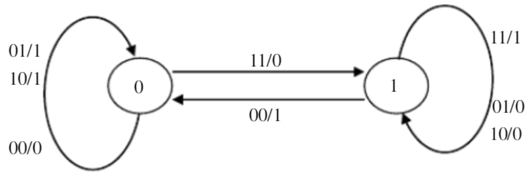
3、状态图



输入始终为 1。是一个模 8 加 1 计数器。

6.9 图 6.1 为一个串行加法器逻辑框图，试作出其状态图和状态表。

答：状态图为：



状态表为：

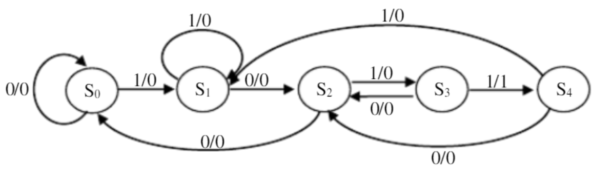
输入 $x\ y$	现态 C	次态/输出 $c^{(n+1)}/s$
0 0	0	0/0
0 1	0	0/1
1 0	0	0/1
1 1	0	1/0
0 0	1	0/1
0 1	1	1/0
1 0	1	1/0
1 1	1	1/1

6.13 设计一个1011序列检测器，一直典型输入输出序列为：

输入：001011011101011110

输出：000001001000001000

答：1、作出原始状态图和状态表。



状态表：

现态	次态/输出	
	x=0	x=1
S_0	$S_0/0$	$S_1/0$
S_1	$S_2/0$	$S_1/0$
S_2	$S_0/0$	$S_3/0$
S_3	$S_2/0$	$S_4/1$
S_4	$S_2/0$	$S_1/0$

2、状态化简

找出最大等效类：(S_0)、(S_1，S_4)、(S_2)、(S_3)

以a代表(S_0)，b代表(S_2)，c代表(S_3)，d代表(S_1，S_4)，

则最小化状态表为:

现态	次态/输出	
	x=0	x=1
a	a/0	d/0
b	a/0	c/0
c	b/0	d/1
d	b/0	a/0

3、状态编码

根据状态分配必须遵循的基本原则：

（1）a、b 相邻；c、d 相邻；

（2）a、d 相邻；a、c 相邻；b、d 相邻；

（3）a、b 相邻；a、d 相邻；b、d 相邻；

（4）a 应分配为逻辑 0

所以，编码方案如下：

y_1 \ y_2	0	1
0	a	b
1	c	d

或

y_1 \ y_2	0	1
0	a	b
1	d	c

对应的二进制状态表为：

现态 y_2y_1	次态/输出（$y_2^{(n+1)}y_1^{(n+1)}$/输出）	
	x=0	x=1
00	00/0	11/0
01	00/0	10/0
10	01/0	11/1
11	01/0	00/0

4、确定激励函数和输出函数

选用 D 触发器

y_2y_1 \ x	0	1
00	0	1
01	0	1
11	0	0
10	0	1

D_2

y_2y_1 \ x	0	1
00	0	1
01	0	0
11	1	0
10	1	1

或

D_1

y_2y_1 \ x	0	1
00	0	0
01	0	0
11	0	0
10	0	1

Z

所以：

$$D_2 = x\overline{y_2} + x\overline{y_1}\text{；}\ D_1 = \overline{x}y_2 + y_2y_1 + x\overline{y_1}\text{；}\ Z = xy_2\overline{y_1}$$

5、逻辑电路图略。

6.16 设计一个具有下述特点的计数器

1）计数器有两个控制输入 C_1和 C_2，C_1用于控制计数器的模板，而 C_2用以控制计数器的加减。

2）若 C_1=0，计数器为模 3 计数器；若 C_1=1，计数器为模 4；

3）若 C_2=0，则为加 1 计数器；C_2=1，为减 1 计数器。

答：模 3 计数器选 00、01、10 三个状态。则其状态表为：

现态	次态			
	Mod 3+1 C_1C_2=00	Mod 3-1 C_1C_2=01	Mod 4 -1 C_1C_2=11	Mod 4+1 C_1C_2=10
00	01	10	11	01
01	10	00	00	10
11	dd	dd	10	00
10	00	01	01	11

第七章 课后习题参考答案

7.7 试分析图 7.44 所示的脉冲型异步时序逻辑电路。

答：1、求输出函数和控制函数：

$J_1=K_1=1$，$CP_1=CP=1$；

$J_2=K_2=1$，$CP_2=CP_1 \cdot Q_1=Q_1$；

$J_3=K_3=1$，$CP_3=CP_2 \cdot Q_2= Q_1 \cdot Q_2$；

$J_4=K_4=1$，$CP_4=CP_3 \cdot Q_3= Q_1 \cdot Q_2 \cdot Q_3$；

2、列次态方程

$$Q_1^{n+1}=(J_1\overline{Q_1^n}+\overline{K_1}Q_1^n)\cdot CP_1+Q_1^n\cdot\overline{CP_1}=\overline{Q_1^n}$$

$$Q_2^{n+1}=(J_2\overline{Q_2^n}+\overline{K_2}Q_2^n)\cdot CP_2+Q_2^n\cdot\overline{CP_2}=\overline{Q_2^n}\cdot Q_1^n+Q_2^n\overline{Q_1^n}=Q_1^n\oplus Q_2^n$$

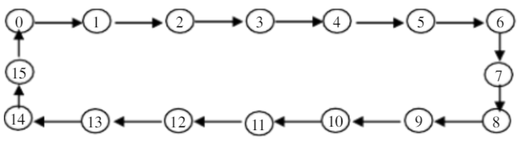
$$Q_3^{n+1}=(J_3\overline{Q_3^n}+\overline{K_3}Q_3^n)\cdot CP_3+Q_3^n\cdot\overline{CP_3}=\overline{Q_3^n}Q_2^nQ_1^n+Q_3^n\overline{Q_2^nQ_1^n}=Q_3^n\oplus Q_2^nQ_1^n$$

$$Q_4^{n+1}=(J_4\overline{Q_4^n}+\overline{K_4}Q_4^n)\cdot CP_4+Q_4^n\cdot\overline{CP_4}=\overline{Q_4^n}Q_3^nQ_2^nQ_1^n+Q_3^n\overline{Q_3^nQ_2^nQ_1^n}=Q_3^n\oplus Q_3^nQ_2^nQ_1^n$$

3、列出状态转移真值表，画出状态图

输入					输出			
Q_4	Q_3	Q_2	Q_1	CP	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	1	0	0	0	1
0	0	0	1	1	0	0	1	0
0	0	1	0	1	0	0	1	1
0	0	1	1	1	0	1	0	0
0	1	0	0	1	0	1	0	1
0	1	0	1	1	0	1	1	0
0	1	1	0	1	0	1	1	1
0	1	1	1	1	1	0	0	0
1	0	0	0	1	1	0	0	1
1	0	0	1	1	1	0	1	0
1	0	1	0	1	1	0	1	1
1	0	1	1	1	1	1	0	0
1	1	0	0	1	1	1	0	1
1	1	0	1	1	1	1	1	0
1	1	1	0	1	1	1	1	1
1	1	1	1	1	0	0	0	0

状态图：



4、功能描述：16 进制加 1 计数器。

7.8 试分析图 7.45 所示的脉冲型异步时序逻辑电路。

答：1、求输出函数和控制函数：

$J_1=K_1=1$，$CP_1=CP=1$；

$J_2=\overline{Q_3}$，$K_2=1$，$CP_2=CP_1 \cdot Q_1=Q_1$；

$J_3=\overline{Q_3}Q_2$，$K_3=1$，$CP_3= CP_1\cdot Q_1=Q_1$；

2、列次态方程

$$Q_1^{n+1}=(J_1\overline{Q_1^n}+\overline{K_1}Q_1^n)\cdot CP_1+Q_1^n\cdot\overline{CP_1}=\overline{Q_1^n}$$

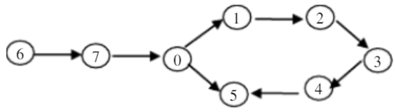
$$Q_2^{n+1}=(J_2\overline{Q_2^n}+\overline{K_2}Q_2^n)\cdot CP_2+Q_2^n\cdot\overline{CP_2}=\overline{Q_3^n}\,\overline{Q_2^n}\cdot Q_1^n+Q_2^n\overline{Q_1^n}$$

$$Q_3^{n+1}=(J_3\overline{Q_3^n}+\overline{K_3}Q_3^n)\cdot CP_3+Q_3^n\cdot\overline{CP_3}=\overline{Q_3^n}Q_2^nQ_1^n+Q_3^n\overline{Q_1^n}$$

3、列出状态转移真值表，画出状态图

Q_3	Q_2	Q_1	CP	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	1	0	0	1
0	0	1	1	0	1	0
0	1	0	1	0	1	1
0	1	1	1	1	0	0
1	0	0	1	1	0	1
1	0	1	1	0	0	0
1	1	0	1	1	1	1
1	1	1	1	0	0	0

状态图：



4、功能描述：模 5 加 1 计数器。当电路处于无效状态 6、7 时经过 2 个或一个脉冲后即可进入正常工作状态。

7.9 试用 J-K 触发器设计一个七进制异步加法计数器。

答：1、作七进制加法计数器的原始状态表

用 3 位二进制数 000~110 表示七进制的数码 0~6。所以，原始状态表如下所示：

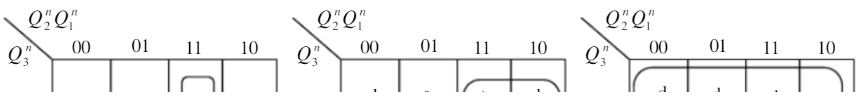
Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	0	0	0
1	1	1	d	d	d

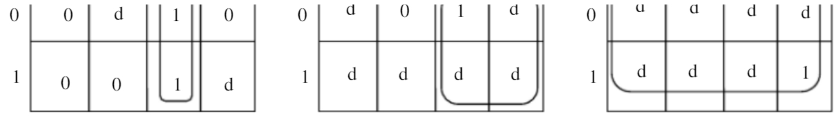
2、确定控制函数（激励函数）

由于有 7 个有效状态，因此需要 3 个 J-K 触发器。其输出、激励状态表如下所示：

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	J_3	K_3	J_2	K_2	J_1	K_1	CP_3	CP_2	CP_1
0	0	0	0	0	1	d	d	d	d	1	d	0	0	1
0	0	1	0	1	0	*0*	*d*	1	d	d	1	*d*	1	1
0	1	0	0	1	1	d	d	d	d	1	d	0	0	1
0	1	1	1	0	0	1	d	d	1	d	1	1	1	1
1	0	0	1	0	1	d	d	d	d	1	d	0	0	1
1	0	1	1	1	0	d	d	1	d	d	1	0	*d*	1
1	1	0	0	0	0	d	1	d	1	d	d	1	1	0
1	1	1	d	d	d	d	d	d	d	d	d	d	d	d

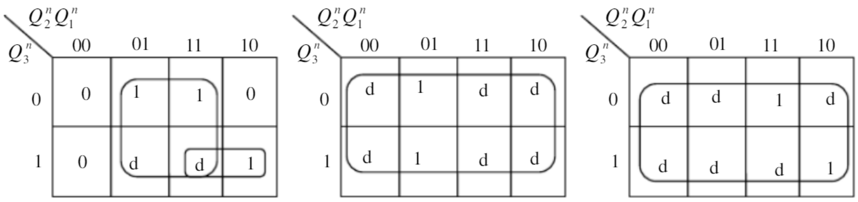
激励卡诺图为：





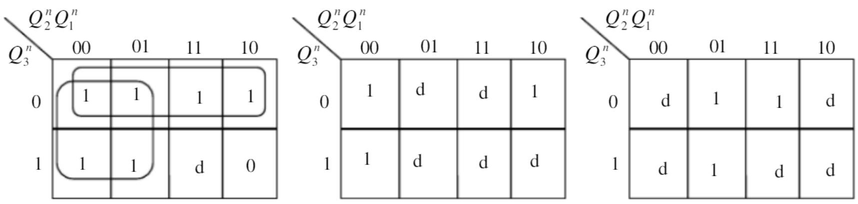
CP$_3$ J$_3$ K$_3$

CP$_3$=$Q_2^nQ_1^n$ J$_3$=Q_2^n K$_3$=1



CP$_2$ J$_2$ K$_2$

CP$_2$=$Q_1^n+Q_3^n\ Q_2^n$ J$_2$=1 K$_2$=1



CP$_1$ J$_1$ K$_1$

CP$_1$=$\overline{Q_2^n}+\overline{Q_3^n}$ J$_1$=1 K$_1$=1

3、自启动检查

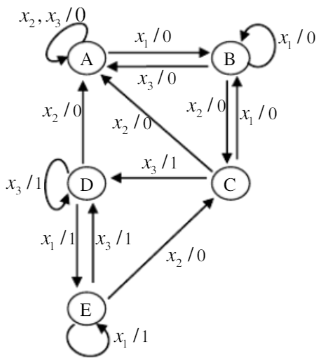
Q_3^n	Q_2^n	Q_1^n	J_3	K_3	J_2	K_2	J_1	K_1	CP_3	CP_2	CP_1	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
1	1	1	1	1	1	1	1	1	1	1	0	0	0	1

所以电路能自启动。

4、逻辑电路图略。

7.11 设计一个脉冲型异步时序电路，该电路有三个输入端x_1，x_2，x_3，一个输出端 Z。当且仅当输入序列x_1-x_2-x_3出现时，输出 Z 由 0 变为 1，仅当又出现一个x_2脉冲时，输出 Z 才由 1 变为 0。

答：1、由题意分析可得原始状态图和原始状态表：



原始状态表为：

Q^n	Q^{n+1}/Z		
	x_1	x_2	x_3
A	B/0	A/0	A/0
B	B/0	C/0	A/0
C	B/0	A/0	D/1
D	E/1	A/0	D/1
E	E/1	C/0	D/1

2、状态化简

已经是最简状态。

3、状态分配

根据状态分配的基本原则，得到 A=000，B=001,C=010,D=011,E=111。

其二进制状态表如下：

Q^n	Q^{n+1}/Z		
	x_1	x_2	x_3
000	001/0	000/0	000/0
001	001/0	010/0	000/0
010	001/0	000/0	011/1
011	111/1	000/0	011/1
111	111/1	010/0	011/1

4、选定触发器，确定控制函数和输出函数

选用 D 触发器。根据二进制状态表和 D 触发器激励表可以得到电路的输　　出和激励状态表。如下：

x_3	x_2	x_1	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Z	D_2	CP_2	D_1	CP_1	D_0	CP_0
0	0	0	0	0	0	0	0	0	0	d	0	d	0	d	0
			0	0	1	0	0	1	0	d	0	d	0	d	0
			0	1	0	0	1	0	0	d	0	d	0	d	0
			0	1	1	0	1	1	0	d	0	d	0	d	0
			1	1	1	1	1	1	0	d	0	d	0	d	0
0	0	1	0	0	0	0	0	1	0	d	0	d	0	1	1
			0	0	1	0	0	1	0	d	0	d	0	d	0
			0	1	0	0	0	1	0	d	0	0	1	1	1
			0	1	1	1	1	1	1	1	1	d	0	d	0

	1 1 1	1 1 1	1	d 0	d 0	d 0
0 1 0	0 0 0	0 0 0	0	d 0	d 0	d 0
	0 0 1	0 1 0	0	d 0	1 1	0 1
	0 1 0	0 0 0	0	d 0	0 1	d 0
	0 1 1	0 0 0	0	d 0	0 1	0 1
	1 1 1	0 1 0	0	0 1	d 0	0 1
1 0 0	0 0 0	0 0 0	0	d 0	d 0	d 0
	0 0 1	0 0 0	0	d 0	d 0	0 1
	0 1 0	0 1 1	1	d 0	d 0	1 1
	0 1 1	0 1 1	1	d 0	d 0	d 0
	1 1 1	0 1 1	1	0 1	d 0	d 0

然后画卡诺图化简，得到控制函数和输出函数表达式。
画出逻辑电路图。