

第6章 输入输出

- 在微型计算机系统的应用中，CPU除与内存交换信息外，还必然要经常与各种外部设备交换信息。主机与外设进行信息交换过程主要是完成数据输入或输出的传送操作。
- **输入或输出操作：**有选择地启动被微处理器选中的外部设备，以便使其接收来自CPU的数据或向CPU送入数据。
- 数据传送的方向标准通常以微处理器为中心，当数据是由外部设备，如键盘、纸带读入机、光笔等设备向CPU送入时，称为输入传送；而当数据自CPU送到如发光二极管、七段显示器、CRT显示器、点阵打印机、绘图仪等设备时，称为输出传送。
- **输入输出技术：**CPU与外部设备间的连接方法与信息交换手段。

6.1 接口概述

• 6.1.1 接口与端口

- 从广义上讲，接口就是指两个系统或两个部件之间的交接部分，可以是两种硬设备之间的连接电路，也可以是两个软件之间公用的逻辑边界。
- **接口**：在微型计算机系统中，CPU与外部设备之间的联系，需要有特定的硬件连接和相应的控制软件。
- **接口技术**：完成这一任务的软、硬件的综合称为。对这种硬件、软件的设计。
- 接口（Interface）和端口（Port）是不同的。
- **端口**：接口电路中那些完成信息传送，可由程序寻址并进行读写操作的寄存器。

6.1.2 接口的功能

- 1. 地址译码或设备选择
 - 接口必须进行地址译码，从而产生设备选择信号，以使微处理器和指定的外部设备交换信息。
- 2. 数据缓冲和锁存
 - 在微计算机系统中，数据总线是系统各部分之间公用的双向总线，所有设备分时复用。所以，无论是存储器，还是外部设备，都不能长期占用数据总线，只允许被选中的设备在读/写周期内可用其传送数据。
- 3. 信息格式与电平的转换
 - 接口应该具有信号传送格式、信号类型、信号电平的转换能力。
- 4. 数据传送的协调
 - CPU工作是有一定的时序的，CPU与外部设备交换数据时必须采用一定的传送方式进行控制。

6.1.3 接口的一般编程结构

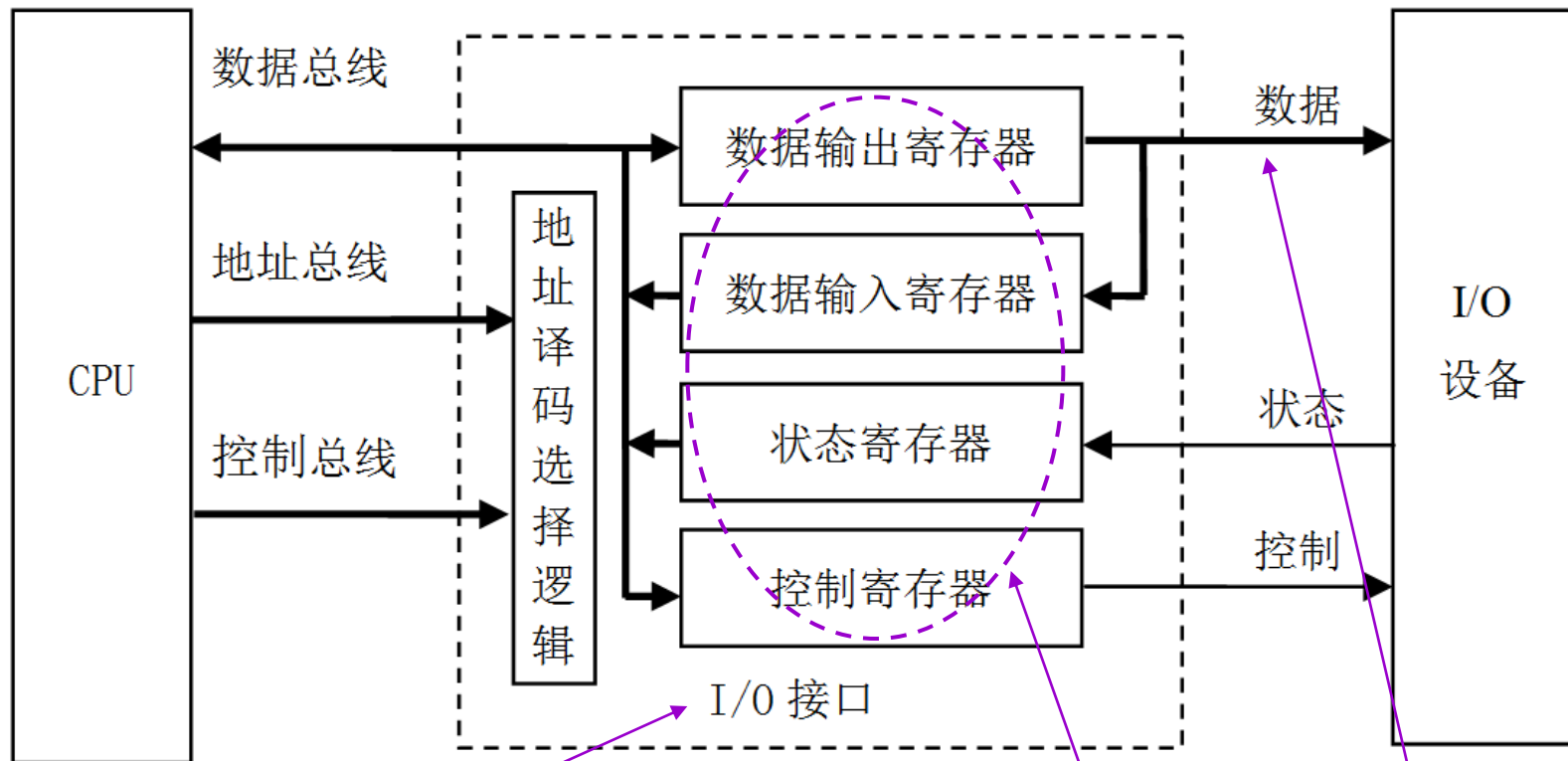


图 6.1.1 I/O 接口的一般编程结构和外部连接示意图

接口组成：寄存器，译码
与控制，连接线

从用户角度看，
有4个寄存器

数字量，模拟量，
脉冲量，开关量

6.1.4 接口的分类

- 1. 按应用分类
- **用户交互接口**：将来自用户的数据、信息传送给计算机，或将用户所需的数据、信息由计算机传送给外部设备。键盘接口、打印机接口、显示器接口等。
- **辅助操作接口**：计算机发挥最基本的处理与控制功能所必须的接口，包括各类总线驱动、总线接收器、数据锁存器、三态缓冲器、时钟电路、CPU与内存的接口等。
- **传感接口**：传感接口是输入被监测对象和控制对象变化信息的接口。压力传感器、温度传感器、流速传感器等。
- **控制接口**：微计算机对被监测对象或控制对象输出控制信息的接口。步进电机、电磁阀门、继电器等。

接口的分类

- 2. 按功能分类

- (1) 按**数据传送方式**分类：并行接口、串行接口。
- (2) 按**接口通用性**分类：通用接口、专用接口。
- (3) 按**接口的可编程性**分类：可编程接口、不可编程接口。
- (4) 按**接口输入/输出信号**分类：数字接口、模拟接口。

6.2 I/O端口的地址选择

- 微计算机的操作速度很快，可以控制很多外部设备。但是，微计算机采用的是总线结构，只有一组数据线。
- 当CPU发出一个数据信息后，到底哪一个外部设备来接收这个数据呢？不得而知。
- 因此，在微计算机与外部设备交换信息之前，应首先通过地址总线发出地址信息，通过某种编址方式来选中一个外部设备，进而实现信息交换。
- 所谓的“与外部设备”交换信息，确切地应理解为“与外部设备的端口”交换信息。
- 端口的编址（寻址）有两种方式：存储器映像方式、I/O映像方式。
- 常见的端口地址选择方法有三种：门电路组合法、译码器译码法、比较器比较法。

6.2.1 输入输出的寻址方式

- 1. 存储器映像方式
- 把一个I/O端口看作是一个存储单元，相当于给每一个I/O端口分配一个存储器地址。
- 优点：
 - (1) 指令丰富。
 - (2) I/O端口空间大。
 - (3) 寻址的控制逻辑比较简单。
- 缺点：
 - (1) I/O端口占用一部分存储器地址空间，使可用的内存空间相对减少。
 - (2) 对I/O端口的访问和对存储器的访问一样，必须对全部地址线译码，因而地址译码电路比较复杂。
 - (3) 存储器操作指令的机器码比较长，需要较长的执行时间。
 - (4) 用存储器指令来处理输入/输出操作，在程序清单中不易区别，给程序的设计、分析、调试带来一定的困难。

2. I/O 映像方式

- 2. I/O映像方式

- 在这种寻址方式中，I/O端口空间与存储器空间各自独立，互不干涉，互不影响，故亦称为独立的I/O寻址方式。
- 在指令操作上，对存储单元的一般性传送使用MOV指令，而对I/O端口的传送操作，使用系统专门提供的一组I/O指令，即IN和OUT指令。

- 优点：

- (1) I/O空间与存储器空间各自独立，可分开设计。
- (2) 由于采用单独的I/O指令，其助记符与存储器指令明显不同，因而使程序编制清晰，易于理解。
- (3) I/O地址线较少，所以译码电路简单。
- (4) I/O指令格式短，执行时间快。

- 缺点：

- (1) 需要专门的I/O指令，且这些指令一般不如存储器访问指令丰富，程序设计灵活性较差。
- (2) 参加译码的地址线较少，使外设端口的数目受到限制。
- (3) 采用专用的I/O周期和专用的I/O控制线，这不仅使微处理器有限的引脚更加紧张，而且也增加了控制逻辑的复杂性。

6.2.2 用门电路组合法进行端口地址选择

- **门电路组合法：**最简单的一种端口地址选择方法，采用与门、或门、非门等作为基本的组合元件。
- 端口都有一个芯片选择信号，简称片选信号，多数是低电平有效。
- 端口地址选择的目的是，当地址线上出现某种信息组合时，在端口地址选择电路的输出端会产生一个有效信号，该信号连到器件的控制端，使器件产生动作，从而完成I/O端口的读/写操作。
- **有效信号有四种状态：**高电平、低电平、上跳沿、下跳沿，具体使用哪种状态，视所使用的器件而定。

6.2.3 用译码器译码法进行端口地址选择

- **译码器译码法：**利用译码器芯片对地址进行译码。
- PC机系统板上接口芯片的端口地址译码电路采用译码器译码法。
- 译码器采用74LS138。
- 译码器只直接使用地址线A9-A5，其余的低5位地址线A4-A0未接，留给各接口芯片内部自行译码，以便寻址多个寄存器。

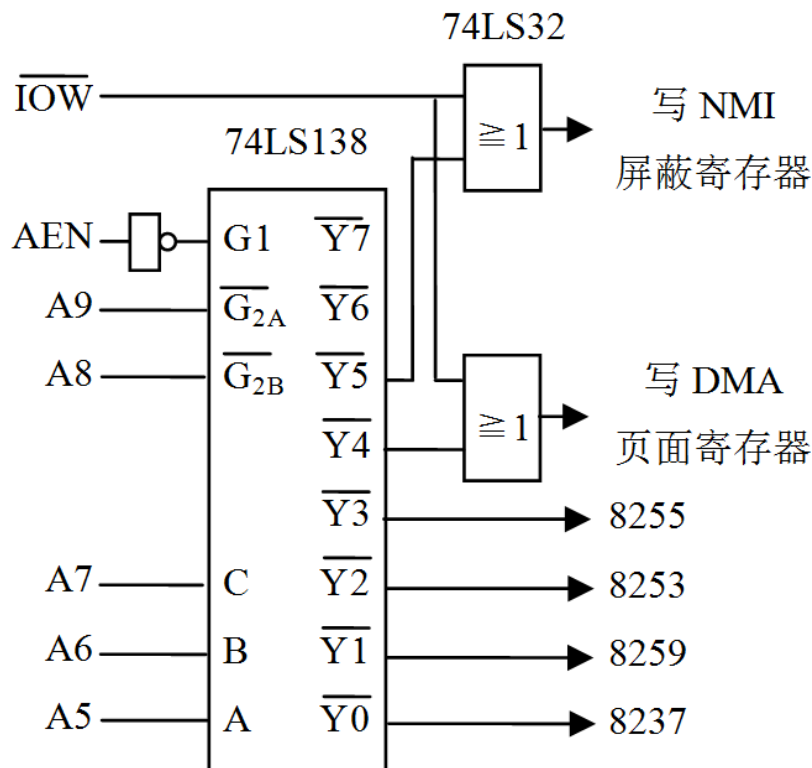


图 6.2.2 PC/XT 系统端口地址译码

6.2.4 用比较器比较法进行端口地址选择

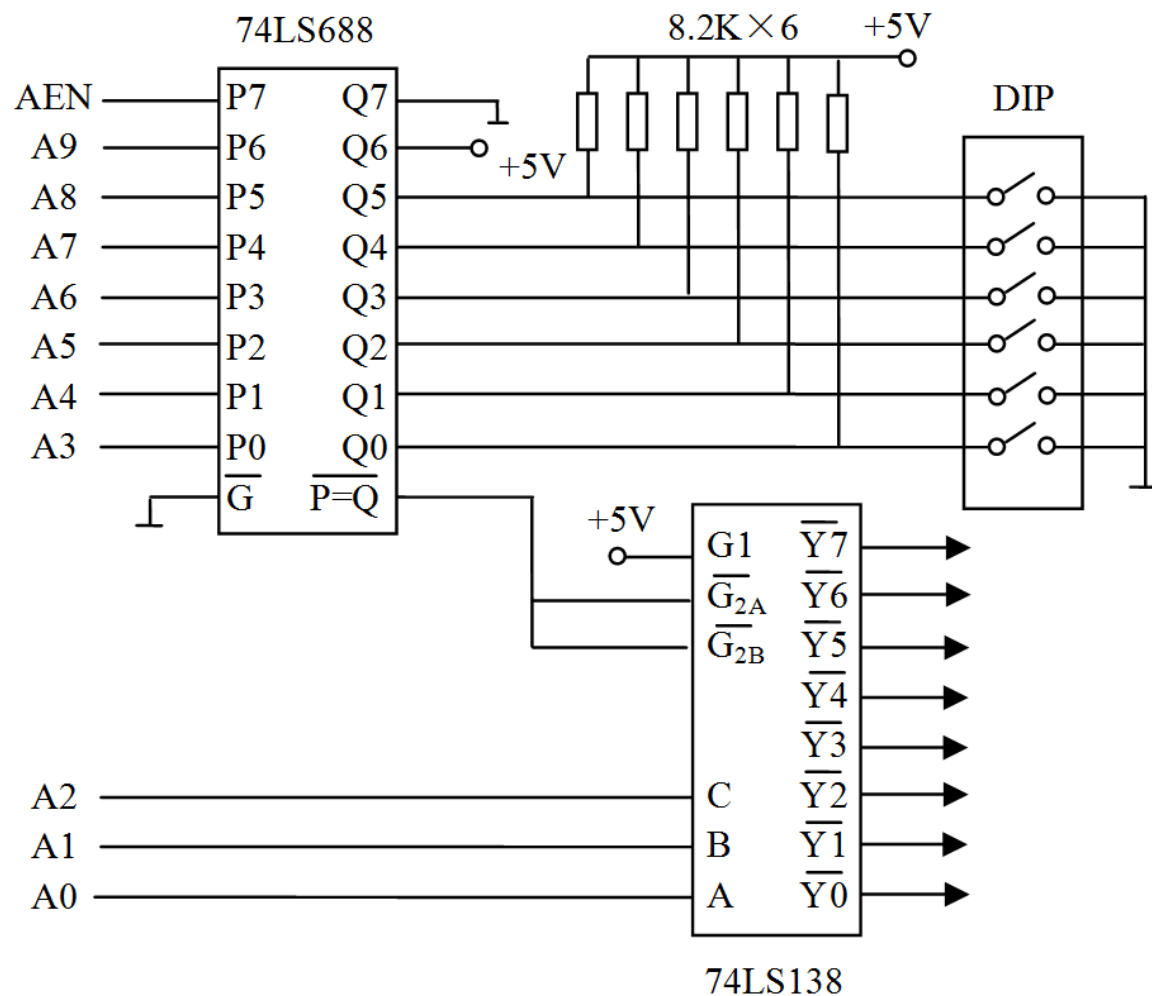


图 6.2.3 采用比较器 74LS688 和译码器 74LS138 相结合的端口地址译码

6.3 输入输出控制方式

- **四种基本控制方式：**程序查询方式、程序中断方式、DMA方式、I/O处理机方式。
- 前两种主要由程序来实现，后两种主要由附加硬件来实现。目前，微机中多数采用前三种。
- **程序查询方式：**CPU通过查询I/O设备的状态，断定哪个设备需要服务，然后转入相应的服务程序。
- **程序中断方式：**当I/O设备需要CPU为其服务时，可以发生中断请求信号INTR，CPU接到请求信号后，中断正在执行的程序，转去为该设备服务，服务完毕，返回原来被中断的程序并继续执行。
- **直接存储器存取（DMA）方式：**采用这种方式时，在DMA控制器的管理下，I/O设备和存储器直接交换信息，而不需要CPU介入。
- **I/O处理机方式：**引入I/O处理机，全部的输入/输出操作由I/O处理机独立地承担。

6.3.1 程序查询方式

- 程序查询方式又分为无条件传送方式和查询传送方式。
- 查询：就是询问外部设备的工作状态，通过这一状态来判定外设是否已具备了与CPU交换数据的条件，即外设是否已准备好与CPU交换数据。
- 对输入设备而言，这个状态指示输入设备的数据是否已经准备就绪，CPU是否可以随时来读取这个数据。
- 对输出设备而言，这个状态指示输出设备的数据接收寄存器是否已空，是否可以随时接受CPU送来的数据。

1. 无条件传送方式

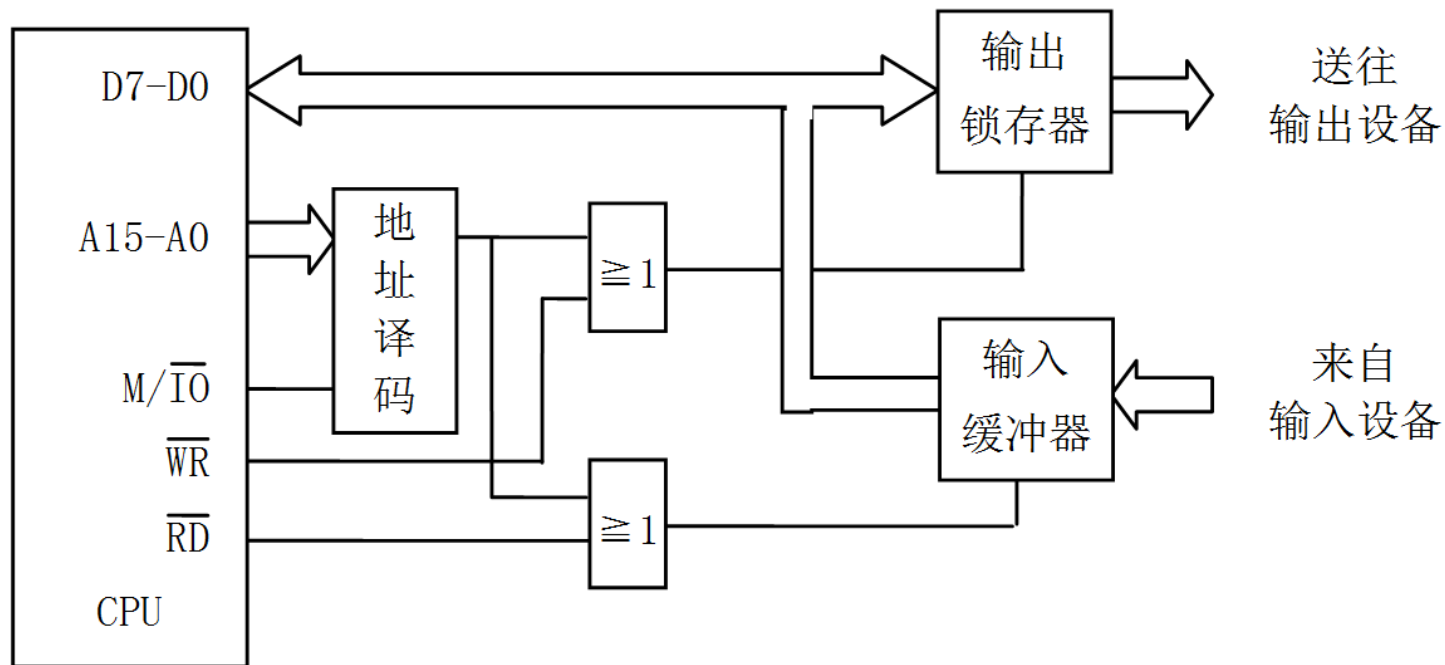


图 6.3.1 无条件传送方式的工作原理

2. 查询输入传送方式

2个作用：（1）读数据 （2）清除状态

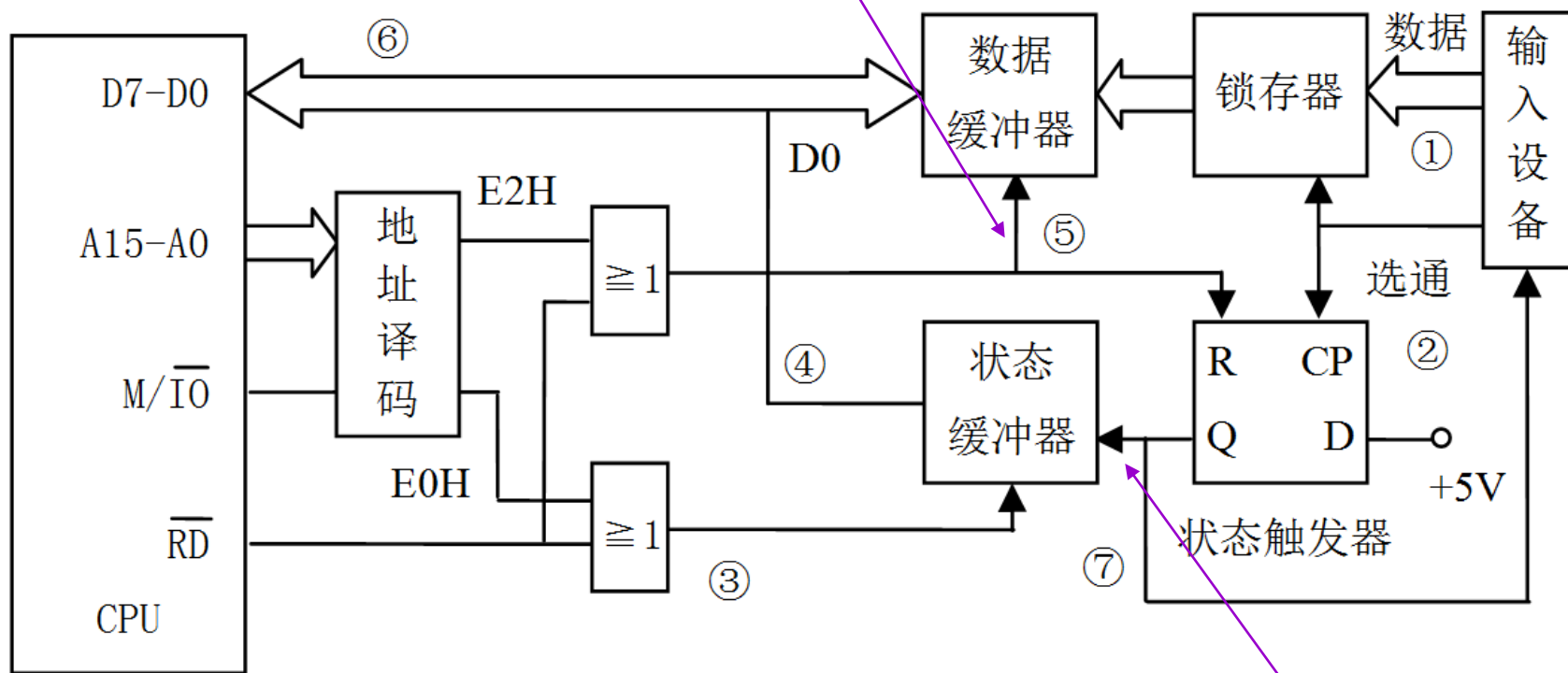


图 6.3.2 查询输入的接口电路

“1”数据准备好

查询输入程序

- 查询输入程序段如下：

A1:	IN	AL, 0E0H	;	1取状态字
	TEST	AL, 01H	;	2测试状态位
	JZ	A1	;	3 D0=0, 未准备好, 继续查询
	IN	AL, 0E2H	;	4取输入数据
		;	5数据处理
	JMP	A1	;	6返回继续查询

3. 查询输出传送方式

2个作用：（1）输出数据 （2）设置设备“忙”状态

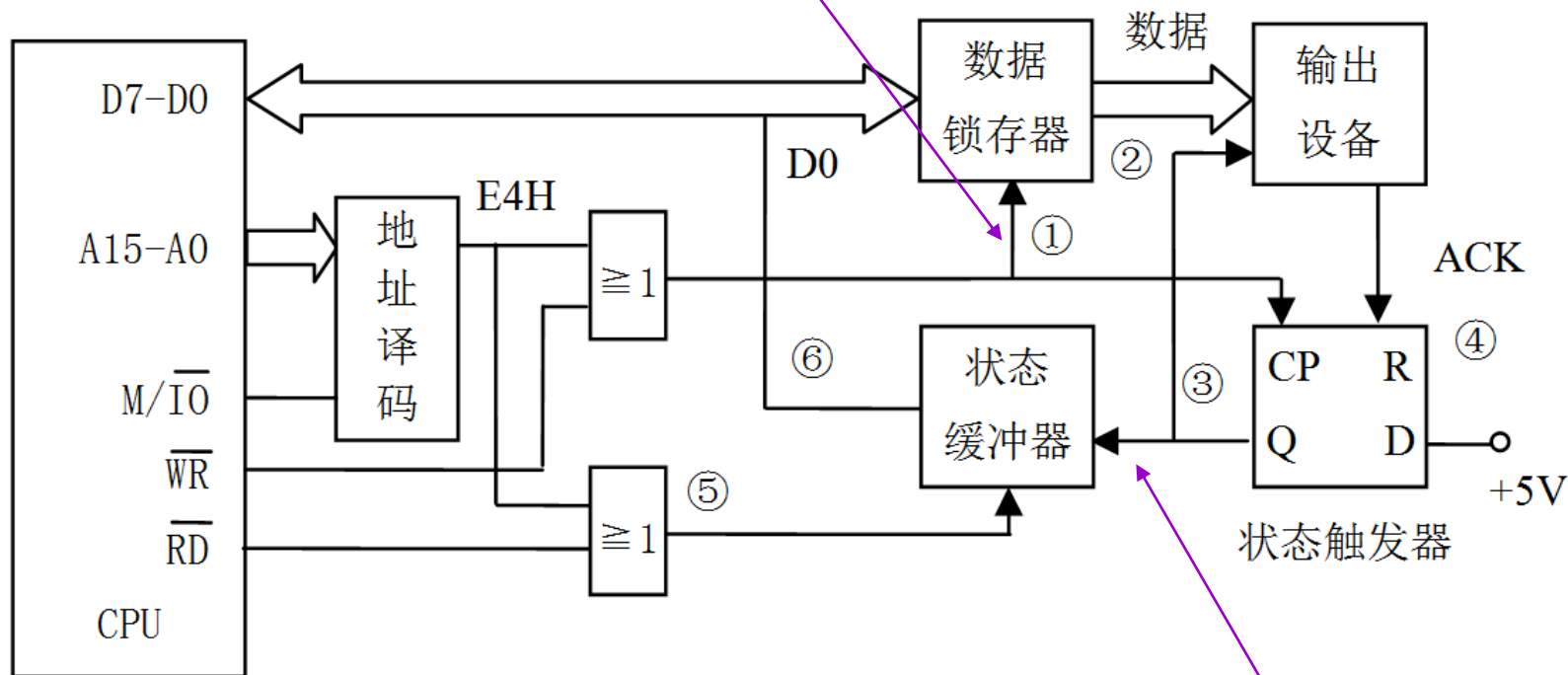


图 6.3.3 查询输出的接口电路

“1” 设备忙，
不能接收数据

查询输出程序

- 查询输出程序段如下：

	MOV	AL, 41H	;	1 数据41H送AL
	OUT	0E4H, AL	;	2 数据存入锁存器，并使状态触发器为1
A1:	IN	AL, 0E4H	;	3 取状态位
	TEST	AL, 01H	;	4 测试状态位
	JNZ	A1	;	5 D0=1，设备忙，继续查询
	MOV	AL, 42H	;	6 下一个数据42H送AL
	OUT	0E4H, AL	;	7 将下一个数据存入锁存器
		⋮		

6.3.2 中断方式

- **程序查询方式的缺点：** CPU和外设只能串行工作，各外设之间也只能串行工作。
- 为了使CPU和外设以及外设和外设之间能并行工作，提高系统的工作效率，充分发挥CPU高速运算的能力，在微机系统中引入了中断技术，利用中断来实现CPU与外设之间的数据传送，这就是程序中断传送方式。
- 在程序中断传送方式中，通常是在主程序中某一时刻安排启动某一台外设的指令，然后CPU继续执行其主程序，当外设完成数据传送的准备后，向CPU发出“中断请求”信号，在CPU可以响应中断的条件下，中断（即暂停）现行主程序的执行，而转去执行“中断服务程序”，在“中断服务程序”中完成一次CPU与外设之间的数据传送，传送完成后仍返回被中断的断点处继续执行主程序。

6.3.3 DMA方式

- 1. DMA传送方式的提出
- 中断方式传输效率仍然不高的因素：仍然是通过CPU执行程序来实现数据传送，CPU要保护断点、转入中断服务程序，每次传送一个字节（或一个字）。
- DMA方式：在外设和内存之间直接传送数据，即直接存储器传输方式。

2. DMA操作的基本方法

- (1) CPU停机方式
 - 进行DMA传送时，DMA控制器向CPU发出总线请求信号，迫使CPU在现行的总线周期结束后，使其地址总线、数据总线和部分控制总线处于高阻状态，从而让出对总线的控制权，并给出DMA响应信号。DMA控制器接到该响应信号后，就可以对总线进行数据传送的控制工作，直到DMA操作完成，CPU再恢复对总线的控制权，继续执行被中断的程序。
- (2) 周期扩展
 - 进行DMA操作时，由DMA控制器发出请求信号给时钟电路，时钟电路把供给CPU的时钟周期加宽，而提供给存储器和DMA控制器的时钟周期不变。用这种方法进行DMA操作，一次只能传送一个字节。
- (3) 周期挪用
 - 利用CPU不访问内存的那些周期来实现DMA操作，此时DMA操作使用总线不用通知CPU也不会妨碍CPU的工作。

3. DMA控制器的功能

- (1) 当外设准备就绪, 希望进行DMA操作时, 会向DMA控制器发出DMA请求信号, DMA控制器接到此信号后, 应能向CPU发总线请求信号。
- (2) CPU接到总线请求信号后, 如果允许, 则会发出DMA响应信号, 从而CPU放弃对总线的控制, 这时DMA控制器应能实行对总线的控制。
- (3) DMA控制器得到总线控制权以后, 要往地址总线发送地址信号, 修改所用的存储器的地址指针。
- (4) 在DMA传送期间, DMA控制器应能发存储器或接口的读/写控制信号。
- (5) 能统计传送的字节数, 并且判断DMA传送是否结束。
- (6) 能向CPU发出DMA结束信号, 将总线控制权交还给CPU。

4. DMA传送的一般工作过程

存储器→DMA外设

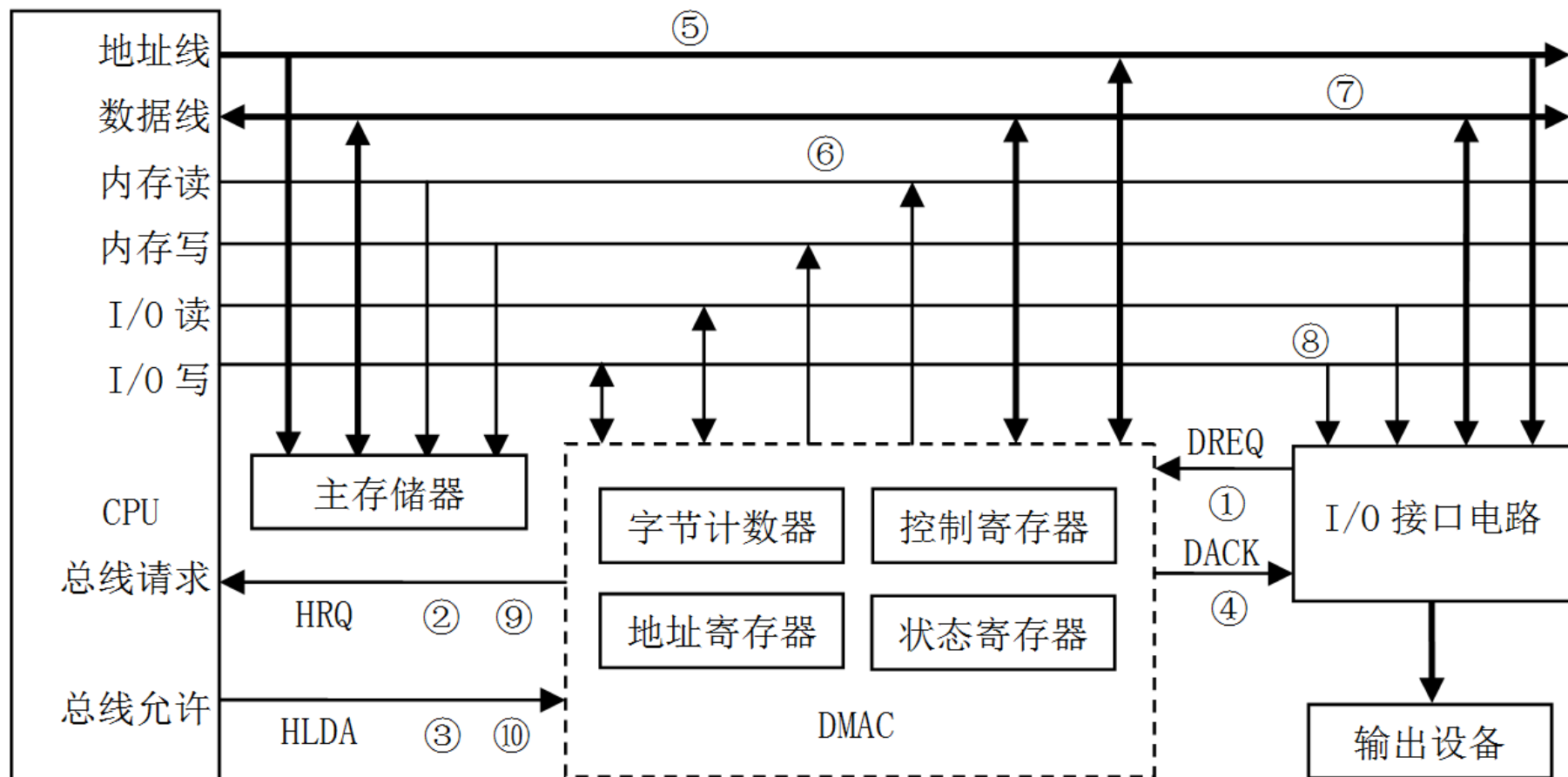


图 6.3.4 存储器向输出设备以 DMA 方式传送数据的示意图

6.3.4 I/O处理机方式

- 为了提高整个系统的工作效率，使CPU完全摆脱管理、控制输入/输出的沉重负担，从20世纪60年代开始又引入了I/O处理机的概念，提出了数据传送的I/O处理机方式。
- 于是，专门用来处理输入输出的I/O处理机IOP应运而生。如Intel 8089就是一种专门配合8086/8088使用的I/O处理器芯片。
- **I/O处理机**：有自己的指令系统，也能独立地执行程序，能承担原来由CPU处理的全部输入/输出操作。
- 如对外设进行控制、对输入/输出过程进行管理，还可以向CPU报告外设和外设控制器的状态，等等。上述操作都是同CPU程序并行执行的。
- 为了使CPU的操作与输入/输出操作并行进行，必须使外设工作所需要的各种控制命令和定时信号与CPU无关，由I/O处理机独立形成。

6.4 总线技术

- 总线是一组信号线的集合，是一种在各模块间传送信息的公共通路。总线是构成微型计算机应用系统的重要技术，总线设计好坏会直接影响整个微机系统的性能、可靠性、可扩展性和可升级性。
- 由于总线在系统中的重要地位，微机系统的设计和开发人员，先后推出许多种总线标准。
- 总线标准一般以两种方式推出：
 - （1）某公司在开发自己的微机系统时所采用的一种总线。有的被国际标准化组织加以承认并授予标准代号。
 - （2）由国际权威机构或多家大公司联合制订的总线标准。
- 前一种先有产品后有标准。如IBM PC/AT机上使用的ISA总线。后者先有标准后有产品。

6.4.1 总线的基本概念

- 按**传输信息**的不同，总线分为**三类**：数据总线、地址总线和控制总线。
- 按在系统的**不同层次**，总线**分4类**：片内总线、微处理器总线、系统总线、外部总线。
 - **(1) 片内总线**：大规模集成电路内部的总线，是用来连结各功能部件的信息通路。
 - **(2) 处理器总线**：或称处理器总线、主板局部总线、元件级总线，它是指在印刷电路板上连接各芯片的公共通路。
 - **(3) 系统总线**：又称为内总线、板级总线，它用于微型机系统各插件板之间的连接，是微型机系统最重要的一种总线。
 - **(4) 外部总线**：又称为通信总线，它用于微机系统之间，微机系统与仪器或其他设备之间的通信通道。

总线标准的基本内容

- 1. 物理特性

- 物理特性指的是总线物理连接的方式。
- 包括总线的插头、插座的尺寸及形状，总线的根数和引脚是如何排列的等。

- 2. 功能特性

- 功能特性是确定引脚名称与功能，以及其相互作用的协议。
- 从功能上看，总线分为：地址总线、数据总线、控制总线、备用线、电源和地线。

- 3. 电气特性

- 电气特性规定每一根线上信号的传输速率的设定、驱动能力的限制、信号电平的规定、时序的安排以及信息格式的约定等等。
- 一般规定送入CPU的信号叫输入信号，从CPU送出的信号叫输出信号。

6.4.2 常用总线

- **IBM PC 总线**: IBM PC总线是系统总线的扩充, IBM PC/XT个人计算机上采用的微型计算机总线, 亦称XT总线。
- IBM对I/O通道上的信号名称性质、方向时序、引脚排列都有明确的要求, 以便厂家和用户制作与之匹配的插件板, 这一规范亦被称为IBM PC总线标准。
- 与扩展槽相连的62根线组成IBM PC/XT系统总线。
- 62根总线中包括8位双向数据总线、20位地址总线、6根中断请求信号线、3组DMA通道控制线、存储器和I/O读写控制线、存储器刷新控制和时钟信号线、通道检验线、四种电源线以及地线。这些引线均接在62插脚的插座上, 双列插脚分别为A1-A31 (A面) 和B1-B31 (B面)。插座的引脚间距为100mil (密尔)。

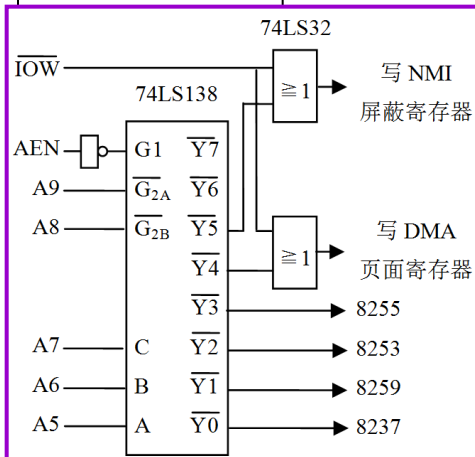
ISA总线

- **ISA总线**（Industry Standard Architecture: 工业标准总线）是PC机中最基本的总线，是在8位的PC机总线的基础上扩展而成的16位的总线体系结构，其数据宽度为16位，地址宽度为24位，工作频率为8MHz，最大数据传输率为5MB/s。
- 它适用于对速度需求不太高的板卡和外设，如串行口、并行口、声音卡等。
- ISA总线是在PC/XT总线基础上增加了1个36线插座形成的。
- ISA总线插头座具有98个引脚，包括接地和电源引脚10个、数据线16个引脚、地址线27个引脚、各控制信号引脚45个。

ISA总线I/O端口地址的典型使用

表6.4.1 ISA总线I/O端口地址的典型使用

I/O口地址 (16进制)	设备 (系统板上的外围电路)	I/O口地址 (16进制)	设备 (适配器上的外围电路)
000~01F	DMA控制器1, 8237A-5	1F0~1F8	硬盘
020~03F	中断控制器1, 8259A (主)	200~207	游戏I/O口
040~05F	定时器, 8253	278~27F	串行口2
060~06F	8042 (键盘接口处理器) 的PB口	300~31F	样卡
070~07F	实时时钟, NMI屏蔽寄存器	360~36F	保留
080~09F	DMA页面寄存器	378~37F	并行打印机口2
0A0~0BF	中断控制器2, 8259A (从)	380~38F	SDLC, 双同步2
0C0~0DF	DMA控制器2, 8237A	3A0~3AF	双同步1
		3B0~3BF	单色显示器和打印机适配器
		3C0~3CF	保留
		3D0~3DF	彩色/图形显示适配器
		3F0~3F7	软磁盘控制器
		3F8~3FF	串行口1



PCI总线

- **PCI总线**（Peripheral Component Interconnect），即**外围部件互连总线**。是一种局部总线，位于微处理器总线与系统总线之间。总线**数据宽度32位或64位**，传输速率为133MB/s（32位）或266MB/s（64位），支持64位寻址。
- **PCI总线特点：**
 - 1. 高性能：高的总线时钟和数据传输率。
 - 2. 猝发传输模式：突发传送，成组传送。
 - 3. 不受微处理器限制
 - 4. 采用总线主控和同步操作：多主控制。
 - 5. 减少存取延迟
 - 6. 适用于各种机型
 - 7. 兼容性强：自动配置，即插即用。
 - 8. 低成本、高效益

STD总线

- **STD总线**（Standard bus）是美国PROLOG公司于1978年宣布的一种**工业标准微机总线**，它是一种**56线的小底板总线**，**8位数据宽度**。
- STD总线的特点：
 - （1）高可靠性
 - （2）小板结构，开放式组态
 - （3）兼容式的总线结构
 - （4）产品配套、功能齐全
- STD总线产品拥有各种工业控制所需的功能模板。如键盘接口、高分辨率图形板、光电隔离脉冲计数板、多路A/D转换板、光隔离开关量输入输出板、串行通讯板、调制解调器板等。可与现场的各种机动设备直接连接，如驱动步进电机、交直流电机等。

USB、IDE、SCSI、IEEE 1394

- **USB总线：** USB（Universal Serial Bus）通用串行总线是外部设备通用的接口标准。USB总线的电缆有4根信号线：一对双绞信号线，一对电源线。采用半双工传输方式。
- **IDE总线：** IDE（Integrated Drive Electronics）即集成驱动电子装置，是硬盘控制器的接口标准，使用40引脚线缆。
- **SCSI总线：** SCSI（Small Computer System Interface）是小型计算机系统接口，使用50芯线缆，8位数据宽度（68芯线缆将数据线扩充到了16位），较高的价格使它很难像IDE硬盘一样普及，因此SCSI硬盘主要应用于中、高端服务器和高档工作站中。
- **IEEE 1394总线：** 串行总线标准（IEEE 1394 high performance serial bus standard），具有很高的数据传输速率，适合视频影像传输。

AGP、IEEE-488、CAN

- **AGP总线：**AGP（Accelerated Graphics Port）是加速图形端口，英特尔开发的局部图形总线技术。
- **IEEE-488总线：**仪器总线，是国际标准的通用接口总线。它是一种异步双向总线。专门用于连接系统而不是连接部件或模块的。8位数据宽度。采用三线异步传送技术，电缆最长不超过20米。
- **CAN总线：**（Controller Area Network）控制器局域网络，一种现场总线。以多主方式工作，网络上任意一个节点均可以在任意时刻主动地向网络上的其它节点发送信息。使用多种物理介质进行传输，最常用的就是双绞线。

Centronic

- **Centronic总线：** 并行总线，用于连接微机和打印机，**36根引脚**。

表6.4.2
Centronic
总线引脚
定义

引脚号	引脚符号	对打印机方向	功能说明
1	STB	输入	选通脉冲信号，低电平有效
2-9	D7-D0	输入	8位数据信息
10	$\overline{\text{ACK}}$	输出	响应信号，低电平有效
11	BUSY	输出	忙状态，高电平指示“忙”
12	PE	输出	缺纸状态，高电平有效
13	SLCT	输出	选中信号
14	$\overline{\text{AUTO FEEDXT}}$	输入	自动输纸信号
15	NC		不用
16	0 (V)		逻辑地
17	CHASSIS-GND		机壳地
18	NC		不用
19-30	GND		对应1-12引脚的接地线
31	$\overline{\text{INIT}}$	输入	初始化信号
32	$\overline{\text{ERROR}}$	输出	出错信号
33	GND		地
34	NC		不用
35	+5 (V)		电源
36	$\overline{\text{SLCTIN}}$	输入	低电平时，打印机处于被选择状态

6.5 可编程中断控制器 8259A

- 8259A可编程中断控制器用来管理8级优先中断，可级联构成64级中断优先级管理系统，具有多种工作方式。
- **8259A的主要功能：**
 - (1) 每片管理8级优先权中断源，通过级联，最多可管理64级优先权的中断源。
 - (2) 可单独进行屏蔽，使该级中断请求暂时被禁止，直到取消屏蔽时为止。
 - (3) 向CPU提供可编程的标识码，对于8086~Pentium的CPU来说就是中断类型码。
 - (4) 有多种工作方式，可通过编程选择。
 - (5) 可与8086~Pentium的CPU直接连接，不需外加硬件电路。

6.5.1 8259A 的内部结构及引脚功能

ISR作用：保存当前被CPU服务的中断级，也就是记录正在被处理的中断请求。

优先级分辨器PR作用：确定中断请求寄存器IRR中各位的优先等级，并确定能否向CPU申请中断。

(1) **IRR作用：**用于寄存所有IR输入线输入的中断请求信号，即保存正在请求服务的中断级。

(2) 接收来自某一引脚的中断请求后，IRR寄存器中的对应位置1，也就是对这一中断请求作了锁存。

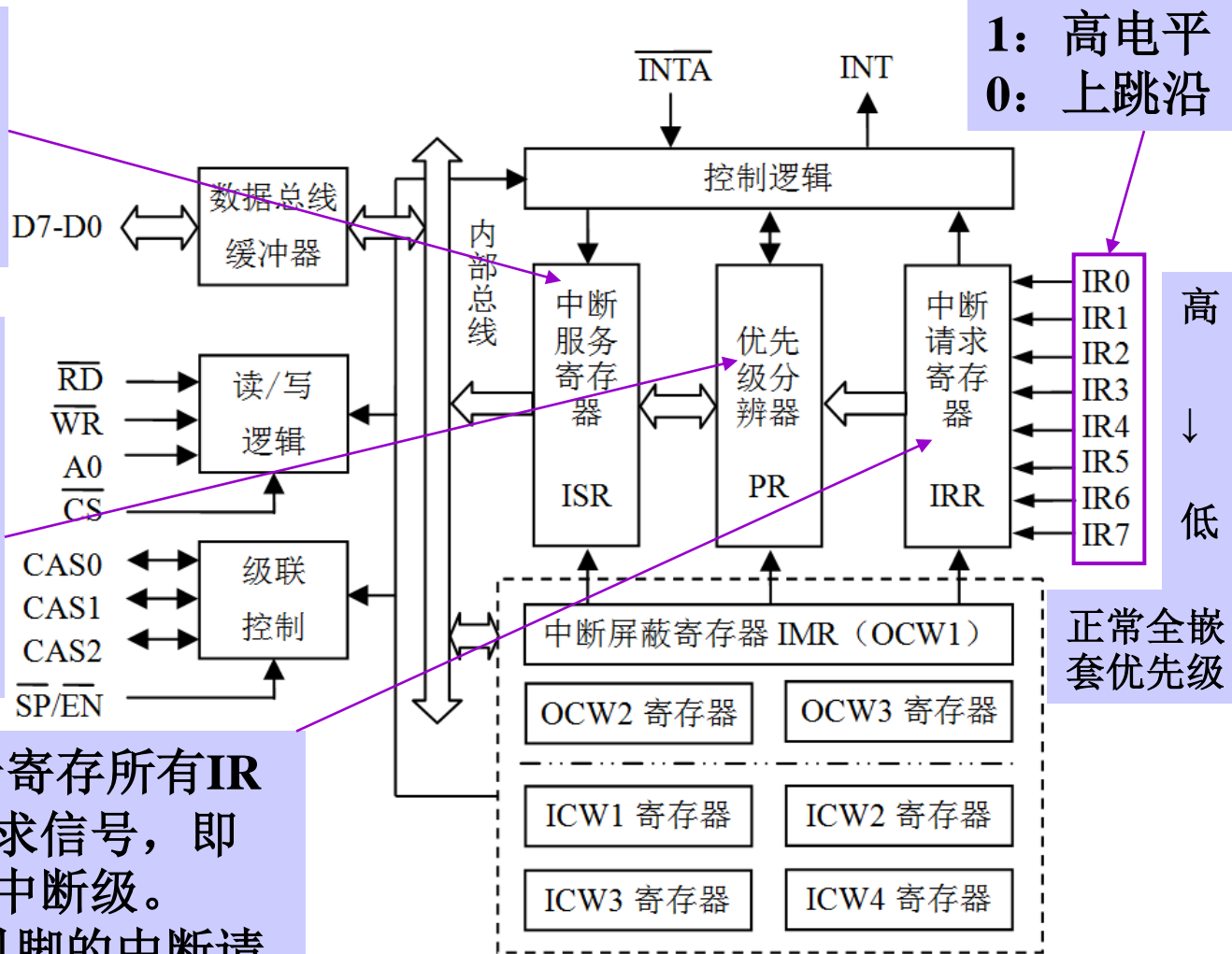


图 6.5.1 8259A 的内部结构

控制逻辑

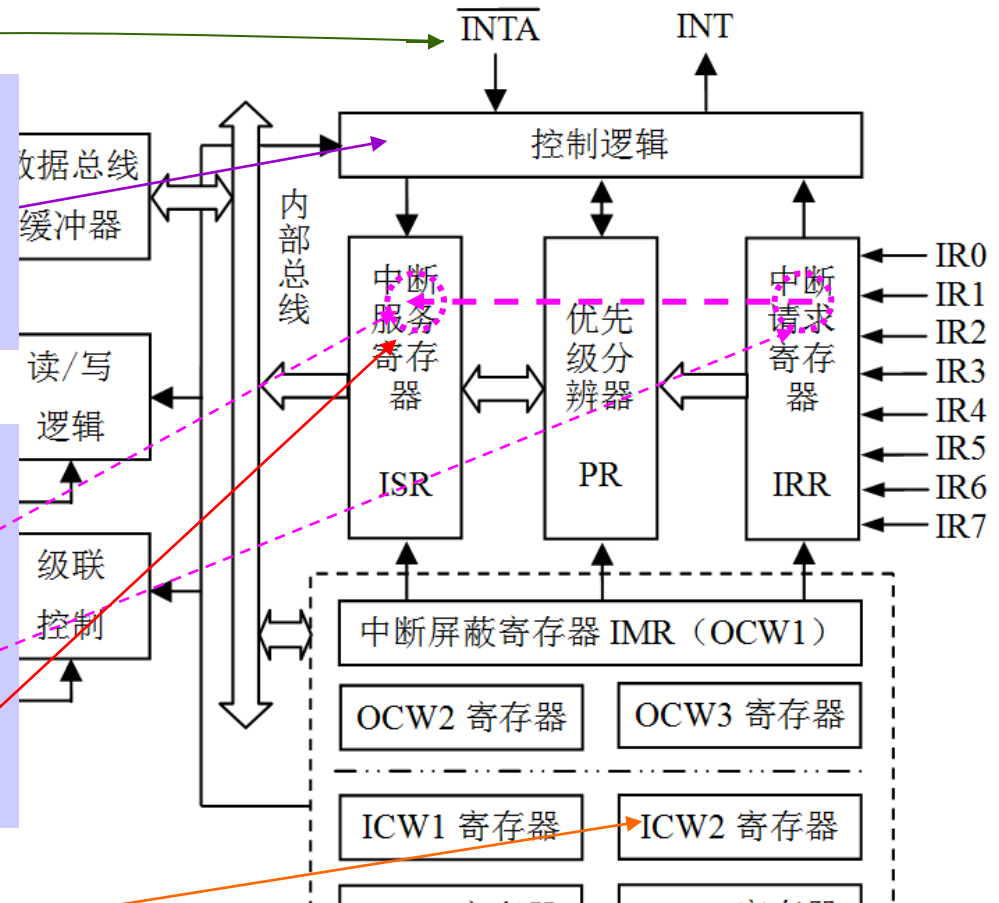
控制逻辑：根据优先级裁决器的请求向CPU发出一个中断请求信号INT=1。CPU响应中断时，往8259A回送**两个INTA**负脉冲。

第一个负脉冲到达时，8259A主要完成的动作：

- (1) 使ISR中的相应位置1。
- (2) 使IRR寄存器中的相应位（即刚才设置ISR为1所对应的IRR中的位）清0。

第二个负脉冲到达时，8259A主要完成的动作：

- (1) 将ICW2中的内容送到D7-D0，CPU将此作为中断类型码。
- (2) 如果ICW4的中断自动结束位为1，那么，在第二个脉冲结束时，8259A会将刚才设置的ISR的相应位清0。



端口地址

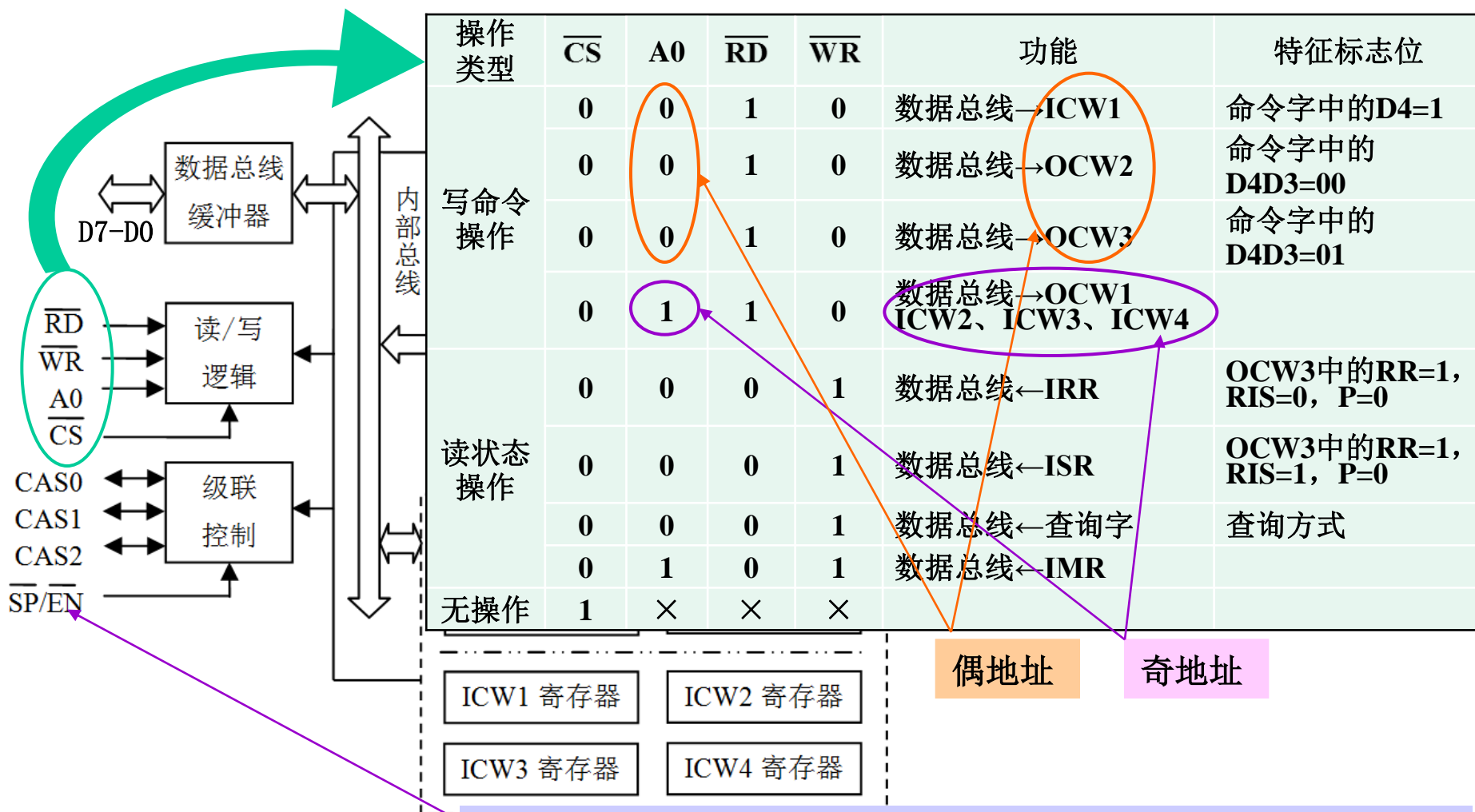


图 6.5.1 8259A 的内部结构

级联模式下，输入， $\overline{SP}=0$ ：从片； $\overline{SP}=1$ ：主片
缓冲模式下，输出，控制总线数据收发器传送方向，
 $EN=0$ ：8259A→CPU； $EN=1$ ：CPU→8259A

命令字寄存器

- (1) **操作命令字寄存器OCW1-OCW3**：用于存放操作命令字。
- (2) 操作命令字由应用程序设定，用于对中断处理过程的动态控制。
- (3) 在一个系统运行过程中，操作命令字可以被多次设置。
- (4) OCW1：8位中断屏蔽寄存器IMR，存放CPU送来的中断屏蔽信号。某位=1，对应的中断请求就被屏蔽。

- (1) **初始化命令字寄存器ICW1-ICW4**：系统启动时由初始化程序设置的。
- (2) 初始化命令字一旦设定，一般在系统工作过程中就不再改变。
- (3) 初始化命令字送入8259A时，必须严格按照规定的顺序。
- (4) ICW1和ICW2是必须设置的，而ICW3和ICW4是由工作方式来选择的。

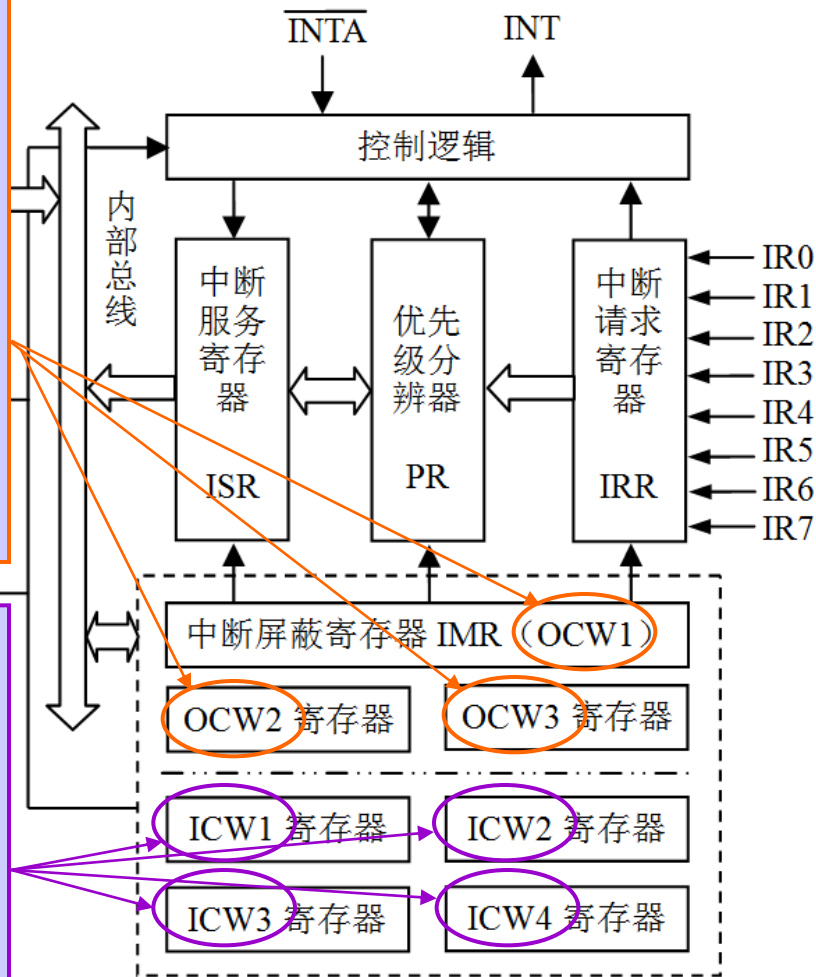


图 6.5.1 8259A 的内部结构

6.5.2 8259A 的工作方式

- 8259A是可编程芯片，可以通过程序命令来确定8259A的工作方式。
- **10种工作方式：**全嵌套方式，循环优先级方式，特殊屏蔽方式，程序查询方式，中断结束方式，读8259A状态，中断请求触发方式，缓冲器方式，特殊的全嵌套方式，级联方式。
- **两种命令：**初始化命令，操作命令。

1. 全嵌套方式

- 最普通的工作方式。8259A在初始化工作完成后若未设定其它的工作方式，就自动进入全嵌套方式。
- 特点：
 - (1) 中断请求的**优先级固定**，其顺序是IR0最高，逐次减小，IR7最低。
 - (2) ISR保存优先级状态，相应位置“1”，并且一直保持这个服务“记录”状态，直到CPU发出中断结束命令为止。
 - (3) 在ISR置位期间，**不再响应同级及较低级的中断请求**，而高级的中断请求如果CPU开放中断的话仍能够得到中断服务。
 - (4) IR7-IR0的中断请求输入可分别由IMR的D7-D0的相应位屏蔽与允许，对某一位的屏蔽与允许操作不影响其它位的中断请求操作。
- 全嵌套工作方式由ICW4的D4=0来确定。

2. 循环优先级方式

- 循环优先级方式有**两种**：
- **(1) 自动循环**
- 各设备优先级相同，**当某一个设备受到服务之后，它的优先级就自动地排到最后**。所谓各设备优先级相同，是指它们的地位相同，受服务的机会均等，但是毕竟各中断源的优先级需要排出一个顺序，否则同时有多个中断源申请中断时计算机无法处理，于是排出这样一个优先级由高到低的顺序。
- **(2) 特殊循环**
- 特殊循环优先级方式与自动循环优先级方式的不同之处在于：在自动循环优先级方式中，某一设备在被服务之后被确定为最低优先权；而在特殊循环优先级方式中，是**通过编程来确定某一设备为最低优先级**。如IR5被指定为最低优先级，则IR6的优先级最高。

3. 特殊屏蔽方式

- 屏蔽方式有**两种**：正常屏蔽方式，特殊屏蔽方式。
- **正常屏蔽方式**：每一个屏蔽位对应一个中断请求输入信号，未被屏蔽的中断请求输入信号按照设定的优先级顺序进行工作，中断嵌套时遵循同级和低级的中断请求将被禁止原则。
- **特殊屏蔽方式**：**IMR**中为“1”的位仍然屏蔽相应的中断请求输入信号，但**所有未被屏蔽的位被全部开放**，无论优先级别是低还是高，都可以申请中断，并且都可能得到**CPU**的响应并为之服务，也就是说，这种方式抛弃了同级或低级中断被禁止的原则，任何级别的未被屏蔽的中断请求都会得到响应，所以，可以有选择地设定**IMR**的状态，开启需要的中断输入。
- 特殊屏蔽方式由**OCW3**的**ESMM**和**SMM**确定，设置时**ESMM=1**、**SMM=1**，复位时**ESMM=1**、**SMM=0**。

4. 程序查询方式

- **程序查询方式：**不使用中断，用软件寻找中断源并为之服务。
- 在这种方式下，8259A不向CPU发送INT信号（实际上是8259A的INT信号不连到CPU的INTR信号上），或者CPU关闭自己的中断允许触发器，使IF=0，禁止中断输入。
- 查询时，CPU先向8259A发查询命令，8259A接到查询命令后，把下一个IN指令（对偶地址端口的读指令）产生的脉冲作为中断响应信号，此时，若有中断请求信号，则在ISR中相应位置“1”，并把该优先级送上数据总线。

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
I	—	—	—	—	W ₂	W ₁	W ₀

- **I：**中断请求标志，I=1表示有中断请求，此时W₂W₁W₀有效，表示申请服务的最高中断优先级。I=0表示没有中断请求，此W₂W₁W₀无效。
- 查询方式是由OCW₃的P=1来确定的。

5. 中断结束方式

- **中断结束方式：**如何、何时使8259A中的ISR中的相应位清零。
- **两种：**命令中断结束方式（EOI）和自动中断结束方式（AEOI）。
- **(1) 自动中断结束方式（AEOI）**
- 8259A自动地在最后一个INTA脉冲的后沿将ISR中的相应位清零。
- **(2) 命令中断结束方式（EOI）**
- 在中断服务程序返回之前，向8259A发中断结束命令，使ISR中的相应位清零。包括两种情况：
 - 1) 非特殊EOI命令：**全嵌套方式下的中断结束命令称为非特殊EOI命令，该命令能自动地把当前ISR中的最高优先级的那一位清“0”。
 - 2) 特殊EOI命令：**非全嵌套方式下的中断结束命令称为特殊EOI命令。在非全嵌套方式下，由于无法确定最后响应的是哪一级中断，所以应向8259A发出特殊EOI命令，即指定哪一级中断返回，使其ISR中的相应位清“0”。

6. 读8259A状态

- 读8259A的状态是指读8259A内部的IRR、ISR和IMR的内容。
- (1) 读IRR
 - 先发出OCW3命令（使RR=1、RIS=0，地址A0=0），在下一个读脉冲时可读出IRR，其中包含尚未被响应的中断源情况。
- (2) 读ISR
 - 先发出OCW3命令（使RR=1、RIS=1，地址A0=0），在下一个读脉冲时可读出ISR，其中包含正在服务的中断源情况，也可看中断嵌套情况。
- (3) 读IMR
 - 不必先发OCW3，只要读奇地址端口（A0=1），则可读出IMR，其中包含设置的中断屏蔽情况。

7. 中断请求触发方式

- 触发方式有两种：边沿触发，电平触发。
- (1) 边沿触发
- 当输入端有从低电平到高电平的**正跳变**时，则产生中断请求（**IRR**中相应位的触发器被触发置“1”，而不是直接向**CPU**申请中断）。此后，即使输入端仍然保持高电平也不会再产生中断。也就是说，只有正跳沿才能产生中断。
- 边沿触发方式由**ICW1**的**LTIM=0**确定。
- (2) 电平触发
- 当输入端产生**高电平**时产生中断请求。只要高电平就可以，不需要脉冲跳变。但需要注意的是，在电平触发方式下，在发出**EOI**命令以前，必须去掉中断请求信号（使其变为低电平），否则将产生第二次中断。

8. 缓冲器方式

- **缓冲器方式：**在8259A和数据总线之间挂接总线驱动器的方式。
- 在缓冲器方式下， $\overline{SP}/\overline{EN}$ 引脚将使用EN功能，并使之输出一个有效低电平，开启缓冲器工作。
- 该方式多用于级联的大系统。
- 缓冲器方式由ICW4的BUF=1确定。

9. 特殊的全嵌套方式

- 适用于多片级连，且必须将优先级保存在各从片8259A中。
- 该方式与普通的全嵌套方式工作情况基本相同，**区别在于两点：**
 - (1) **当某从片的一个中断请求被CPU响应后，该从片的中断仍未被禁止，即该从片中的高级中断仍可提出申请**（全嵌套方式中这样的中断是被屏蔽的，因为这种中断对从片而言后者是高级中断，可以嵌套，但对主片而言，由于它们来自于同一个从片，故中断优先级相同，而在全嵌套方式中，同级和低级中断是被禁止的）。
 - (2) 在某个中断源退出中断服务程序之前，CPU要用软件检查它是否是这个从片中的唯一中断。

10. 多片级联方式

- 在级联系统中，每个从片的中断请求输出线INT直接连到主片的某个中断请求输入线上，主片的CAS0-CAS2是输出线，输出被响应的从片代码，从片的CAS0-CAS2是输入线，接收主片发出的从片代码，以便与自身代码相比较。
- 级联方式的要点：
 - (1) 一个8259A主片至多带8个从片，可扩展至64级。
 - (2) 缓冲方式下，主片和从片的设定由ICW4的M/S位确定，M/S=1是主片，M/S=0是从片。M/S的状态在BUF=1时有意义。
 - (3) 在非缓冲方式下，主片和从片由 $\overline{SP}/\overline{EN}$ 引脚的功能确定， $\overline{SP}=1$ 是主片， $\overline{SP}=0$ 是从片。
 - (4) 在级联系统中，主片的三条级联线相当于从片的片选信号，从片的INT是主片的中断请求输入信号。
 - (5) 主片和从片需要分别进行初始化操作，可设定为不同的工作方式。

6.5.3 8259A 的编程

- 8259A是一个可编程器件，为了使8259A实现预定的中断管理功能，按预定的方式工作，就必须对它进行初始化编程。
- **初始化编程：**是指系统在上电或复位后对可编程器件进行控制字设定的一段程序。
- **8259A的命令控制字包括两部分：**初始化命令字，操作命令字。
- **初始化命令字：**一般在系统复位后的初始化编程中设置，用于确定8259A的基本工作方式，设置以后一般保持不变。
- **操作命令：**是在初始化以后的正常工作中写入的，它实现对8259A的状态、中断方式和过程的动态控制，在工作中可随时写入操作命令字以修改某些控制方式。
- **8259A内部有7个寄存器，分为两组：**初始化命令寄存器组和操作命令寄存器组。初始化命令寄存器组包括4个寄存器：ICW1-ICW4对应的寄存器。操作命令寄存器组包括3个寄存器：OCW1-OCW3对应的寄存器。

1. 初始化命令字

- 初始化命令字有4个：ICW1、ICW2、ICW3、ICW4。
- 8259A在进入正常工作之前，必须将系统中的每一个8259A进行初始化设置，以此建立8259A的基本工作条件。
- 写入的初始化命令字一般为2~4个，最多为4个，然而，ICW1使用偶地址，而ICW2、ICW3、ICW4都使用奇地址，为了相互区别，初始化命令字的写入必须有一个固定的顺序。

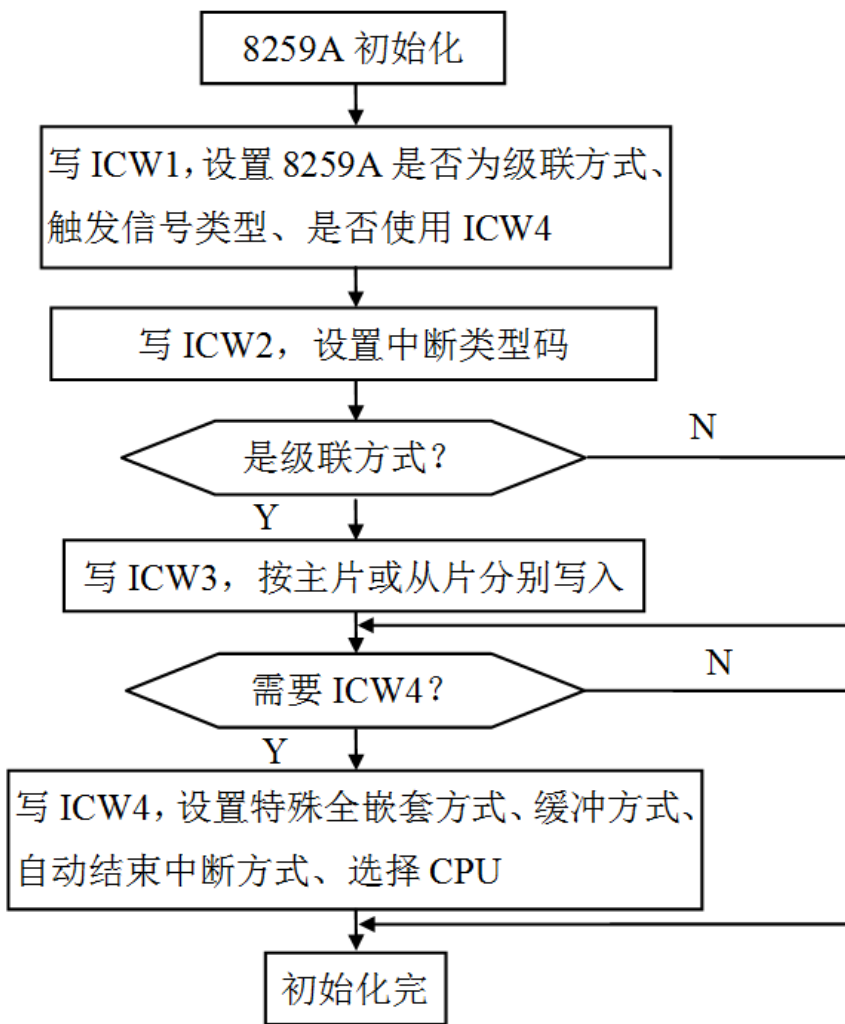


图 6.5.3 8259A 的 ICW 写入顺序

(1) 8259A的ICW1格式 (A0=0)

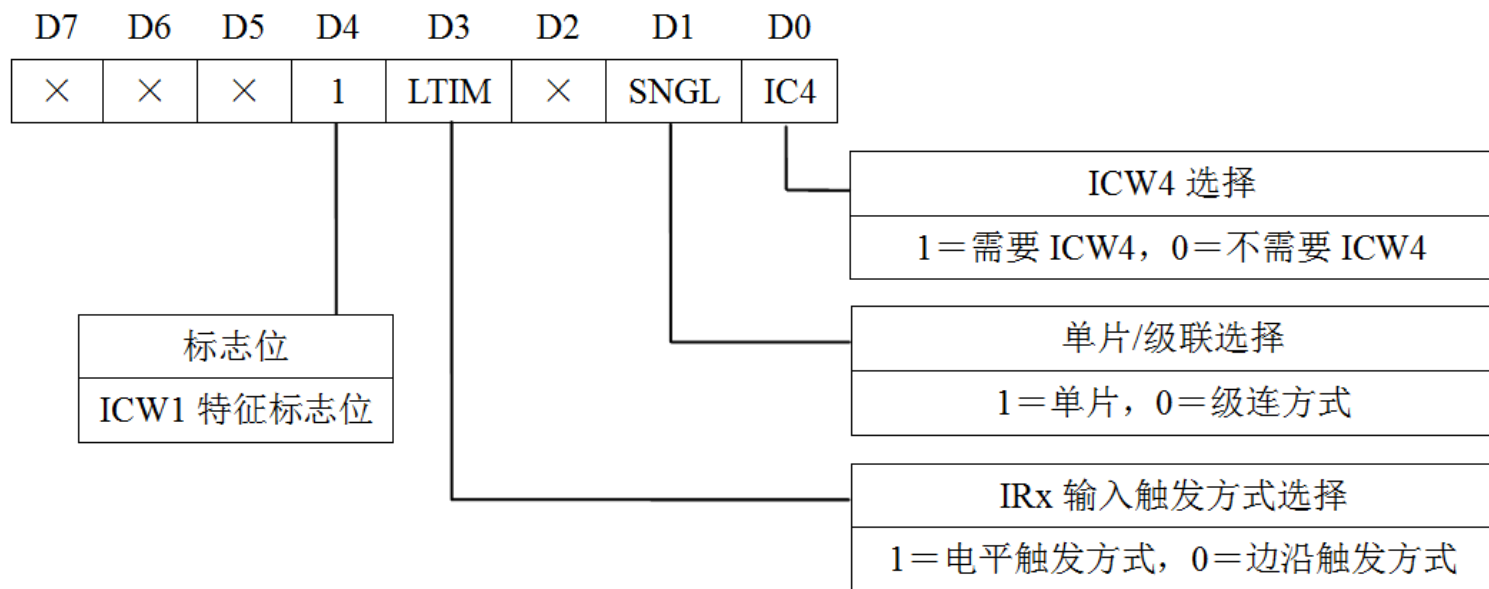
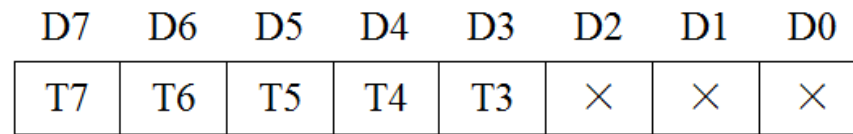


图 6.5.4 8259A 的 ICW1 格式 (A0 = 0)

- **ICW1主要功能：**确定级连方式、触发方式。
- ICW1是初始化命令字，其中D7-D5、D2位对8086以上型号CPU无意义，都可取0。
- 写入ICW1后，8259A内部自动复位，其复位功能为：1) 初始化命令字顺序逻辑重新置位，准备接收ICW2、ICW3、ICW4。2) 清除IMR和ISR。3) IRR状态可读。4) 优先级排队，IR0最高，IR7最低。5) 特殊屏蔽方式复位。6) 自动EOI循环方式复位。

(2) 8259A的ICW2格式 (A0=1)



高5位
由程序设定

中断源	D2	D1	D0
IR0	0	0	0
IR1	0	0	1
IR2	0	1	0
IR3	0	1	1
IR4	1	0	0
IR5	1	0	1
IR6	1	1	0
IR7	1	1	1

- **ICW2主要功能：**确定中断向量、中断类型码。
- ICW2的功能是设置中断类型码的初始化命令字，中断类型码的高5位就是ICW2的高5位，而低3位的值，则由8259A按引入中断请求的引脚IR0-IR7三位编码值自动填入。

格式 (A0=1)

(3) 8259A的ICW3格式

ICW3主要功能： 确定主片、从片的级联状态，即确定主片的连接位和从片的编码。

ICW3仅用于8259A的级联方式，分为主片ICW3和从片ICW3两种格式。

D7	D6	D5	D4	D3	D2	D1	D0
S7	S6	S5	S4	S3	S2	S1	S0

Sx 对应 IRx 的连接从片的状态
1=IR 输入有从片，0=IR 输入无从片

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	ID2	ID1	ID0

高5位
不用

与主片的连接位	ID2	ID1	ID0
IR0	0	0	0
IR1	0	0	1
IR2	0	1	0
IR3	0	1	1
IR4	1	0	0
IR5	1	0	1
IR6	0	0	0
IR7	1	0	1

图 6.5.6 8259A 的 ICW3 主片格式 (A0=1)

- (1) **主片ICW3功能：** 表明主片IR_x与从片INT之间连接关系。
- (2) 如果某一个引脚上连有从片，则对应位为1；如果未连从片，则对应位为0。
- (3) 比如当ICW3=0FH (00001111) 时，表示在IR3、IR2、IR1、IR0引脚上接有从片，而IR7、IR6、IR5、IR4引脚上没连从片。

(3) 8259A的ICW3格式

(1) **从片ICW3功能：**表明从片INT引脚是和主片的哪一个IR_x相连接。

(2) D2-D0的值与从片的输出端INT连在主片的哪条中断请求输入引脚有关。

(3) 比如，某片从片的INT引脚连在主片的IR5引脚上，则此从片的ICW3中的标识码D2-D0应为101。

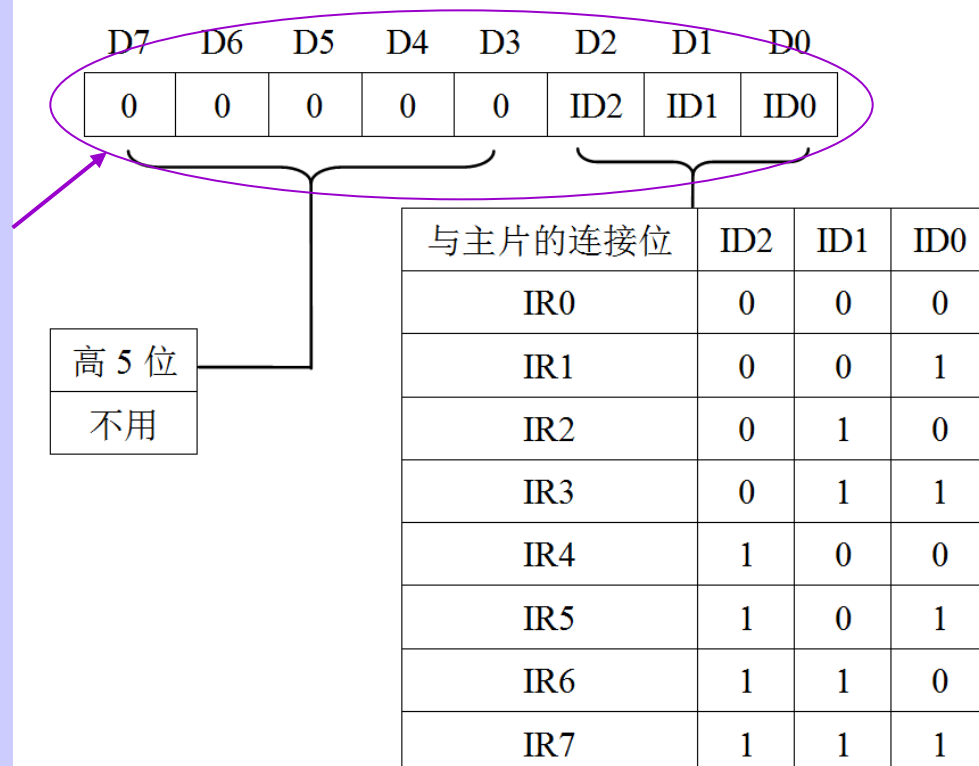


图 6.5.7 8259A 的 ICW3 从片格式 (A0 = 1)

3片8259A的级联

3片8259A组成的级联系统，级联后系统最多可处理22级中断。

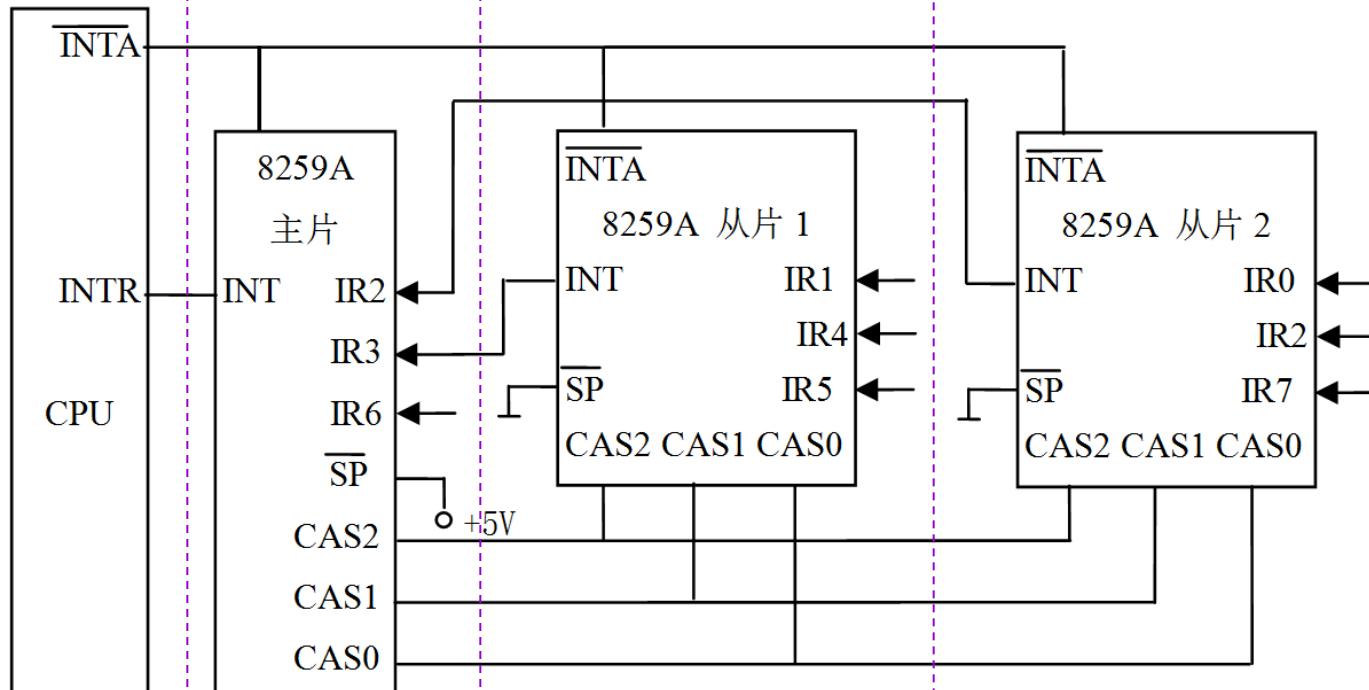


图 6.5.8 3 片 8259A 的级联

ICW3	00001100	00000011	00000010
OCW1	10110011	11001101	01111010

(4) 8259A的ICW4格式 (A0=1)

ICW4主要功能： 选择CPU系统、确定中断结束方式、规定是主片还是从片、选择是否采用缓冲方式。

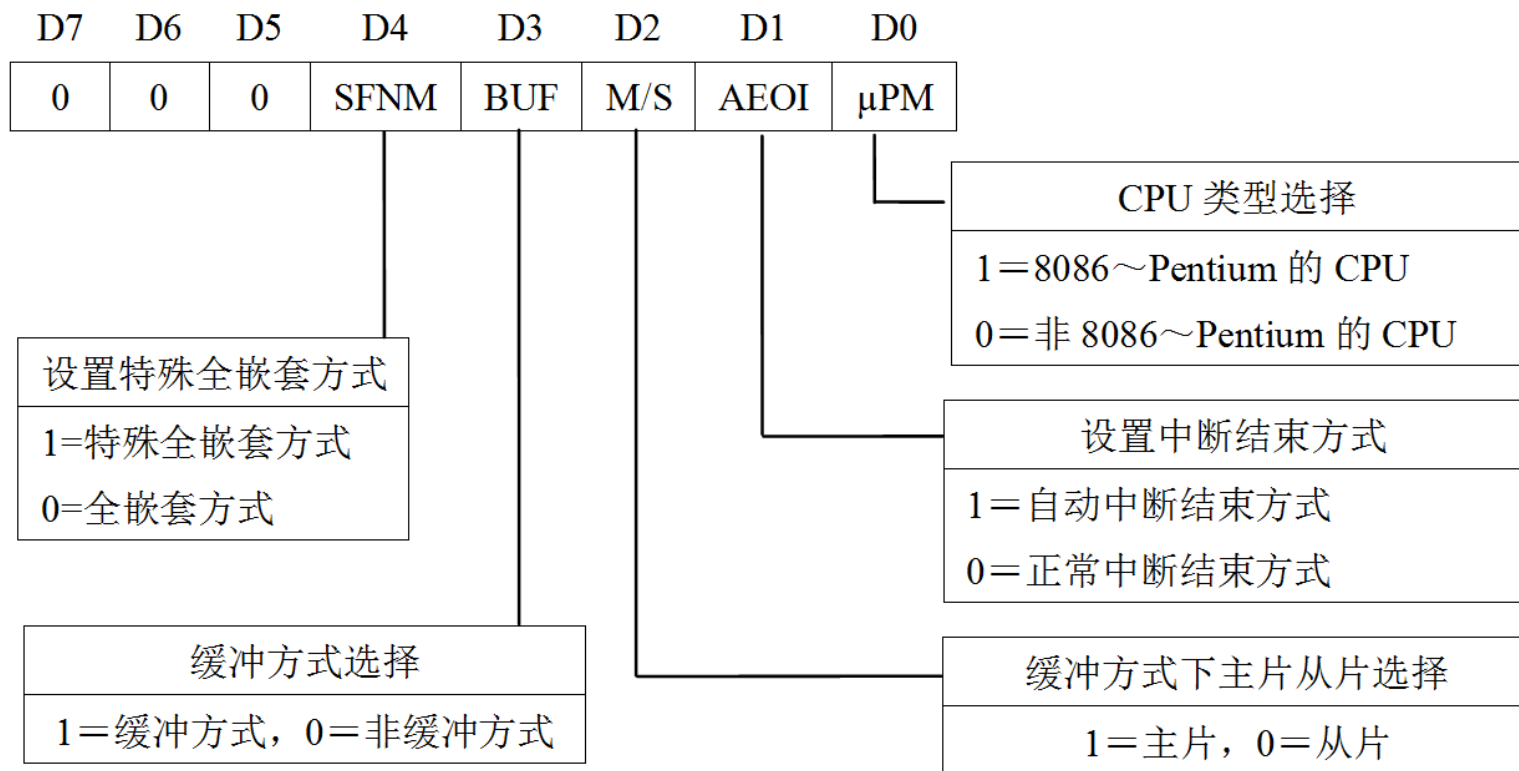


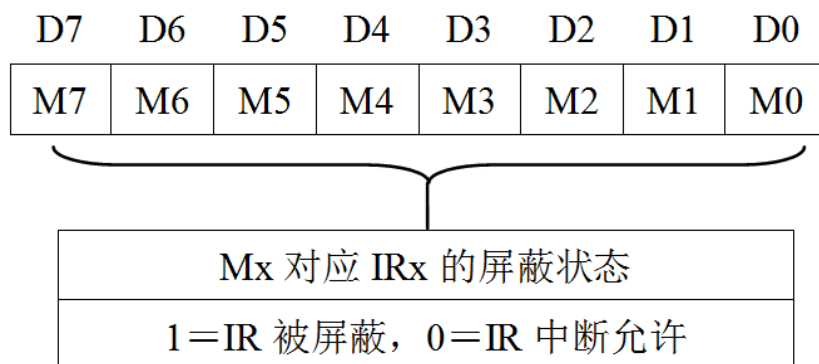
图 6.5.9 8259A 的 ICW4 格式 (A0 = 1)

2. 操作命令字

- 在初始化命令字写入8259A之后，8259A就准备接收中断请求输入信号了。
- 在8259A工作期间，CPU可以随时通过操作命令字使8259A完成各种不同的工作方式。
- 8259A有**三种**操作命令字：OCW1、OCW2和OCW3。
- 在写入时，它们与初始化命令字不同，它们不是按一定的顺序写入，而是按设计者的要求写入。

(1) OCW1

- **OCW1主要功能：**保存中断屏蔽字。
- 操作命令字OCW1对8259A内的中断屏蔽寄存器IMR中的各位进行动态地设置屏蔽字，M0-M7分别与8259A的IR0-IR7相对应。



可直接读

图 6.5.10 8259A 的 OCW1 格式 (A0 = 1)

(2) 8259A的OCW2格式 (A0=0)

主要功能：控制8259A的中断循环优先级方式及发送命令中断结束方式

R循环优先级设定
SL是否采用二进制编码
EOI中断结束方式

正常EOI

特殊EOI

回到全嵌套
设置自动循环

正常EOI循环

设置特殊循环最低优先级

特殊循环指定优先级结束

优先级管理方式	功能	R	SL	EOI
全嵌套	正常 EOI 中断结束命令, 使 ISR 中最高的非零位清 0	0	0	1
特殊全嵌套	特殊 EOI 中断结束命令, 使 ISR 中 L2-L0 对应位清 0	0	1	1
全嵌套	复位自动循环, 退回全嵌套	0	0	0
自动循环	设置自动循环	1	0	0
自动循环	自动循环下中断结束命令, 使 ISR 中最高的非零位清 0	1	0	1
特殊循环	设置特殊循环, 使 L2-L0 对应的 IRx 为最低优先级	1	1	0
特殊循环	特殊循环下中断结束命令, 使 ISR 中 L2-L0 对应位清 0	1	1	1
无	无操作	0	1	0

D7	D6	D5	D4	D3	D2	D1	D0
R	SL	EOI	0	0	L2	L1	L0

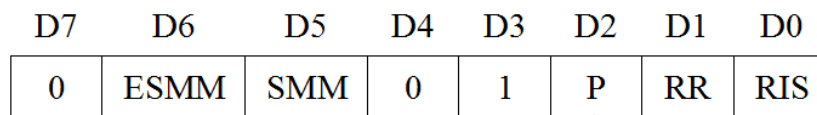
特征位
为 00

中断源	L2	L1	L0
IR0	0	0	0
IR1	0	0	1
IR2	0	1	0
IR3	0	1	1
IR4	1	0	0
IR5	1	0	1
IR6	1	1	0
IR7	1	1	1

图 6.5.11 8259A 的 OCW2 格式 (A0 = 0)

(3) 8259A的OCW3格式 (A0=0)

OCW3的主要功能：设定查询方式、特殊屏蔽方式、寄存器读取方式。



功能	ESMM	SMM
无操作	0	0
无操作	0	1
复位特殊屏蔽， 回到全嵌套方式	1	0
设置特殊屏蔽	1	1

特征位
为 01

设置查询命令
1=查询命令
0=非查询命令

功能	RR	RIS
无操作	0	0
无操作	0	1
下一个读操作， 读取 IRR	1	0
下一个读操作， 读取 ISR	1	1

- (1) 特殊屏蔽方式**不仅允许高优先级的中断，也允许低优先级的中断。**
- (2) 如果特殊屏蔽方式与全嵌套方式配合使用，可动态地改变中断系统的优先级结构。
- (3) 例如，在执行中断服务程序的某一部分中要求禁止较低级的中断请求，但在执行中断服务程序的另一部分中又允许较低优先级别的中断请求。
- (4) 复位特殊屏蔽方式则回到未设置特殊屏蔽方式时的优先级方式。

6.5.4 8259A 的应用举例

- 例 6.5.1 8259A 单片应用。
- 在某8088系统中扩展一片中断控制器8259A，其端口地址由74LS138译码器译码选择，假设为8CH和8DH。中断源的中断请求线连到IR7输入线上，边沿触发方式，IR7的中断类型码为77H，其它条件保持8259A的复位设置状态。要求：
 - （1）写出8259A的初始化程序。
 - （2）写出中断类型码为77H的中断向量设置程序。

1. 8259A的初始化程序

- 初始化程序包括写入ICW1、ICW2和ICW4（由于单片使用，不需写入ICW3），并且必须按规定的顺序写入。
 - (1) **ICW1命令字**。单片，边沿触发，需要ICW4，故为**00010011B=13H**，写入**偶**地址。
 - (2) **ICW2命令字**。IR7的中断类型码为77H，即可作为ICW2命令字写入，写入**奇**地址。
 - (3) **ICW4命令字**。8088 CPU，一般全嵌套方式，正常EOI结束，非缓冲方式，故命令字的组合为**00000001B=01H**，写入**奇**地址。
 - (4) **OCW1命令字**。系统只使用了IR7，为防止干扰，产生误动作，应将IR0-IR6屏蔽掉，屏蔽字为**01111111B=7FH**，写入**奇**地址。

(5) 初始化程序段

CLI

MOV AL, 13H ; ICW1

OUT 8CH, AL

MOV AL, 77H ; ICW2

OUT 8DH, AL

MOV AL, 01H ; ICW4

OUT 8DH, AL

MOV AL, 7FH ; OCW1

OUT 8DH, AL

STI

2. 中断类型码77H的中断向量设置程序

- 假设相应中断服务程序名为INTP，该符号地址包含段值属性和段内偏移量属性，将这二者分别存入中断向量地址，中断类型码77H的中断向量地址为 $77H \times 4 = 1DCH$ ，即占用1DCH-1DFH等4个单元，其中1DEH-1DFH存放INTP的段地址，1DCH-1DDH存放INTP的段内偏移量。
- 用串指令完成中断向量的设置，程序如下：

CLI

MOV AX, 0

MOV ES, AX ; 中断向量表段地址

MOV DI, 1DCH ; 中断向量表偏移地址

MOV AX, OFFSET INTP ; 中断服务程序偏移地址

CLD

STOSW

MOV AX, SEG INTP ; 中断服务程序段地址

STOSW

STI

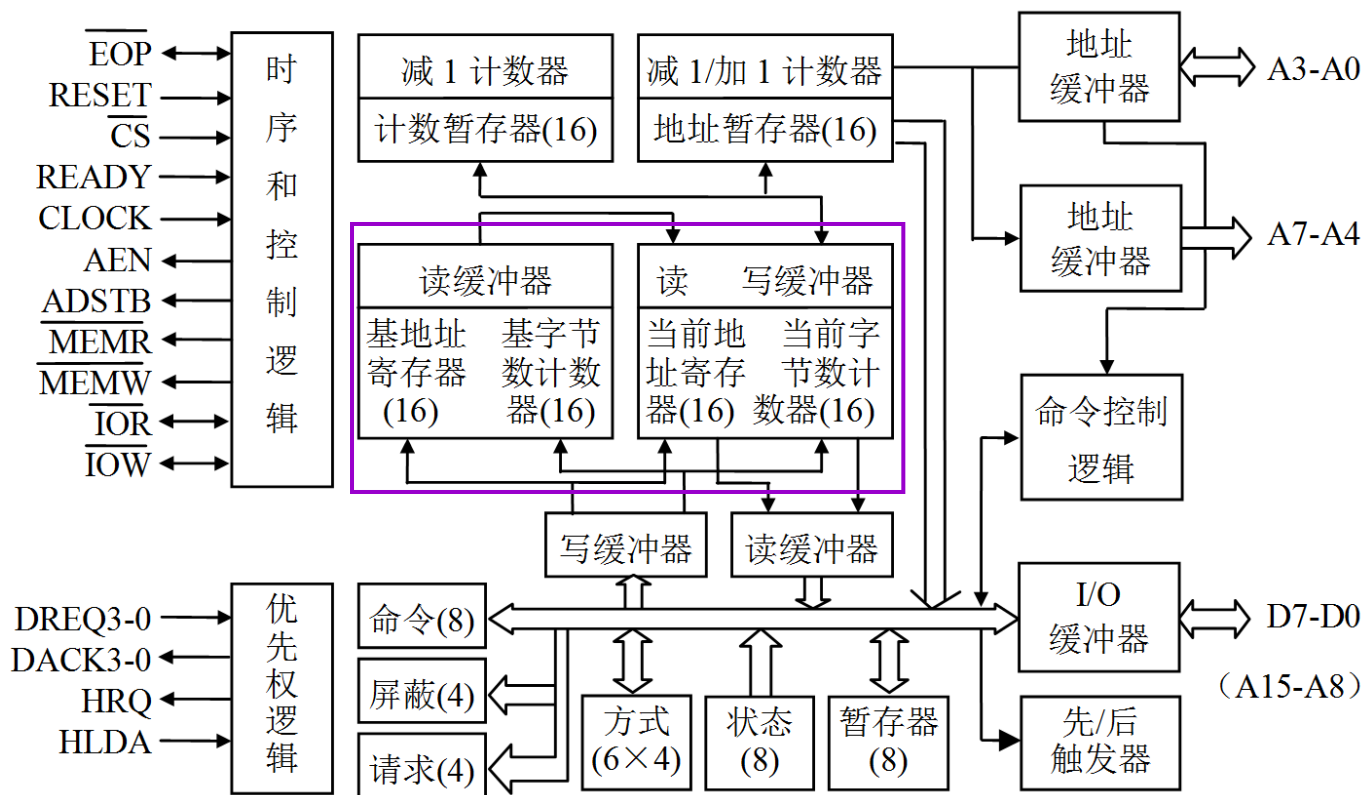
6.6 DMA 控制器 8237A

- 主要的功能有：

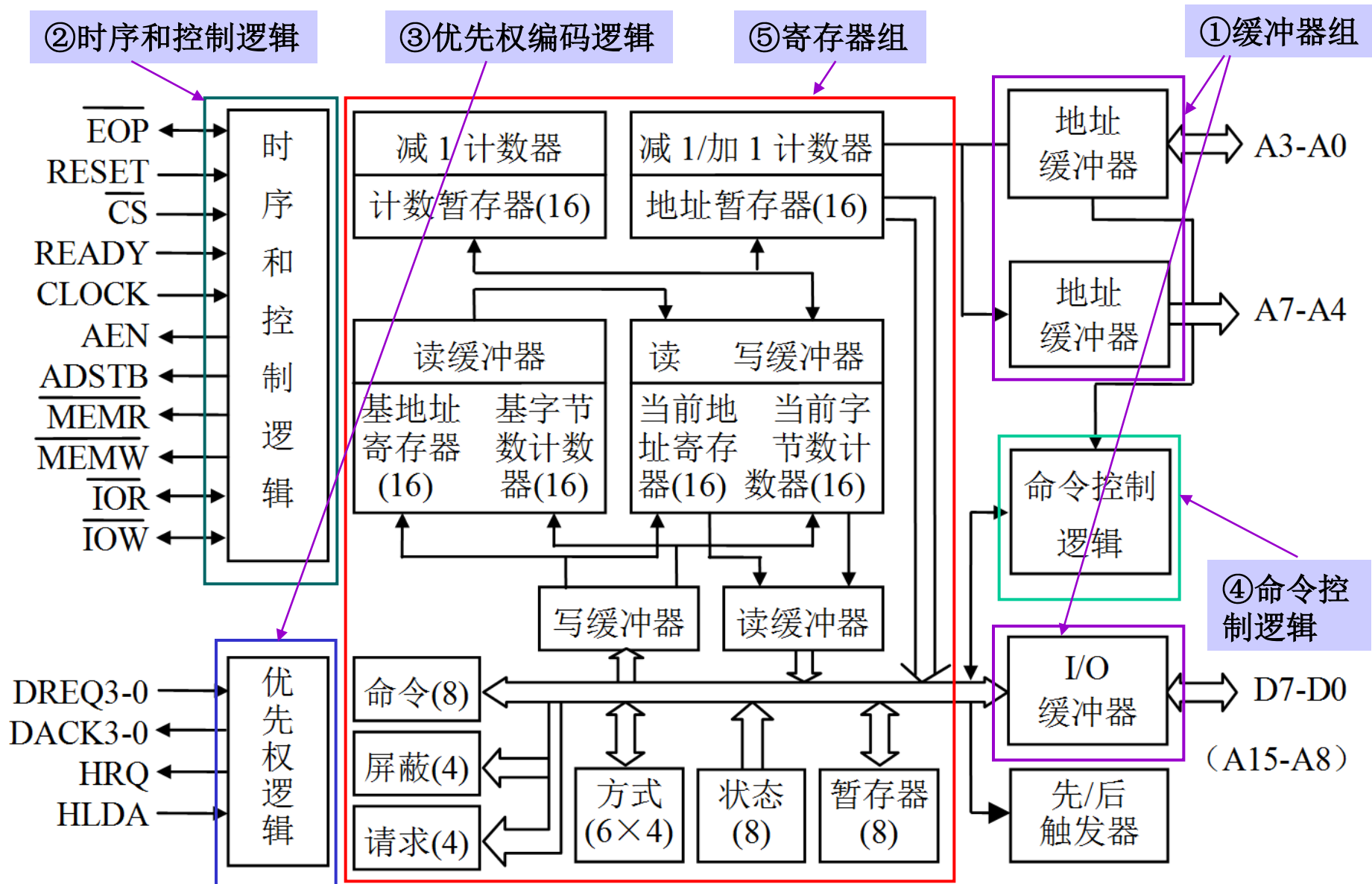
1. 在一片8237A内有4个独立的DMA通道。
2. 每个通道的DMA请求可分别编程允许或禁止。
3. 每个通道的DMA请求优先级有两种：固定优先级和循环优先级。固定优先级的顺序是通道0最高，通道3最低。
4. 可在外设与存储器，存储器与存储器之间传送数据。
5. 四种工作方式：单字节传送方式，数据块传送方式，请求传送方式，级连方式。
6. 可以多片级连，扩展通道数。
7. DMA操作结束有两种方法：一是字节计数器减1由0变为FFFFH，二是外界通过 $\overline{\text{EOP}}$ 输入负脉冲，强制DMA操作结束。
8. DMA操作启动有两种方法：一是外设输入DMA请求信号DREQ，二是通过软件编程从内部启动。

6.6.1 8237A 的内部结构及引脚功能

- 8237A 内部有4个结构相同的独立通道，图中只画出了一个通道的结构。
- 每个通道都有：基地址寄存器、基字节数计数器、当前地址寄存器，当前字节数计数器，方式字寄存器。



8237A 内部结构组成部分

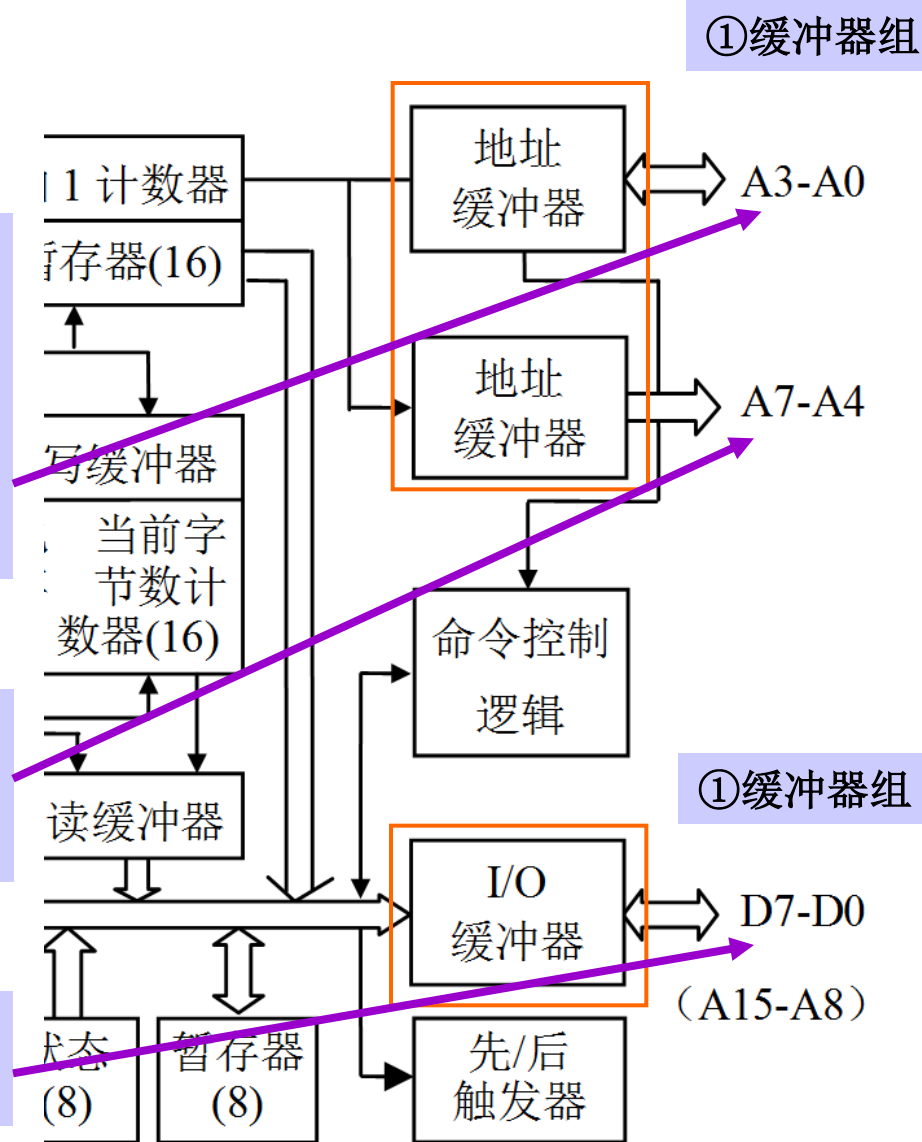


缓冲器组

- (1) **A3-A0**: 输入/输出, 双向。
- (2) 在空闲周期, 它们是地址输入线, CPU用这四根地址线选择8237A内部不同的寄存器。
- (3) 在DMA操作周期, 这四条线是输出, 用于提供要访问的存储单元的地址。

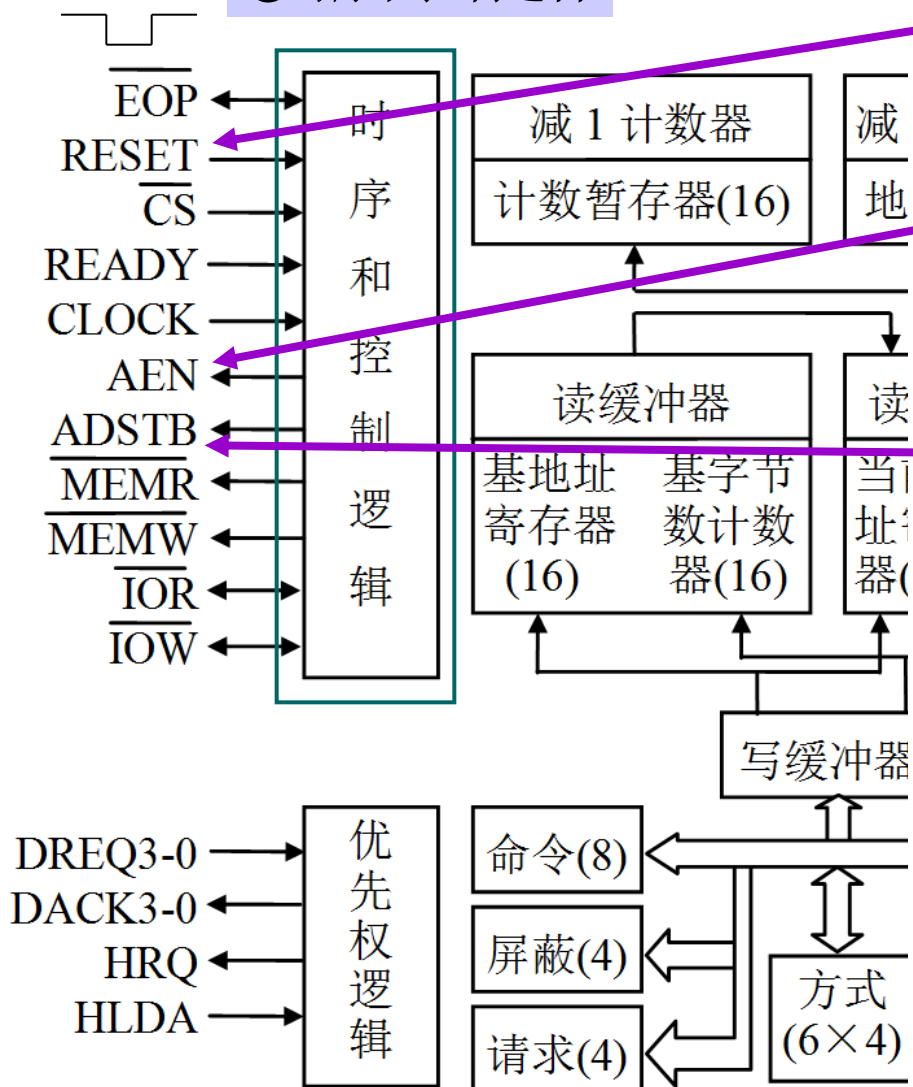
A7-A4: 输出, 仅在DMA操作周期内使用, 提供要访问的存储单元的地址。

D7-D0: 输入/输出, 双向, 与系统数据总线相连。



时序和控制逻辑

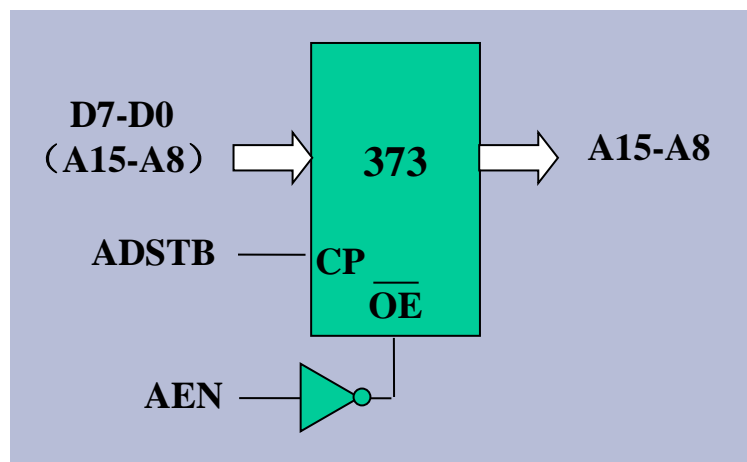
②时序和控制逻辑



RESET后, 屏蔽寄存器为1, 其他为0。

AEN地址允许, DMA期间一直有效。

ADSTB地址选通, 可接到373输入脉冲, 锁存8237的高8位地址 A15-A8

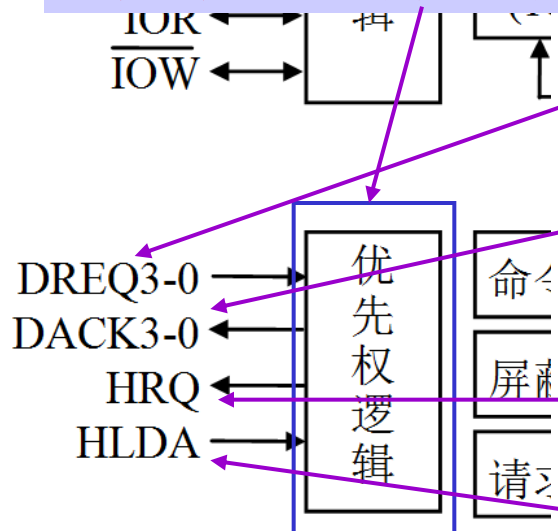


8237A内部端口地址分配



优先权编码逻辑

- (1) 该逻辑对同时提出的DMA请求的多个通道进行优先级排队。
- (2) **2种优先级编码**：固定优先级编码、循环优先级编码。它们均可通过软件编程选定。
- (3) 固定优先级编码：四个DMA通道的优先级顺序是固定的，即通道0优先级最高，依次降低是通道1，通道2，通道3。
- (4) 循环优先级编码：最近一次服务的通道被指定为最低优先级。
- (5) 不论采用哪种优先级编码，经判优某个通道获得服务后，其他通道，不管优先级是高是低，均被禁止，直到已服务的通道结束为止。也就是说，**不允许“DMA服务嵌套”**。



DREQ3-DREQ0: DMA请求输入信号，DREQ的有效电平可由编程设定。

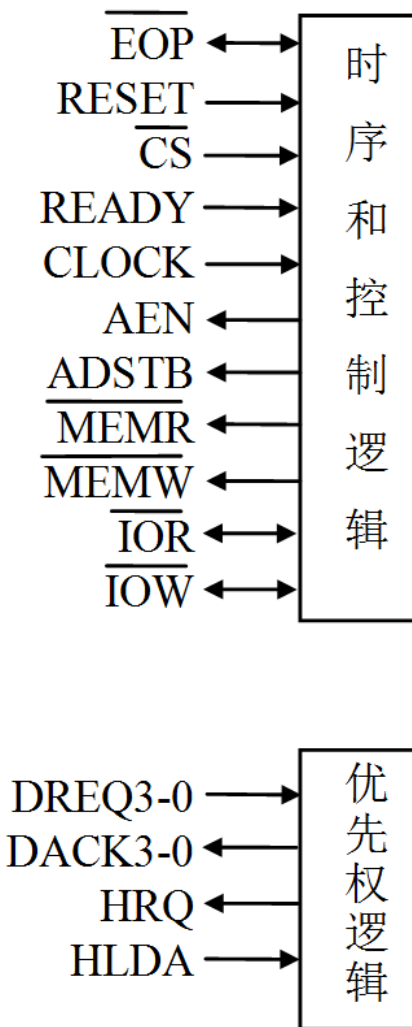
DACK3-DACK0: DMA响应输出信号，DACK的有效电平可由编程设定。

HRQ: 总线请求信号，高电平有效。

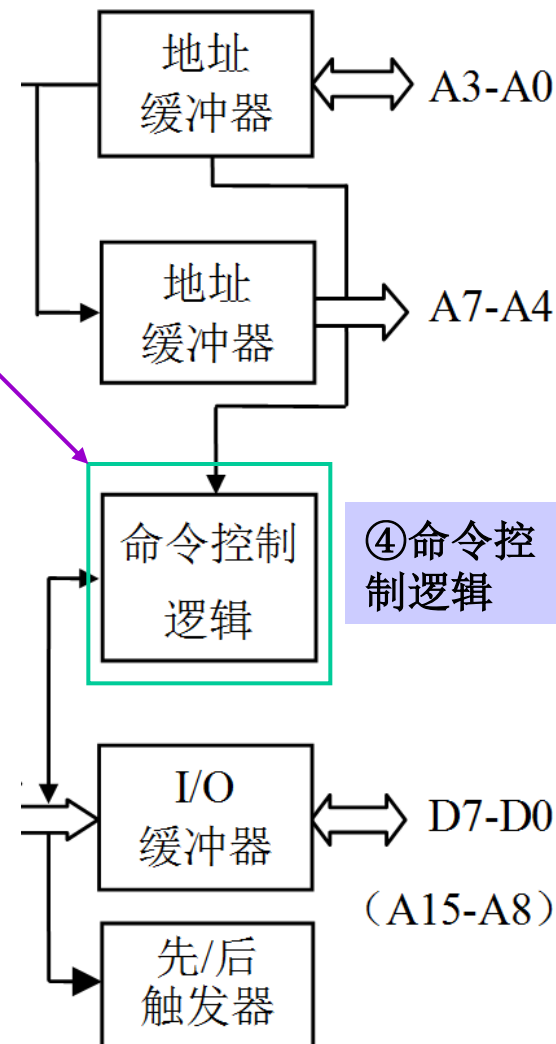
HLDA: 总线保持响应信号，高电平有效。

③优先权编码逻辑

命令控制逻辑

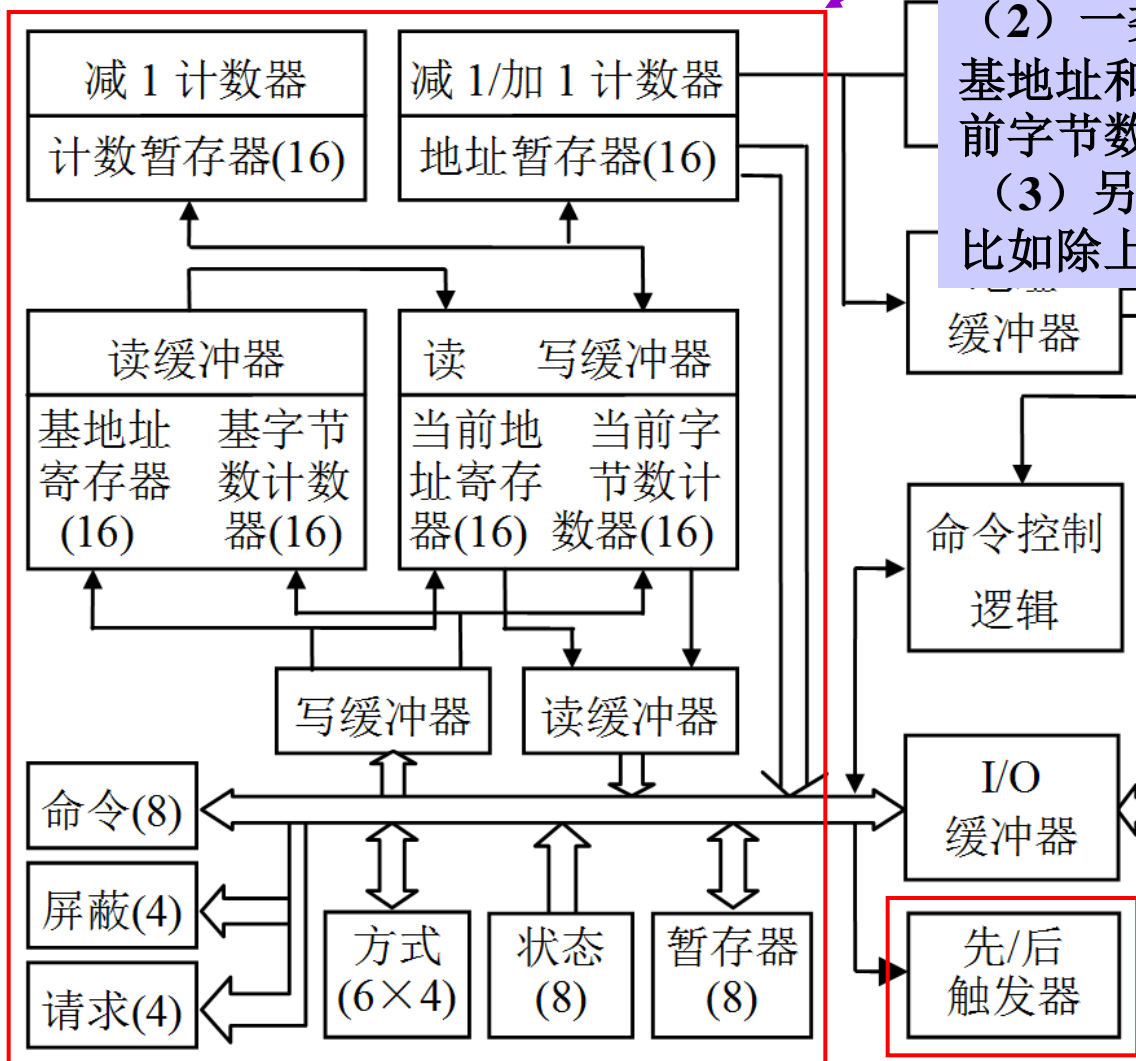


- (1) 命令控制逻辑对CPU送来的编程命令进行译码。
- (2) 在8237A为从模块时, 接受CPU送入的地址信号A3-A0, 经译码后输出相应寄存器的选择信号。
- (3) 在写入方式控制字、请求命令字或屏蔽命令字时, 还对其中的D1和D0位进行译码, 以确定是在哪一个通道中。



寄存器组

⑤寄存器组



(1) 内部寄存器组分成两大类。

(2) 一类是4个通道都有的寄存器，比如基地址和当前地址寄存器，基字节数和当前字节数计数器，方式字寄存器等。

(3) 另一类是4个通道共用的一套寄存器，比如除上述以外的其他寄存器。

共有12种寄存器：

- | | |
|-------------|-------|
| 1) 基地址寄存器 | 16位×4 |
| 2) 基字节数计数器 | 16位×4 |
| 3) 当前地址寄存器 | 16位×4 |
| 4) 当前字节数计数器 | 16位×4 |
| 5) 方式字寄存器 | 6位×4 |
| 6) 暂存地址寄存器 | 16位×1 |
| 7) 暂存字节数计数器 | 16位×1 |
| 8) 状态寄存器 | 8位×1 |
| 9) 命令寄存器 | 8位×1 |
| 10) 暂存寄存器 | 8位×1 |
| 11) 屏蔽寄存器 | 4位×1 |
| 12) 请求寄存器 | 4位×1 |

6.6.2 8237A 的工作方式

- 从DMA操作过程的角度，DMA控制器8237A的工作方式：
 - （1）主从模态
 - （2）传送方式
 - （3）传送类型
 - （4）优先级编码
 - （5）自动初始化方式
 - （6）存储器到存储器的传送

1. 主从模态

- DMA控制器既可以作为I/O端口接受CPU的读写操作，也可以代替CPU占有总线，控制外设与存储器之间传送数据，它充分体现了DMA控制器的两大特性，即总线的主控性和总线的从属性，按这两大特性，它也就有两种工作模态：主态方式和从态方式。
- (1) 主态方式
- 在主态方式时，DMA控制器是总线的控制者，此时，8237A是主模块，它如同CPU一样，掌握总线的控制权，可对涉及的外设端口或存储器单元进行读写操作。
- (2) 从态方式
- 在从态方式时，CPU是总线的控制者，而DMA控制器不过是普通的一个外部设备，有若干个端口而已，它的地位同一般的I/O接口芯片是一样的，所以，此时8237A是从模块。

2. 传送方式

- 8237A通过编程，可选择4种传送方式：
- 单字节传送方式
- 数据块传送方式
- 请求传送方式
- 级联传送方式

(1) 单字节传送方式

- 单字节传送方式时，一次只传送一个字节，然后释放总线。若又有外设DMA请求，8237A再向CPU发下一次总线请求HRQ，获得总线控制权后，再传送下一个字节数据。
- 注意：
 - 1) 在DACK有效之前，DREQ应保持有效。
 - 2) 即使DREQ在传送过程中一直保持有效，在总线响应后HRQ也将变成无效，并在传送一个字节后DMA控制器释放总线，但由于DREQ一直有效，HRQ很快再次变成有效，在芯片接受到新的HLDA后，下一个字节又开始传输。显然，在两次DMA传送之间至少执行一个完整的机器周期，在此期间，完全可能响应另一个高优先级的DMA请求。
 - 3) 每次传送后，当前字节数计数器减1，当前地址寄存器减1或加1，当当前字节数计数器减1由0变成FFFFH时，发出有效信号（产生终止计数TC信号），如果通道编程设为自动初始化方式，则自动地重新装入计数值和地址寄存器。

(2) 数据块传送方式

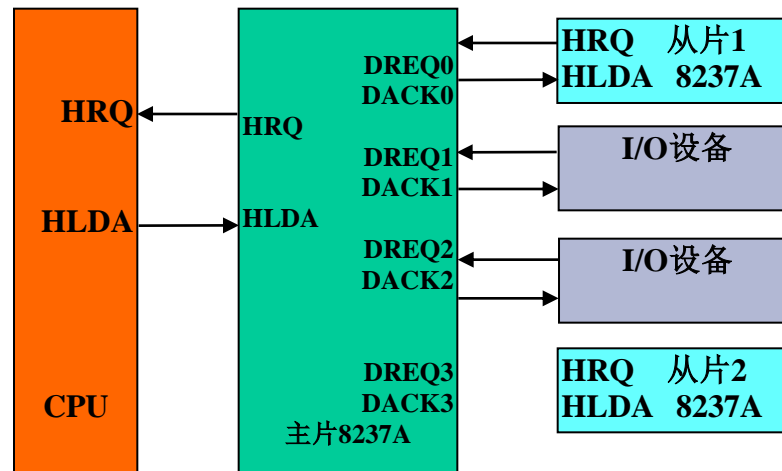
- 数据块传送方式时，响应一次DMA请求，将完成设定的字节数的全部传送。当字节数计数器减1由0变为FFFFH时，产生TC有效信号，使8237A将总线控制权交还给CPU从而结束DMA操作方式，外部有效的信号也可以终结DMA传送。
- 在DACK变成有效之前，DREQ信号必须保持有效。一旦DACK有效，不管DREQ如何，8237A一直不放弃总线控制权。即便是在传送过程中，DREQ变为无效，8237A也不会释放总线，只是暂停数据的传送，等到通道请求信号再次有效后，8237A又继续进行数据传送，直到整块数据全部传完，才会退出DMA操作，将总线控制权交还CPU。
- PC机不能采用这种方式，否则会影响动态存储器刷新和磁盘驱动器的数据传送，它们都不允许另一个DMA传送长期占用总线。

(3) 请求传送方式

- 请求传送方式又称查询方式，类似数据块传送，但每传送一个字节后，检测DREQ状态，若无效则停止，若有效则继续DMA传送。在下述情况之一发生时，将停止传送：
 - 1) DREQ变为无效。
 - 2) 字节数计数器减1由0变为FFFFH，产生TC信号。
 - 3) 外界输入有效信号。
- 当DREQ无效时，8237A停止传送，内部的当前地址寄存器和当前字节数计数器还保留当时的数值，一旦外设准备好要传送的新数据，可以再次使DREQ变为有效，就可以使传送继续下去。当DREQ无效时，8237A停止传送，此时释放总线，当DREQ重新有效时，将重新开始一次DMA请求过程。

(4) 级连方式

- 这种方式允许连接一个以上的芯片来扩展DMA通道的个数。
- 连接方法：**将扩展的DMA芯片的HRQ和HLDA分别连到主片的某个通道的DREQ和DACK。
- 主片的连接通道起两个作用：**
 - 优先级连接的作用，即将从片的4个DMA通道纳入到主片的优先级管理机制。
 - 向CPU输出HRQ和传递HLDA。



3. 传送类型

- 三种传送类型:
- (1) DMA读
- 8237A输出有效的 $\overline{\text{MEMR}}$ 和 $\overline{\text{IOW}}$ 信号, 把存储器的数据读到I/O设备。
- (2) DMA写
- 8237A输出有效的 $\overline{\text{IOR}}$ 和 $\overline{\text{MEMW}}$ 信号, 把I/O设备的数据写到存储器。
- (3) DMA校验
- 这是一种伪传输, 实际上是校验8237A芯片内部的读写功能, 也就是对读传输功能或写传输功能进行检验。
- 在这种传送类型中, 8237A芯片的操作如同DMA读和DMA写一样, 产生地址信号以及对响应等, 但对存储器和I/O设备的控制线均处于无效状态, 禁止实际传送。

4. 优先级编码

- **8237A有2种优先级编码：**固定优先级、循环优先级。
- 固定优先级中4个通道的优先级顺序是固定的，**DREQ0**最高，**DREQ3**最低。
- 循环优先级中4个通道的优先级顺序是可变的，但其变化仍有一定的规律。当某一个通道申请**DMA**请求并被响应服务后，它就被指定为最低优先级，它的下一级就成为最高优先级。
- 值得注意的一点是，无论在任何情况下，**DMA**请求禁止嵌套服务。当一个通道的**DMA**请求被响应并服务后，其它3个通道的**DMA**请求将都被禁止，无论它们的优先级是高还是低。优先权排队只在**DMA**响应之前有效，**DMA**响应之后则无效。

5. 自动初始化方式

- 通过对方式字寄存器的编程，可设置某个通道为自动初始化方式。
- **自动初始化方式：**当该通道完成一个数据传送并产生信号时（可能是由内部的TC产生，也可能是外部产生），用基地址寄存器和基字节数计数器的内容，使相应的当前地址寄存器和当前字节数计数器恢复初值。
- 当前地址寄存器和当前字节数计数器的最初值，是由CPU在初始化编程时写入的（这个最初值同时也写入到基地址寄存器和基字节数计数器），但在DMA传送过程中，当前地址寄存器和当前字节数计数器的内容被不断修改，而基地址寄存器和基字节数计数器的内容维持不变（除非重新编程）。在自动初始化以后，通道就作好了进行另一次DMA传送的准备。

6. 存储器到存储器的传送

- 利用这种方式，可以使数据块从一个存储空间传送到另一个存储空间，将程序的影响和传输时间减到最小。
- 占用8237A的2个通道： #0、#1
- 传送方向： #0地址寄存器（源）→ #1地址寄存器（目的）
- 计数方法： 采用#1字节数计数器
- 启动方法： 设置一个#0的软件DREQ启动

6.6.3 8237A 的工作时序

- 8237A的工作时序有3种：正常时序、压缩时序、扩展写时序
- 对应各种工作时序有两类工作周期：空闲周期和操作周期（有效周期）。
- 全部工作周期分为7种时钟状态（时钟周期）：
 - （1）**空闲状态SI**：没有DMA请求时，8237A就处于空闲周期。进行两种检测：
 - 1) 有无CS信号，以确定有无CPU对8237A的操作要求。
 - 2) 有无DREQ信号，以确定是否有I/O设备送来有效的DMA请求。
 - （2）**起始状态S0**：过渡过程。
 - （3）**传送状态S1**：准备高8位地址。
 - （4）**传送状态S2**：为存储器提供16位地址。
 - （5）**传送状态S3**：输出读控制信号。
 - （6）**传送状态S4**：输出写控制信号。
 - （7）**等待状态SW**：协调外设与存储器之间的传送速度。

1. 工作周期

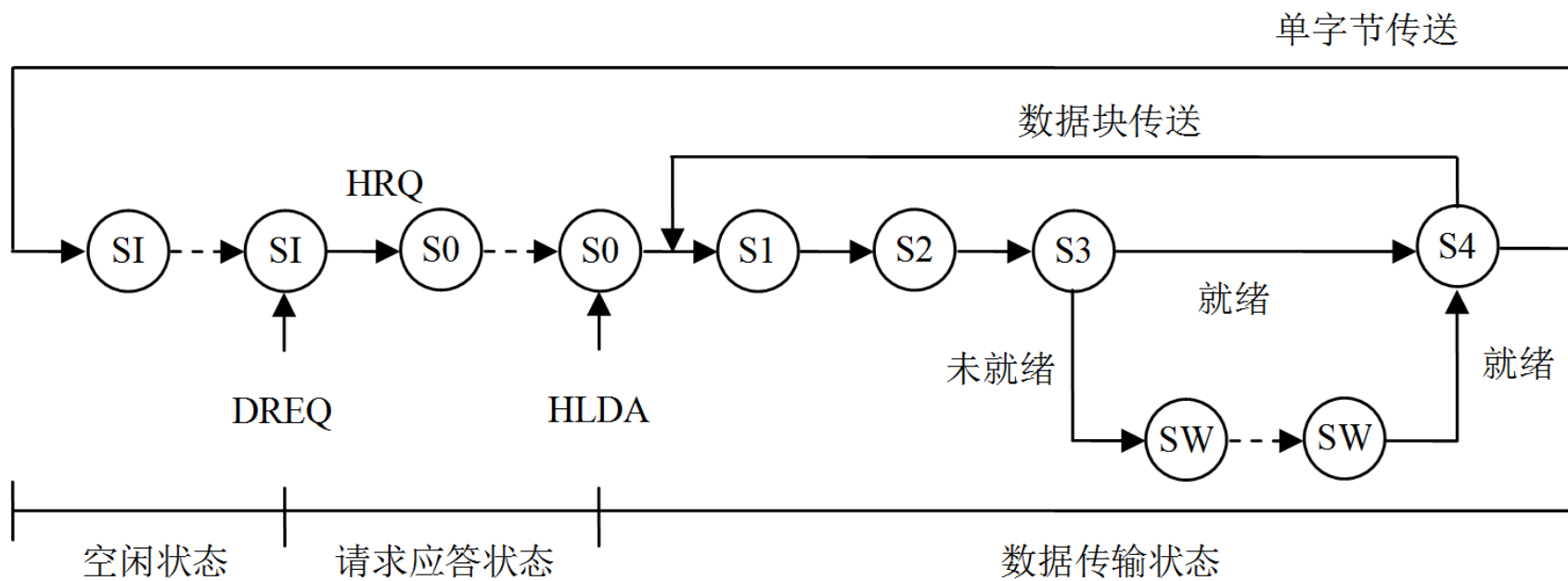


图 6.6.3 8237A 工作时序 7 种状态

2. 正常时序

- 8237A DMA控制器可选择正常时序、压缩时序和扩展写时序等操作时序。
- 不同操作时序的实质是在控制读、写脉冲发出的时间与时钟信号CLK的对应关系。
- **正常时序：**传送一个字节数据包含4个时钟脉冲周期，即S1-S4状态。产生的读写脉冲信号与这4个状态有确定的对应关系。若是数据块传送中不改变高8位地址，则省去S1，只占用S2、S3、S4三个时钟周期。

3. 压缩时序

- 压缩时序方式所占用的脉冲数将减少。
- **压缩时序**：把读命令的宽度压缩到等于写命令的宽度，省掉了S3，即由S4完成读和写的操作。
- 所以，在压缩时序方式下传送一个字节数据需要占用3个时钟周期，即S1、S2、S4，而在大多数情况下高8位地址并不改变，于是省掉了S1，因此，在数据块传送中大多数情况占用2个时钟周期，即S2和S4。
- 此时用S2状态修改低8位地址值，用S4状态完成读和写的操作，也就是把正常时序中S3和S4二个状态的功能压缩在一个状态中完成。
- 由于压缩时序传送类型只用2个状态完成一个数据字节的传送，因此它具有更高的数据传送速率。

4. 扩展写时序

- 在正常时序操作下，可选择扩展写方式，即写命令提前到读命令，从S3状态开始（一般情况下，读为S3、S4状态，写为S4一个状态）。
- 也就是说，写命令同读命令一样，扩展为2个时钟周期。

6.6.4 8237A 的编程

- 8237A依靠它的可编程特性实现它的各种工作方式的选择和设定。
- 8237A在HLDA信号处于无效的任何时间里，即使HRQ有效，也可以接受CPU对它的编程。CPU对8237A的编程初始化工作是通过8237A的端口进行的。
- 8237A的端口是用A3-A0低4位地址线编址的，共有16个端口地址。
- 假设以DMA代表16个端口地址的首地址，那么写通道2基字节数计数器的端口地址可表示为DMA+05H，写方式寄存器的端口地址可表示为DMA+0BH。

1. 控制命令字

- **方式字：**写入端口地址0BH，选择传送方式和传送类型，设置自动初始化方式和地址增量方向。
- **命令字：**写入端口地址08H，选择DREQ、DACK有效极性，读写时序，优先级编码方式等。
- **请求字：**写入端口地址09H，发生软件DMA请求。
- **屏蔽字：**写入端口地址0AH或0FH，允许或禁止通道的DMA请求。
- **状态字：**从端口地址08H读出，反映通道DMA请求状态和是否有TC信号。

方式字

方式字				
D7 D6	D5	D4	D3 D2	D1 D0
传送方式	地址增减	自动初始化	传送类型	通道选择
↓	↓	↓	↓	↓
0 0 请求方式	0=递增 1=递减	0=禁止 1=允许	0 0 DMA 校验	0 0 通道 0
0 1 单字节方式			0 1 DMA 写	0 1 通道 1
1 0 数据块方式			1 0 DMA 读	1 0 通道 2
1 1 级联方式			1 1 无效	1 1 通道 3

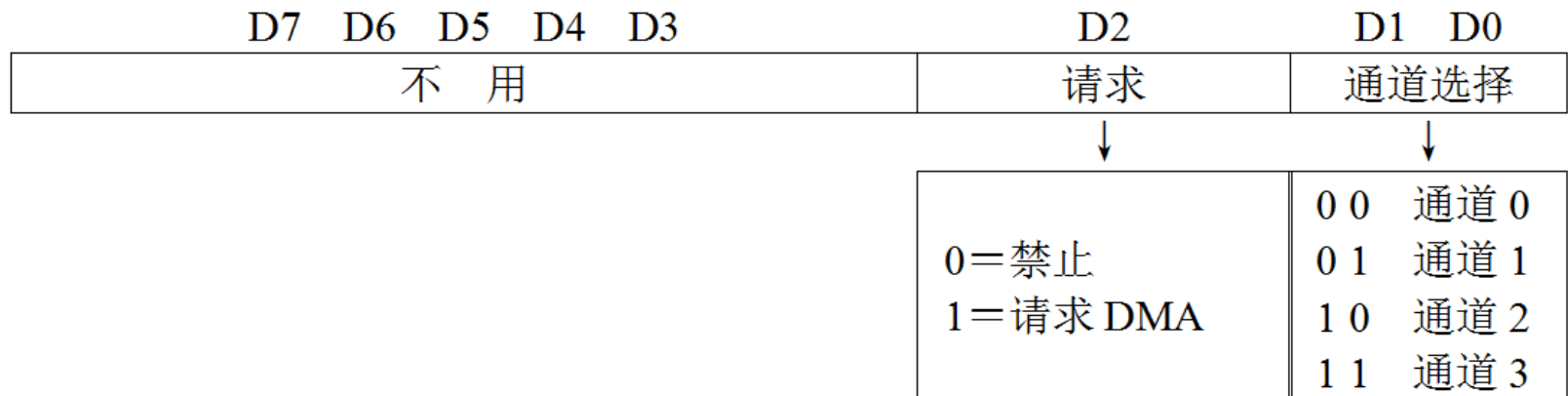
命令字

命令字

D7	D6	D5	D4	D3	D2	D1	D0
DACK 极性	DREQ 极性	写入 选择	优先级 编码	读写 时序	工作 允许	通道 0 保持	存储器 间传送
↓	↓	↓	↓	↓	↓	↓	↓
0 = 低电 平有效 1 = 高电 平有效	0 = 高电 平有效 1 = 低电 平有效	0 = 滞后写入 (先读后写) 1 = 扩展写入 (同时读写)	0 = 固定 1 = 循环	0 = 正常 1 = 压缩	0 = 允许 1 = 禁止	0 = 禁止 1 = 允许	0 = 禁止 1 = 允许

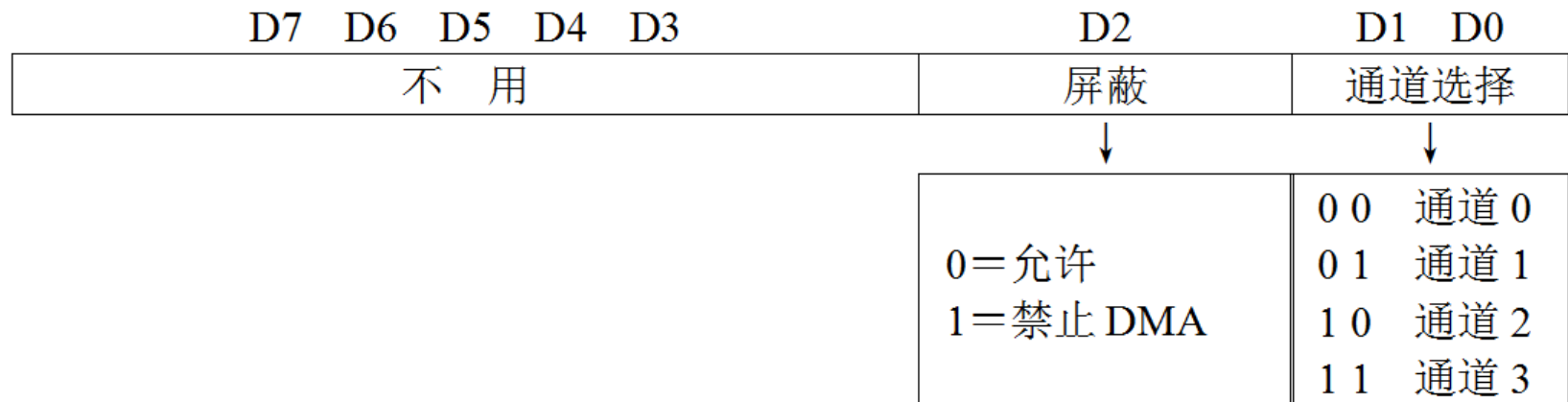
请求字

请求字



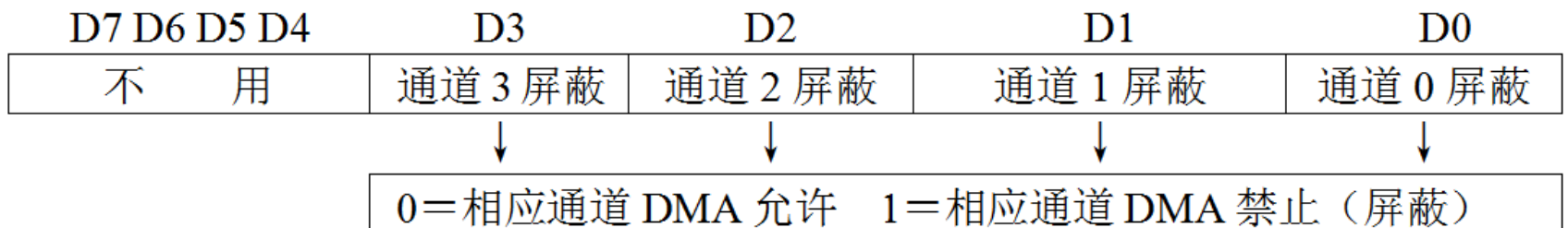
一位屏蔽字

一位屏蔽字



四位屏蔽字

四位屏蔽字



状态字

状态字

D7	D6	D5	D4	D3	D2	D1	D0
通道 3	通道 2	通道 1	通道 0	通道 3	通道 2	通道 1	通道 0
↓	↓	↓	↓	↓	↓	↓	↓
0=无 DMA 请求 1=有尚未处理的 DMA 请求				0=未结束 1=已接收到终止结束信号			

2. 清除命令

- **软件命令**：有3条，与数值无关，不需通过数据总线，即执行输出指令时，AL的内容可随便设置，只要对特定的端口地址执行一次写操作，依靠这个地址和控制信号，命令就生效。
 - (1) **清先/后触发器软件命令**（写入端口地址0CH）
 - 即清除字节指针命令，是专为16位寄存器的读/写而设置的。因为数据线是8位，所以16位数据要分两次读/写。而且要使用同一个端口地址。为区分两个高低字节，8237A设置了先/后触发器作为字节指针，**为0时对应低字节，为1时对应高字节**。每次读/写操作，字节指针自动翻转一次。系统复位后，先/后触发器被清0。
 - 清先/后触发器软件命令使字节指针（先/后触发器）被清0。
 - (2) **复位软件命令**（写入端口地址0DH）
 - 此命令与硬件的RESET信号功能相同。
 - (3) **清屏蔽寄存器软件命令**（写入端口地址0EH）
 - 其功能是将4个通道的屏蔽位清除，允许它们接受DMA请求。

3. 8237A的编程步骤

- (1) CPU发复位软件命令;
- (2) 写入基地址及当前地址值;
- (3) 写入基字节数和当前字节数初值;
- (4) 写入方式字;
- (5) 写入屏蔽字;
- (6) 写入命令字;
- (7) 写入请求字, 可用软件DMA请求启动通道, 也可在(1) - (6) 完成以后, 等待外部DREQ请求信号。

例 6.6.1 8237A 数据块传送

- 设在某8088系统中，用8237A通道1将内存1000H单元开始的24K字节数据转存到软盘之中（暂不考虑20位地址的问题，可认为1000H就是基地址的初值）。采用数据块方式传送，地址增量方式，只传送一遍，设DREQ和DACK低电平有效，当A15-A4=0000 0000 0111时选中8237A，要求设计8237A通道1的初始化程序。

端口地址与控制字设置

- 1. 端口地址
 - A3-A0由8237A芯片内部译码，编码范围是从0000到1111，再与A15-A4组合，则端口地址范围是0070H-007FH。
- 2. 传送字节数
 - 24K字节对应16进制数为6000H，但写入通道字节数计数器的值应为6000H-1=5FFFH，因为TC的产生不是在计数器由1到0的跳变处，而是在计数器由0到FFFFH的跳变处。所以写入的计数初值应比实际字节数少一个。
- 3. 方式字
 - 按题目要求，方式字的组合为：1000 1001B
- 4. 一位屏蔽字
 - 按题目要求，一位屏蔽字的组合为：0000 0001B
- 5. 命令字
 - 按题目要求，命令字的组合为：0100 0000B

初始化程序

START:	MOV	DX, 007DH	; 发复位软件命令
	OUT	DX, AL	
	MOV	DX, 0072H	
	MOV	AL, 00H	
	OUT	DX, AL	; 送基地址和当前地址低8位
	MOV	AL, 10H	
	OUT	DX, AL	; 送基地址和当前地址高8位
	MOV	DX, 0073H	
	MOV	AL, 0FFH	; 送基计数值和当前计数值低8位
	OUT	DX, AL	
	MOV	AL, 5FH	; 送基计数值和当前计数值高8位
	OUT	DX, AL	
	MOV	DX, 007BH	
	MOV	AL, 89H	; 写入方式控制字, DMA读传送
	OUT	DX, AL	
	MOV	DX, 007AH	
	MOV	AL, 01H	; 写入屏蔽字
	OUT	DX, AL	
	MOV	DX, 0078H	
	MOV	AL, 40H	; 写入命令控制字
	OUT	DX, AL	

结 束