

数字逻辑设计

实验3 利用IP设计电路

马世禹



HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ

实验目的

- (1) 加深对IP工作原理的理解，掌握IP的使用方法；
- (2) 了解IP的应用场景；
- (3) 进一步掌握使用Verilog HDL实现电路的方法；



实验内容

利用时钟IP和存储器IP，实现LED灯**从右到左**的依次点亮，即实现16bits的LED灯，时间间隔约为1s的依次点亮，最后至全亮保持。

详细要求如下：

- A.使用按键开关S1作为异步复位信号，且当S1为1时，LED灯将被复位；
- B.输入时钟为100MHz，端口为Y18；
- C.使用按键开关S2作为LED灯启动信号，且当S2为1时，LED灯开始依次点亮；
- D.使用时钟IP对输入的100MHz时钟分频，分频输出的时钟为10MHz；
- E.使用存储器IP，存储LED灯依次显示的序列；
- F.LED灯输出信号需连接到开发板的LED15-LED0。



实验原理

➤ IP核概念

IP(Intellectual Property)核：具有知识产权的集成电路芯核总称，是经过反复验证过的、具有特定功能的宏模块，与芯片制造工艺无关，可以移植到不同的半导体工艺中。到了SOC阶段，IP核设计已成为ASIC电路设计公司和FPGA提供商的重要任务，也是其实力体现。对于FPGA开发软件，其提供的IP核越丰富，用户的设计就越方便，其市场占用率就越高。

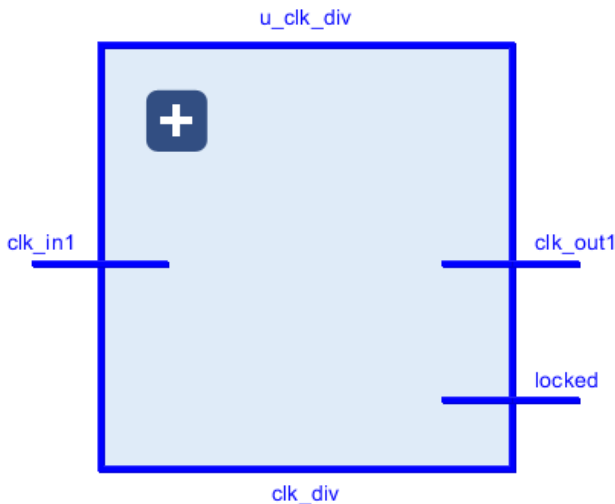
从IP核的提供方式上，通常将其分为软核、硬核和固核这3类。从完成IP核所花费的成本来讲，硬核代价最大；从使用灵活性来讲，软核的可复用使用性最高。



实验原理

➤ 时钟IP

Minisys开发板晶振的时钟输出为100MHz，但在开发的过程中，需要更高或更低频率的时钟，这时就需要时钟IP，将晶振输出的100MHz时钟，进行倍频或分频，从而得到准确且无毛刺的所需时钟。

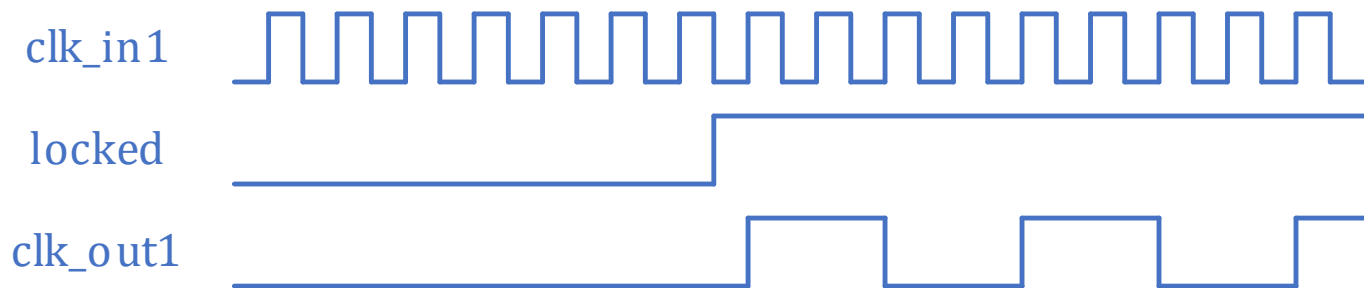


❑ 演示环节



实验原理

➤ 时钟IP时序



当PLL锁定信号locked为1时，clk_out1才会输出需要的时钟信号；

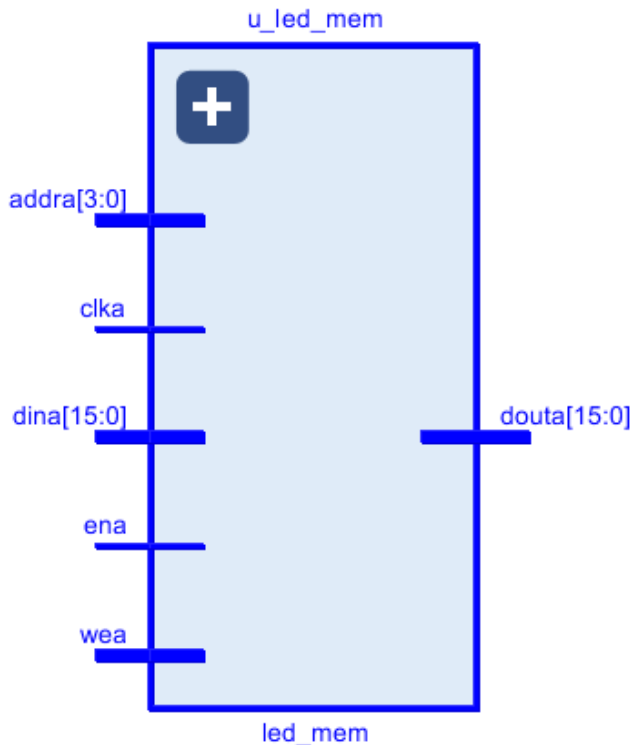


实验原理

➤ 存储器IP

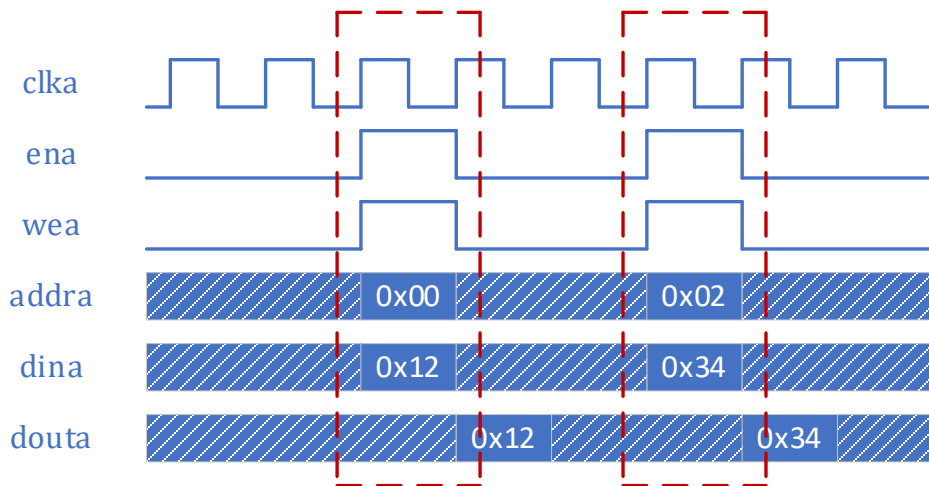
数字电路设计中，经常需要存储数据或者指令，如果使用寄存器来存储，会使整个电路面积和功耗都变大，因此引入存储器来解决此问题；在FPGA中，已经有成熟的存储器IP，可以直接来使用；

□ 演示环节



实验原理

➤ 存储器IP写时序

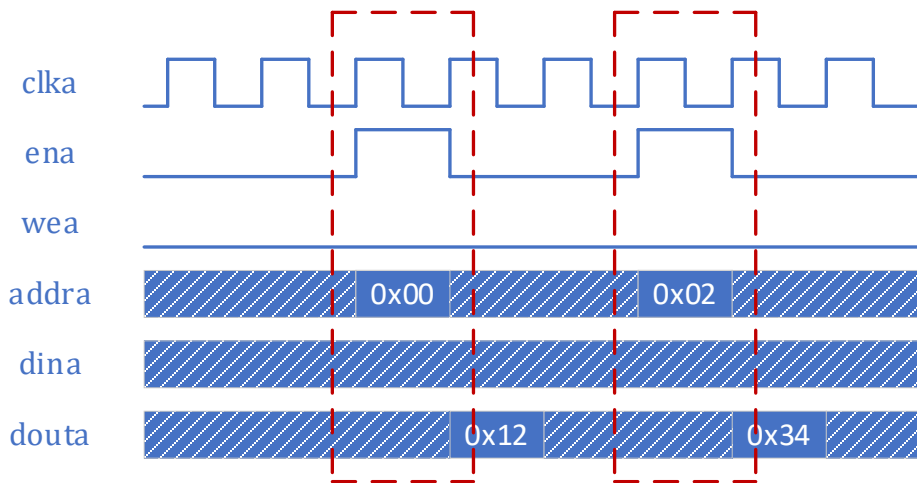


上图时序描述了对存储器的两次写操作，地址分别为0x00和0x02，写数据分别为0x12和0x34；写操作须保持存储器使能信号ena为1，写使能信号wea为1，且ena、wea、addra、din在同一个时钟周期有效；



实验原理

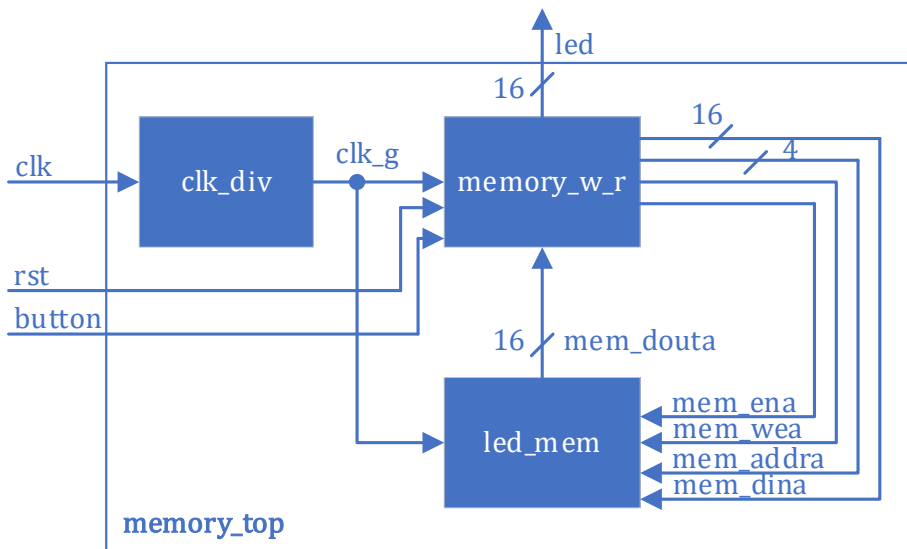
➤ 存储器IP读时序



上图时序描述了对存储器的两次读操作，地址分别为0x00和0x02；读操作须保持存储器使能信号ena为1，写使能信号wea为0，且ena、wea、addra在同一个时钟周期有效；读数据在读操作发起的下一个时钟周期有效，且保持一个时钟周期；

实验原理

➤ 基于IP核的LED灯控制



可以将整个系统分为3个模块：

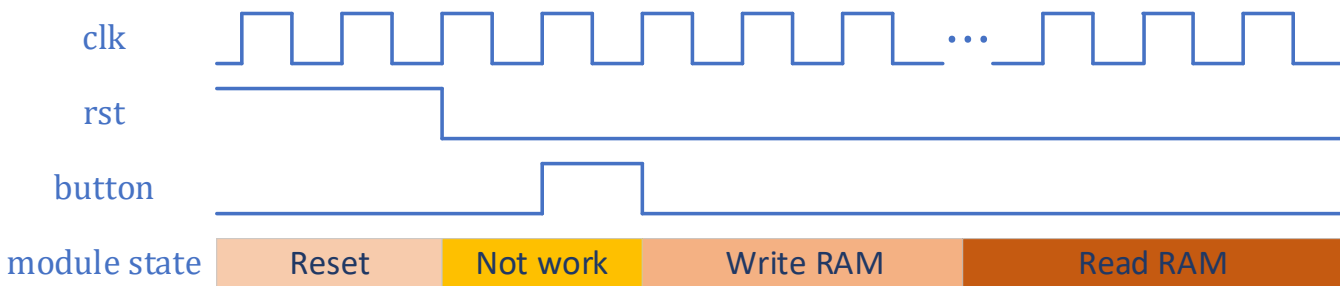
clk_div: 用于时钟分频；

led_mem: 用于存储LED灯依次显示的序列；

memory_w_r: 用于控制存储器的读写，以及将读取回来的序列，显示到LED上；

实验原理

► 工作时序



Reset: 模块处于复位状态；

Not work: 模块处于等待启动信号状态；

Write RAM: 将要显示的LED灯序列写入RAM；

Read RAM: 将RAM中的LED灯序列读取出来，显示到LED上；

实验原理

➤ 接口定义

| Name | I/O | Width | Description |
|--------|--------|-------|---------------|
| clk | input | 1 | 时钟信号 (100MHz) |
| rst | input | 1 | 复位信号 |
| button | input | 1 | 节日彩灯启动信号 |
| led | output | 16 | LED 信号 |



仿真提示

- ❑ 由于仿真效率比FPGA开发板执行效率低，故在仿真时，需要降低仿真的周期，即将读取led_mem的周期由1S改为15个时钟周期即可；
- ❑ 为了避免仿真时间长，没有执行完，也可以修改仿真时间，详情见网页指导书，执行仿真页；



实验步骤

- ❑ 创建工程，工程名为memory_w_r;
- ❑ 编写并添加设计文件memory_w_r.v/memory_top.v;
- ❑ 创建时钟IP，**clk_div**，集成到memory_top.v中;
- ❑ 创建存储器IP，**led_mem**，集成到memory_top.v中;
- ❑ 添加提供的仿真文件testbench.v，并完成仿真;
- ❑ 编写并添加约束文件，并综合实现，生成比特流;
- ❑ 将生成的比特流下载到开发板验证



验收要求

- ☐ 存储器读写仿真通过（0.5分）
- ☐ 存储器读写开发板验证通过（1分）
- ☐ 存储器读写仿真波形分析及RTL提交（0.5分）



提交要求

- ❑ 提交时间：详见网页指导书
- ❑ 提交格式：学号_姓名.zip
- ❑ 注意：如有出现雷同，雷同者均不得分！



开始实验



HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ