



# MINISYS 实验板硬件手册

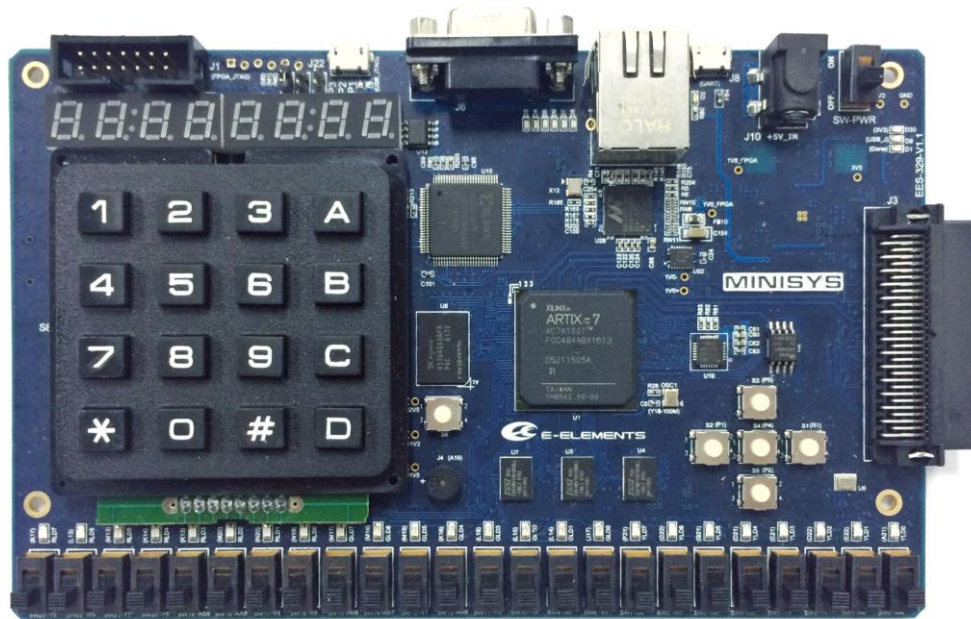


依元素科技有限公司

# Minisys 实验板硬件手册

## 1.1 概述

Minisys 实验板是一个以 Xilinx Artix-7™ 系列 FPGA（XC7A100T FGG484C-1）为主芯片的可用于“数字电路”、“组成原理”等多门课程的实验平台。



### 1.1.1 主芯片 XC7A100T 关键资源

XC7A100T 上有 15850 个逻辑 Slice，每一个 Slice 中带有 4 个 6 输入的查找表和 8 个触发器，片内近 12.5% 的查找表可以配置为 64-bit 分布式 RAM 或者 32 位的 SRL（或两个 16 位 SRL16），使得综合工具能够充分利用这些逻辑和存储资源。

片内集成 135 个 36Kbit 的 Block RAM，并且每一个可以当作两个独立的 18Kbit 的 Block RAM 使用。这些 Block RAM 资源可以利用 Vivado 的 IP 集成器很方便地配置成单端口、双端口等多种类型 RAM。

240 个 DSP48E1 数字信号处理单元，每个 DSP48E1 中包含一个预加器，一个  $25 \times 18$  乘法器，一个加法器以及一个累加器。

6 个时钟管理模块（CMT），每个包含 1 个混合模式时钟管理器（MMCM）及一个锁相环（PLL）。MMCM 和 PLL 的中心都有一个可以根据输入电压而调速的晶振，由此能够生成很宽频率范围的时钟信号。同时，这两个部件又都能作为输入时钟信号的抖动滤波器。

内部时钟最高可达 450MHz，Minisys 实验板采用 100MHz 主频。

### 1.1.2 Minisys 实验板资源

Minisys 板卡提供了丰富的端口和外设资源，包括：

- 24 个用户可用的拨码开关
- 8 个用户可用的红色 LED（RLDs）
- 8 个用户可用的绿色 LED（GLDs）
- 8 个用户可用的黄色 LED（YLDs）
- 1 个 8 位 7 段数码管
- 1 个 4x4 键盘
- 1 个 USB\_JTAG 串口通信接口
- 1 个 Micro SD 卡槽
- 1 个 12 位 VGA 输出
- 1 个蜂鸣器
- 1 个 10/100/1000Mbps 以太网接口
- 1 个 512MB 的 DDR3 SDRAM
- 1 组 48bit 位宽，24Mbit 容量的 SRAM
- 1 个 16MB 的非易失性 SPI Flash
- 1 个接口板连接器
- 1 个 6-Pin JTAG 插口，用于 FPGA 的配置及在线调试

大量的 FPGA 资源以及板上的外设让 Minisys 能够胜任各种数字系统设计、计算机组成课程设计等。

Minisys 实验板与 Xilinx 新推出的高性能 Vivado 开发套件（包含 Simulator、IP Integrator、Block Design、SDK）完全兼容。Xilinx 为这些工具提供了免费的“Webpack”版本，这就意味着可以在不增添费用的情况下完成设计。

图 1-1 是 Minisys 板卡图。

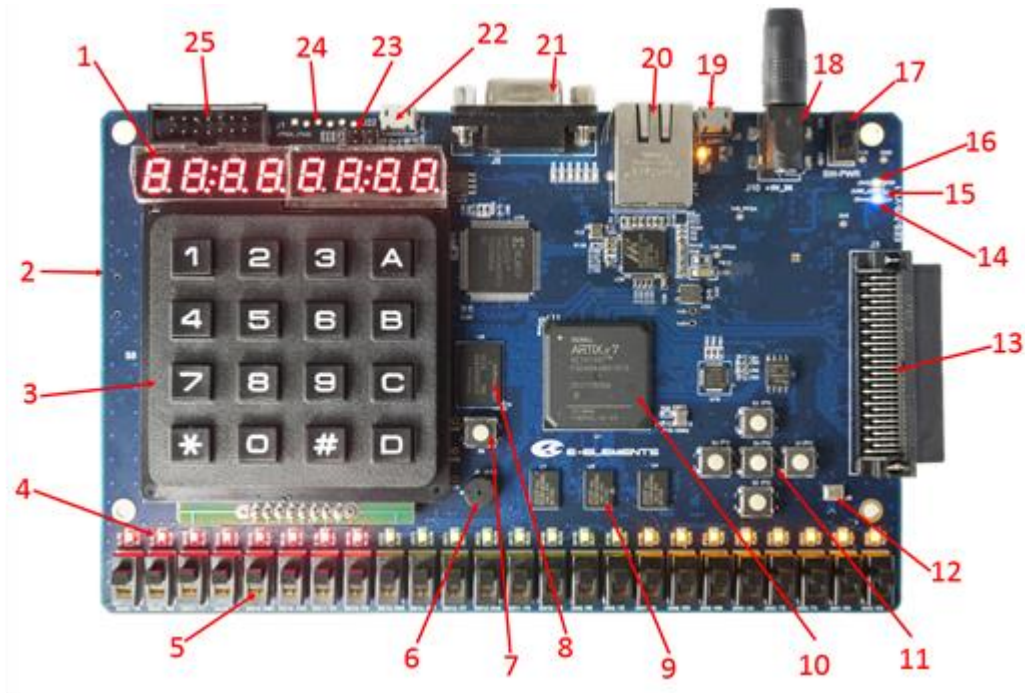


图 1-1 Minisys 板卡图

表 1-1 是 Minisys 板卡资源一览表。

表 1-1 Minisys 板卡资源一览表

标注	描述	标注	描述
1	8 个 7 段数码管	14	FPGA 烧写完成指示灯
2	Micro SD 卡槽(板卡背面)	15	USB_JTAG 指示灯
3	4*4 小键盘	16	电源指示灯
4	LEDs (红、黄、绿各 8 个)	17	电源开关
5	拨码开关	18	电源连接口
6	蜂鸣器	19	USB 转 UART 接口
7	FPGA 复位按键	20	以太网接口
8	DDR3 SDRAM	21	VGA 接口
9	SRAM	22	USB_JTAG 接口 (编程用)
10	XC7A100T 主芯片	23	编程跳线
11	5 个按键开关	24	JTAG 6-pin 接口
12	麦克风	25	EJTAG 接口 (For MIPSfpga)
13	接口板连接器	26	

## 1.2 板上存储器

除了 XC7A100T-1FGG484C 内部有 Block RAM 存储器外, Minisys 板卡上还包括三种扩展存储设备:

### (1) DDR3 SDRAM

Minisys 板卡上, 将一个容量为 256M×16bit 的 DDR3 SDRAM(芯片型号为 MT41J256M16-FBGA96)连接到主芯片上。当主芯片访问 SDRAM 时, 需要传送 15 位的行地址、3 位块地址和 10 位列地址, 其中行地址和列地址分时共用一组地址线。

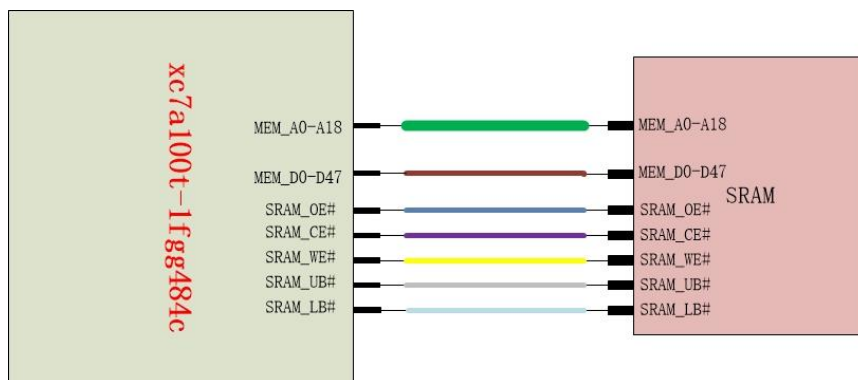
管脚约束如下:

信号名称	FPGA 管脚	信号描述
DDR3_DQ00	U1	DDR3 存储数据位
DDR3_DQ01	U2	
DDR3_DQ02	V2	
DDR3_DQ03	W2	
DDR3_DQ04	Y2	
DDR3_DQ05	W1	
DDR3_DQ06	Y1	
DDR3_DQ07	U3	
DDR3_DQ08	AB1	
DDR3_DQ09	AB3	
DDR3_DQ10	AB2	
DDR3_DQ11	AA5	
DDR3_DQ12	AB5	
DDR3_DQ13	Y4	
DDR3_DQ14	AA4	
DDR3_DQ15	V4	
DDR3_A00	J2	DDR3 存储地址位
DDR3_A01	K2	
DDR3_A02	G2	
DDR3_A03	H2	
DDR3_A04	J1	
DDR3_A05	K1	
DDR3_A06	F3	

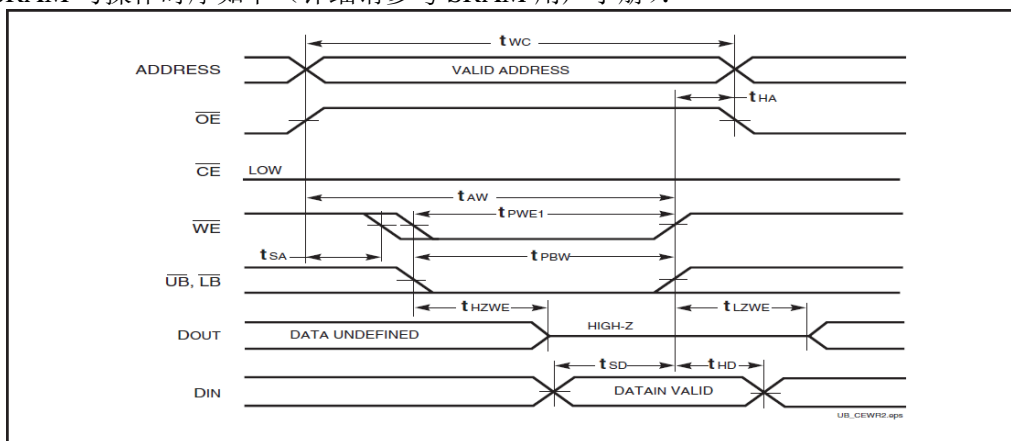
DDR3_A07	F1	
DDR3_A08	G1	
DDR3_A09	D2	
DDR3_A10	E2	
DDR3_A11	B2	
DDR3_A12	C2	
DDR3_A13	A1	
DDR3_A14	B1	
DDR3_BA0	H3	BANK 地址输入，定义 ACTIVE、READ、WRITE 或 PRECHARGE 命令是对哪一个 BANK 操作。
DDR3_BA1	H5	
DDR3_BA2	J5	
DDR3_CK_P	E1	差分时钟输入所有地址和 数据信号在 CK_P 和 CK_N 的 上升沿与下降沿交叉处被 采样
DDR3_CK_N	D1	
DDR3_CKE	L1	时钟使能
DDR3_WE#	G4	命令输入，这三个信号，连 同 CS#，定义一个命令，其 参考是 VREFCA
DDR3_RAS#	G3	
DDR3_CAS#	H4	
DDR3_RESET#	N4	复位 低有效
DDR3_ODT	M3	片上终端使能
DDR3_CS#	M1	片选
DDR3_LDQS0_P	R3	数据选通
DDR3_LDQS0_N	R2	
DDR3_UDQS0_P	Y3	
DDR3_UDQS0_N	AA3	
DDR3_LDM0	T1	数据输入屏蔽
DDR3_UDM0	AA1	
DDR3_VRP	U7	信号完整性，具体设计中无 需使用
DDR3_VRN	T3	
DDR3_VRP_35	L6	
DDR3_VRN_35	F4	

## (2) SRAM

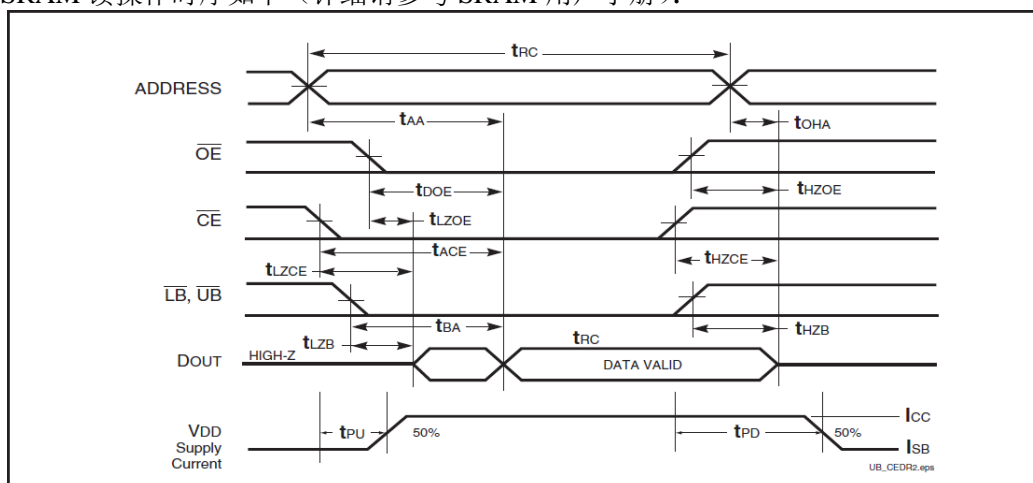
SRAM 模块由三块 IS61WV51216BLL-10MI 芯片并联组成，每块芯片的容量为 512K×16bit，并联后的 SRAM 模块的容量为 512K×48bit，通过 19 根地址线和 48 根数据线与主芯片连接。SRAM 的片选信号 $\overline{CE}$ 、输出使能信号 $\overline{OE}$ 、写使能信号 $\overline{WE}$ 、低字节控制 $\overline{LB}$ 和高字节控制 $\overline{HB}$ 均为低电平有效。



SRAM 写操作时序如下（详细请参考 SRAM 用户手册）：



SRAM 读操作时序如下（详细请参考 SRAM 用户手册）：



管脚约束如下：

SRAM 芯片序号	原理图标号	FPGA IO PIN
U4	MEM_D0	AA18
U4	MEM_D1	AB18
U4	MEM_D2	U17
U4	MEM_D3	U18
U4	MEM_D4	P14
U4	MEM_D5	R14
U4	MEM_D6	R18
U4	MEM_D7	T18
U4	MEM_D8	N17
U4	MEM_D9	P17
U4	MEM_D10	P15
U4	MEM_D11	R16
U4	MEM_D12	N13
U4	MEM_D13	N14
U4	MEM_D14	P16
U4	MEM_D15	R17
U5	MEM_D16	Y17
U5	MEM_D17	Y16
U5	MEM_D18	AA16
U5	MEM_D19	AB16
U5	MEM_D20	AB17
U5	MEM_D21	AA13
U5	MEM_D22	AB13
U5	MEM_D23	AA15
U5	MEM_D24	AB15
U5	MEM_D25	Y13
U5	MEM_D26	AA14
U5	MEM_D27	W14
U5	MEM_D28	Y14
U5	MEM_D29	AB11
U5	MEM_D30	AB12
U5	MEM_D31	AA9



U6	MEM_D32	AB10
U6	MEM_D33	AA10
U6	MEM_D34	AA11
U6	MEM_D35	V10
U6	MEM_D36	W10
U6	MEM_D37	Y11
U6	MEM_D38	Y12
U6	MEM_D39	W11
U6	MEM_D40	W12
U6	MEM_D41	V13
U6	MEM_D42	V14
U6	MEM_D43	U15
U6	MEM_D44	V15
U6	MEM_D45	T14
U6	MEM_D46	T15
U6	MEM_D47	W15
U4\U5\U6	MEM_A00	W20
U4\U5\U6	MEM_A01	W19
U4\U5\U6	MEM_A02	V20
U4\U5\U6	MEM_A03	U20
U4\U5\U6	MEM_A04	AB22
U4\U5\U6	MEM_A05	AB21
U4\U5\U6	MEM_A06	Y22
U4\U5\U6	MEM_A07	Y21
U4\U5\U6	MEM_A08	AA21
U4\U5\U6	MEM_A09	AA20
U4\U5\U6	MEM_A10	W22
U4\U5\U6	MEM_A11	W21
U4\U5\U6	MEM_A12	T20
U4\U5\U6	MEM_A13	R19
U4\U5\U6	MEM_A14	P19
U4\U5\U6	MEM_A15	U21
U4\U5\U6	MEM_A16	T21

U4\U5\U6	MEM_A17	V22
U4\U5\U6	MEM_A18	U22
U4\U5\U6	SRAM_OE#	AB20
U4\U5\U6	SRAM_CE#	V17
U4\U5\U6	SRAM_WE#	W17
U4\U5\U6	SRAM_UB	V19
U4\U5\U6	SRAM_LB	AA19

### （3）非易失串行 Flash

非易失串行 Flash 的容量是 128Mbits，使用的是专用的 Quad SPI 总线。FPGA 的配置文件可以写入 Quad SPI Flash（型号 N25Q032A13ESE40F），图 1-1 标注 17 的表现最左端两个接上跳帽后选择板子在上电时，FPGA 自动从 SPI Flash 中读取配置文件。当编程跳线连接 JP3 的位置时，可以将编程文件下载到 Flash 中。

## 1.3 时钟

Minisys 板卡包括了一个连接在主芯片 Y18 管脚的 100MHz 的晶振。通过需求设计，输入时钟可以驱动 MMCMs 或 PLLs 产生多种频率的时钟以及相位的变化。Xilinx 提供了时钟向导 IP 核可以帮助用户设计产生不同需求的时钟。

## 1.4 基本 I/O 设备

### 1.4.1 拨码开关与 LED 灯

Minisys 实验板上有 24 个拨码开关，其板上标注为 SW23~SW0。在实验中，常将拨码开关作为数据输入，当开关拨到下档时，表示输入为 0，否则为 1。

另外，实验板上还有 24 个 LED 灯（红、绿、黄分别 8 个），板上标号为 RLD7~0、GLD7~0 和 YLD7~0。当 FPGA 相应管脚的输出为高电平时，所连接的 LED 灯被点亮，否则灯熄灭。

拨码开关和 LED 灯与主芯片的连接如图 1-2 拨码开关、LED 灯电路图所示。

### 1.4.2 按键开关

按键开关与主芯片的连接方式如图 1-3 所示。当某一按键按下时，其对应的 FPGA 输入

为 1，否则为 0。

板上共有 6 个按键开关（S1~S6），其中的 S6 按键被选作 FPGA 的复位按钮。在开发学习过程中，建议在需要时设置一个复位输入，这不仅是所开发系统的功能需求，还有利于代码调试。

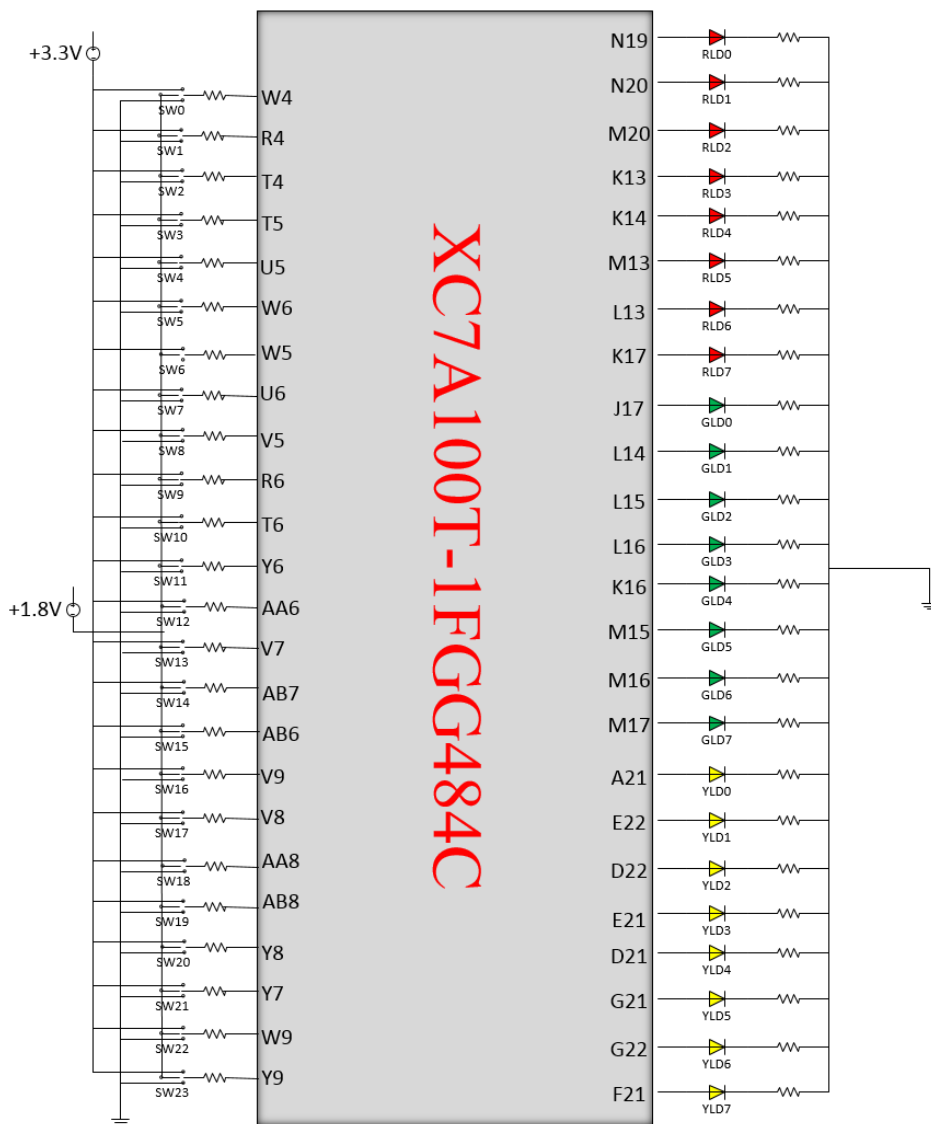


图 1-2 拨码开关、LED 灯电路图

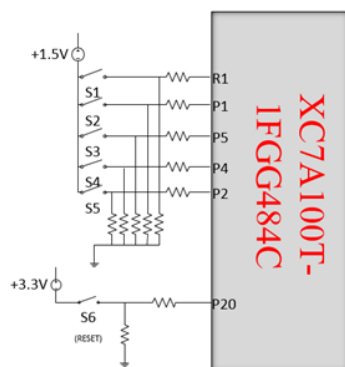


图 1-3 按键开关电路图

### 1.4.3 4×4 矩阵键盘

Minisys 实验板上还连接了一个 4×4 的矩阵键盘，用以方便快速的进行数值输入。

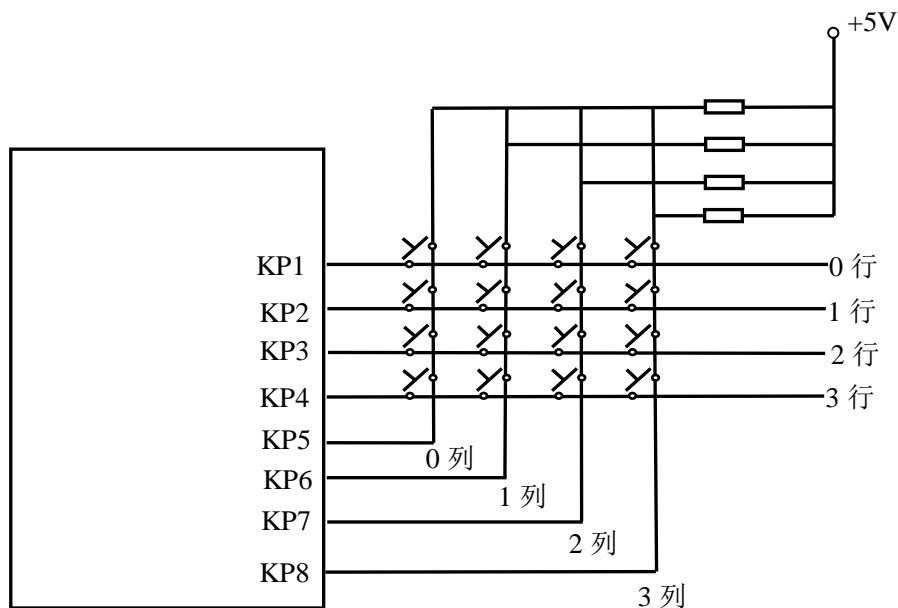


图 1-4 4×4 矩阵键盘原理图

4×4 键盘通过 4 根行选线和 4 根列选线连接到主芯片。其采用行列扫描的原理与主芯片交换数据，图 1-4 显示了 4×4 键盘的原理图。值得注意的是，主芯片接受的是按键的“坐标”，而不是其所对应的键值。要想获得需要的键值，需要在程序中对行、列信号的每一种组合方式进行翻译。

图 1-5 显示了 Minisys 实验板上的 4×4 键盘与主芯片的连接方式。

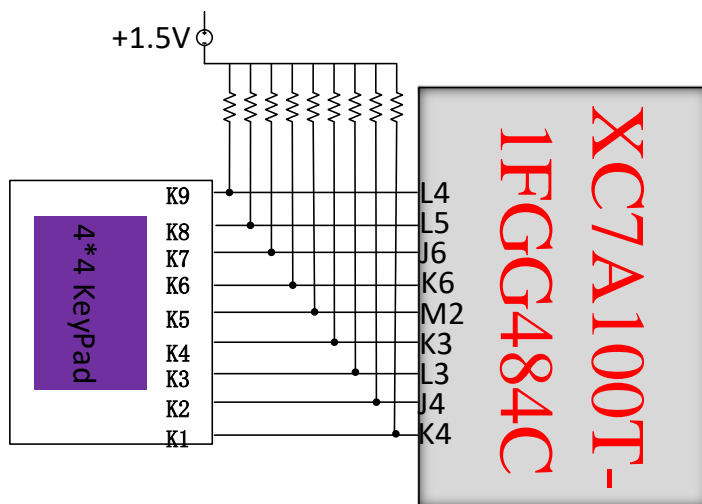


图 1-5 4×4 键盘连接电路图

#### 1.4.4 七段数码管

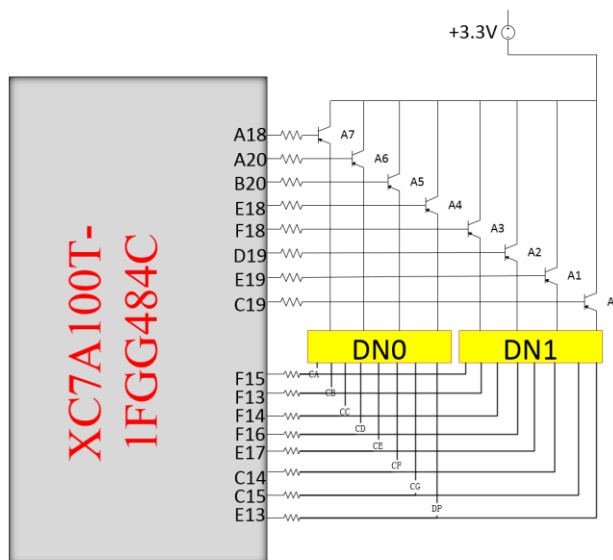


图 1-6 七段数码管电路图

Minisys 实验板上有两个 4 位带小数点的七段数码管，图 1-6 显示了它们与主芯片的连接方式。其中 A7~A0 是数码管 8 个位的使能信号，而 CA~CG/DP 则对应各个位上七个段以及小数点的触发信号。需要注意的是，使能信号和触发信号都是低电平触发的。

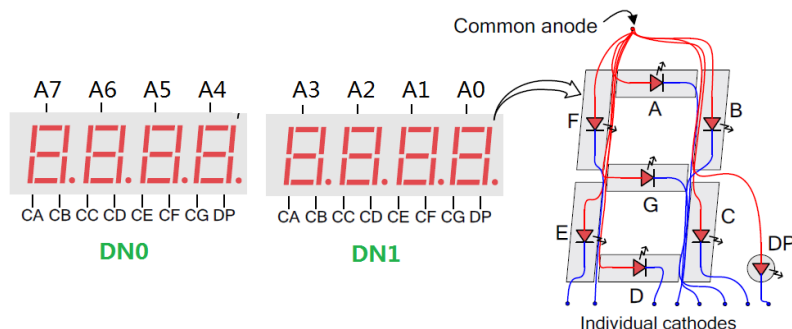


图 1-7 共阳极数码管电路结构

图 1-7 以数码管中最右侧的 A0 数码管为例说明了 Minisys 板卡上的 7 段数码管的连接方式。8 个位中的各个相应的段及小数点分别连接到一组低电平触发的引脚上，他们被称为 CA、CB、CC、...、CG、DP，其中，CA 接到这 8 个数码管中每一个数码管 A 段的负极，CB 接到这 8 个数码管中每一个数码管 B 段的负极，以此类推。

此外，每一个数码管都有一个使能信号 A[7:0]。A[7:0] 通过一个反相器接到对应数码管的每一个段的正极上。比如说，只有到 A[0] 为 0 的时候，最右侧数码管的显示才会受到 CA...CG 这几个信号的驱动。

图 1-8 中列出了数码管显示 0 到 F 时点亮的段。比如说在显示数字 0 的时候，除了中间的 G 段外其他的段都被点亮了。而数字 1 只点亮了 B 段和 C 段。

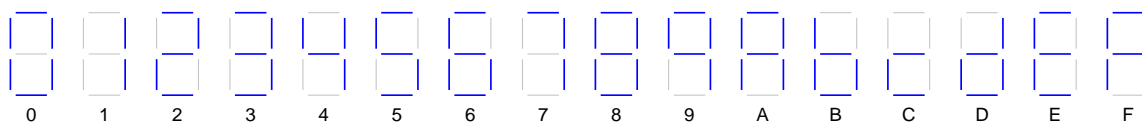


图 1-8 7 段数码管显示功能

要想让每个数码管显示不同的数字，使能信号（A[7:0]）和段信号（CA...CG）必须依次地被持续驱动，数码管之间的刷新速度应该足够快这样就看不出数码管之间在闪烁。举个例子，如果想在数码管 0 上显示数字 3 而数码管 1 上显示数字 9，可以先把 CA...CG 设置为显示数字 3，并拉低 A[1] 信号，然后再把 CA...CG 设置为显示数字 9 并拉高 A[1] 拉低 A[2]。刷新频率可以设置为 2ms 刷新一次，这样人眼就看不出闪烁了。

#### 1.4.5 VGA 模块

VGA 模块与主芯片的连接电路图如图 1-9 所示。Minisys 使用 14 路 FPGA 信号生成一个

VGA 端口，该端口包括 4 位的红、绿、蓝三基色信号和标准行、列同步信号。色彩信号由电阻分压电路产生，支持 12 位的 VGA 彩色显示，共有 4096 种不同的颜色配置。

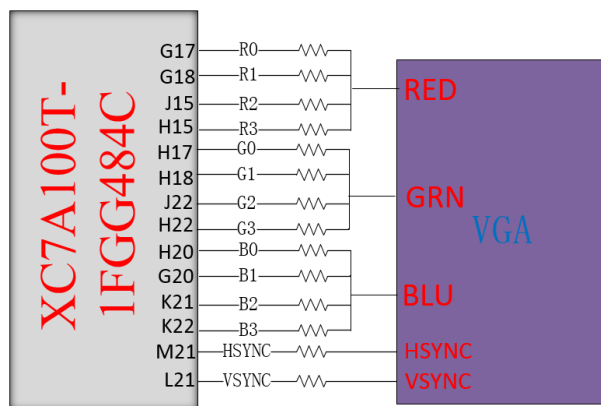


图 1-9 VGA 模块电路图

在实际应用中，若使用 Minisys 实验板进行 VGA 显示输出，一定要确保提供正确的时序，否则 VGA 显示电路不能正常工作。

#### 1.4.6 蜂鸣器

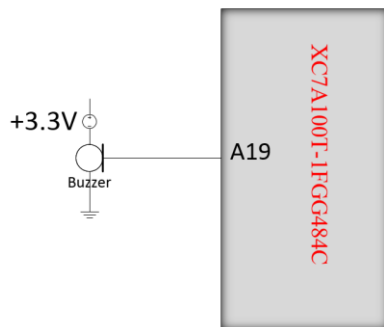


图 1-10 蜂鸣器连接电路图

除了上述的各种视觉输出部件，Minisys 实验板上还配置了一个蜂鸣器用作声音输出部件。与主芯片的连接方式如图 1-10 所示。主芯片通过 A19 管脚向蜂鸣器输出一个电信号，该信号的频率由用户决定。在该信号驱动下，蜂鸣器内部发生机械振动，发出相应频率的声音。

#### 1.4.7 麦克风

Minisys 实验板上还包含一个全向的 MEMS 麦克风。麦克风使用 ADMP421 芯片，其信噪比高达 61dB，灵敏度达 -26dBFS，能够对 100Hz~15kHz 的信号产生平稳的响应，经其数字化后的音频以 PDM 格式输出。图 1-11 显示了麦克风模块与主芯片的连接方式。

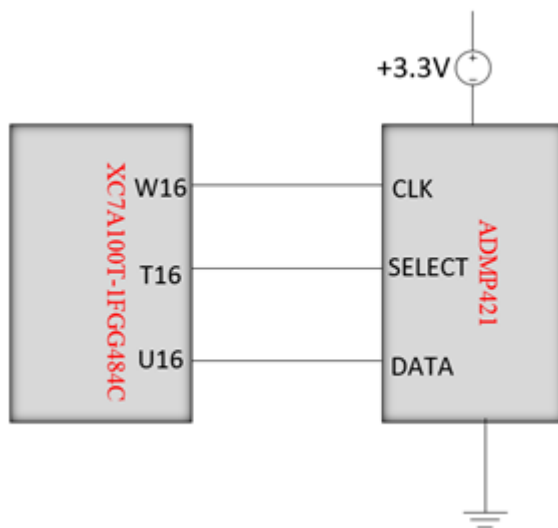
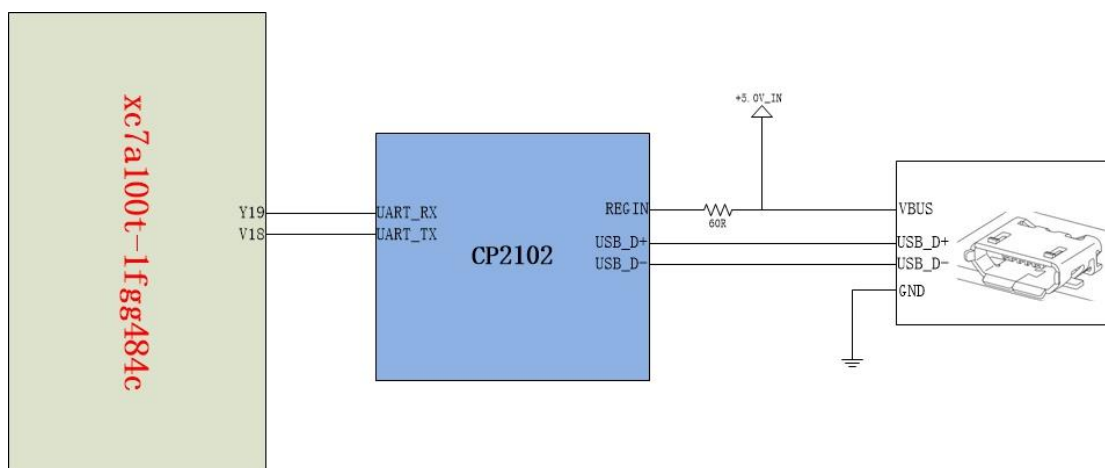


图 1-11 麦克风连接电路图

#### 1.4.8 USB 转 UART 接口（串口）

该模块运用了 CP2102 芯片，将 UART（串口）转换成 USB 接口，插上主机的 USB 时，主机将这个接口识别为串行器件，对于主机而言，它与串行接口等同。



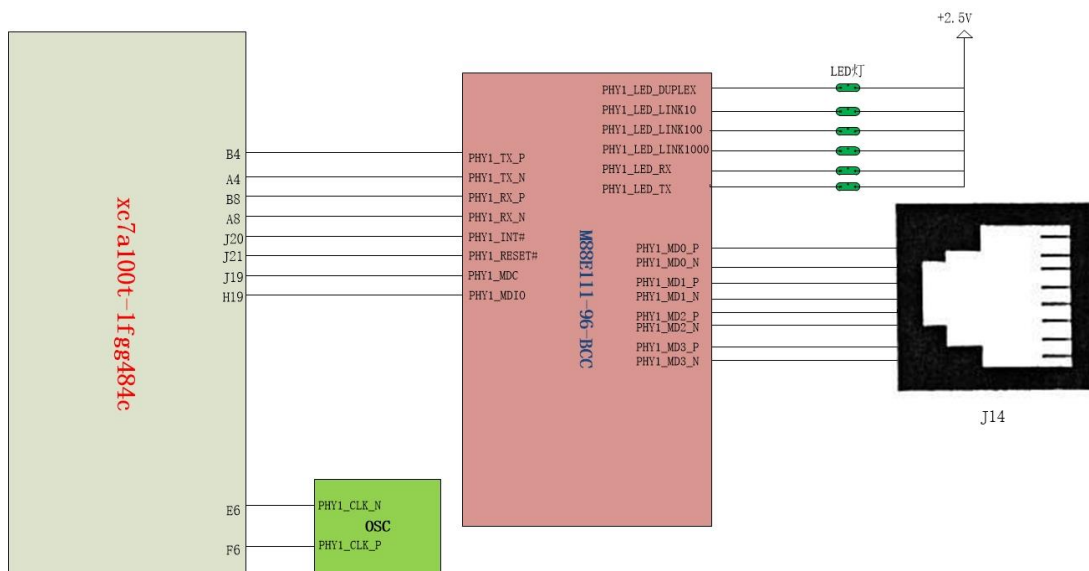
信号名称	FPGA 管脚	信号描述
UART_RX	Y19	FPGA 接收串口信息管脚
UART_TX	V18	FPGA 发送串口信息管脚



### 1.4.9 以太网

Minisys 实验板提供 10/100/1000 兆以太网接口，可与外部进行通信。千兆以太网接口采用 M88E111 作为 PHY 芯片，M88E111 以太网收发器是一个物理层器件，用于 1000BASE-T、100BASE-TX 和 10BASE-T 类型的以太网，而与 FPGA 进行互联采用 SGMII（串行吉比特介质无关接口）。

M88E111 与 FPGA 连接关系如下:



#### 1.4.10 EJTAG 接口

EJTAG 是一种能够 (1) 基于硬件的调试和 (2) 将程序下载到 MIPS 核心上的协议。统称为测试访问端口 (TAP) 的接口信号是: TCK, TDI, TDO, TMS 和 TRST。EJTAG 还添加了一个调试中断请求信号 EJ DINT。

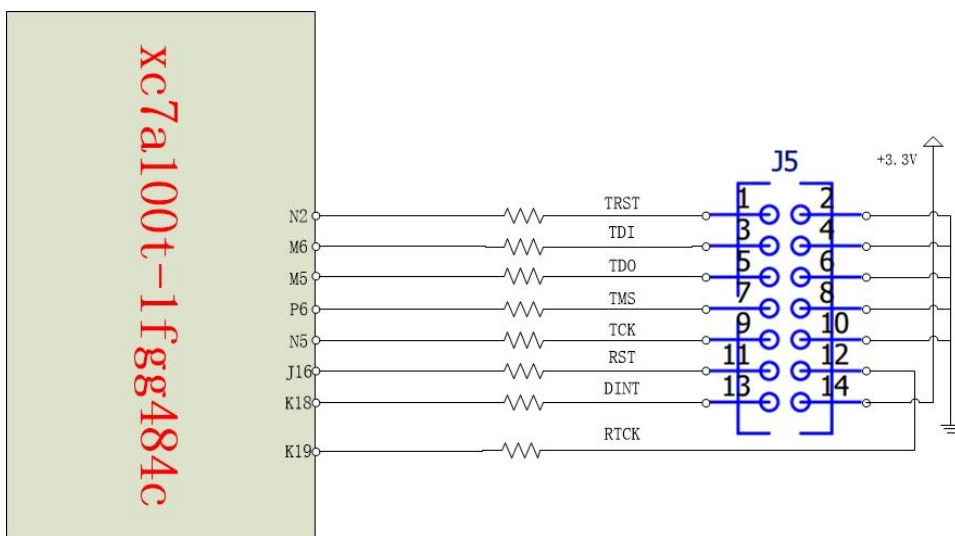
EJTAG 可以与 BUS BLASTER 进行连接,对 MIPSfpga 的 MIPS 处理器进行汇编与 C 代码下载与调试



### BUS\_BLASTER

EJTAG 借用了 JTAG 协议中定义的这些信号的功能，如下所示：

- EJ\_TCK：测试时钟
- EJ\_TMS：测试模式选择 - 选择操作模式
- EJ\_TDI：测试数据 In - 数据移入处理器的测试或编程逻辑
- EJ\_TDO：测试数据输出 - 数据移出处理器的测试或编程逻辑
- EJ\_TRST\_N\_probe：测试复位，低电平有效 - 复位 EJTAG 控制器



此外，EJTAG 亦可作为 GPIO 开放给 FPGA 设计者使用。

#### 1.4.11 接口板扩展连接器

Minisys 实验板提供接口板扩展连接器，未来用户可连接接口扩展板，进行更多计算机相关课程的学习与拓展。