

数字逻辑设计

实验1 Vivado使用与3-8译码器实现

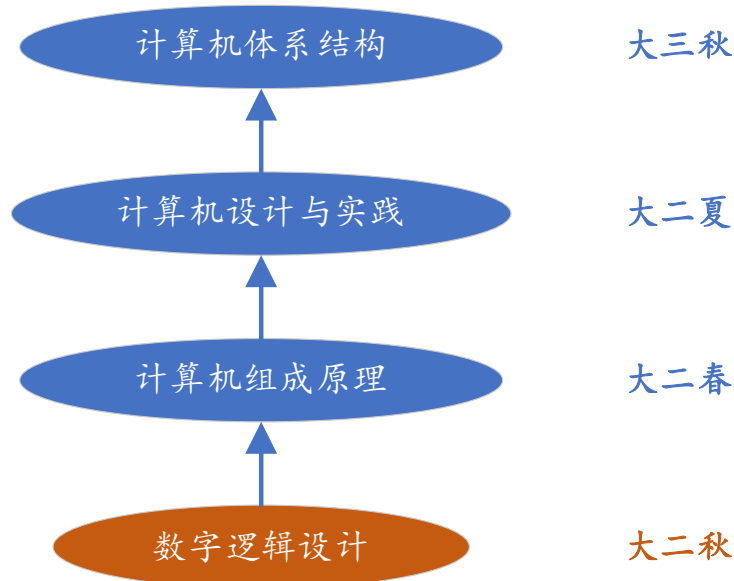
马世禹



HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ

课程介绍

- ❑ 深入理解数字逻辑设计的理论知识
- ❑ 掌握Verilog数字设计基础知识
- ❑ 具备基于FPGA设计数字系统的能力
- ❑ 为后续课程打好基础



课程介绍

➤ 实验安排

学时：20学时；

成绩：20分；

编号	内容	学时	分数
1	Vivado 使用与 3-8 译码器实现	2	2
2	计数器设计	2	2.5
3	利用 IP 设计电路	2	2
4	数码管控制器设计	4	3.5
5	状态机设计	4	4
6	十六进制计算器设计	6	6



课程介绍

➤ 实验指导书

<https://hitsz-cslab.gitee.io/diglogic/>

➤ 作业提交网址

<http://grader.tery.top:8000/#/courses>

➤ 答疑平台

<https://piazza.com/class/kswm6ewbah57ft?cid=6>

搜索CS201



实验目的

- (1) 熟悉Xilinx FPGA开发环境Vivado及开发流程;
- (2) 使用Verilog实现基本的电路设计, 了解仿真、综合、实现等设计流程;
- (3) 了解Minisys实验板, 熟悉实验板的基本输入输出和使用方法。



实验内容

示例内容



(1) 以拨码开关控制LED灯为例，运用Verilog HDL语言，在Vivado中建立工程，实现用2位拨码开关控制2位LED灯的电路，并下载到Minisys开发板，验证结果。



实验内容

(2) 使用Verilog实现3-8译码器，拨码开关作为译码器的输入，输出驱动LED显示，运行仿真，并上板验证。

详细要求如下：

- A. 使用按键开关S1作为异步复位信号，且当S1为1时，译码器模块将被复位；
- B. 输入时钟为100MHz，端口为Y18；
- C. 使用拨码开关SW23-SW21作为译码器E3-E1的输入；
- D. 使用拨码开关SW2-SW0作为译码器A2-A0的输入；
- E. 译码器输出信号Y7-Y0需连接到开发板的LED7-LED0。



实验原理

➤ Vivado的介绍

FPGA主要有两大厂商，分别为Xilinx（已被AMD收购）和Altera（已被Intel收购）。Xilinx市场份额接近50%，主要产品包括：Sparten系列、Virtex系列、Artix系列、Kintex系列等。

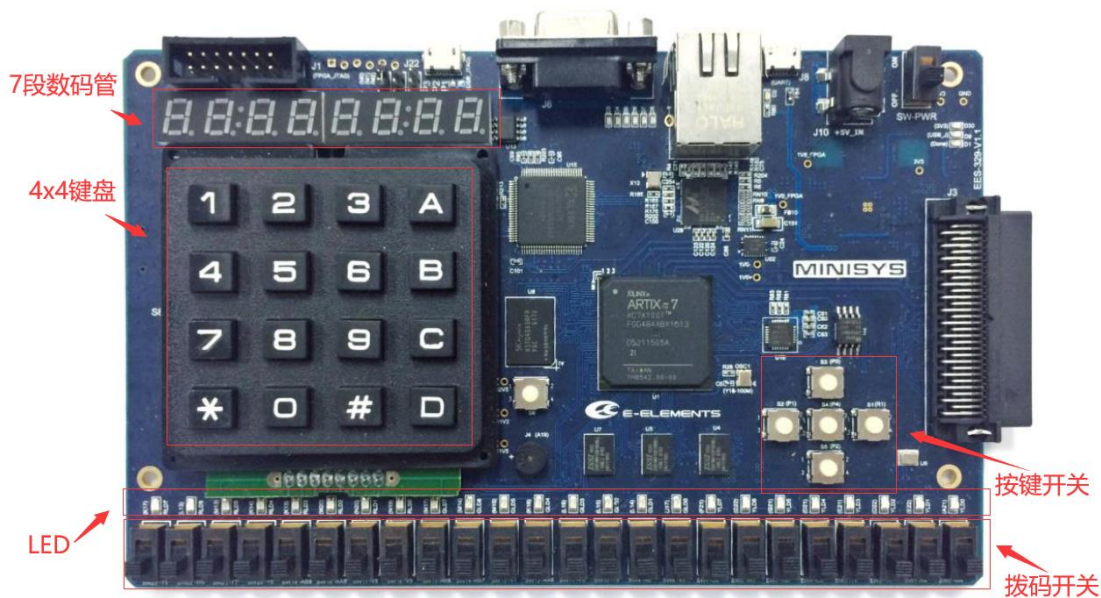
Vivado是Xilinx公司于2012年推出的集文本编辑器、逻辑函数库、布线/仿真工具、下载器等功能的EDA开发套件工具。早期的Xilinx FPGA开发软件是ISE，后因Xilinx FPGA架构和开发方法的变化而推出全新的Vivado。



实验原理

➤ Minisys开发板介绍

Minisys开发板是一个以Xilinx Artix-7™系列 FPGA（XC7A100TFGG484C-1）为主芯片的可用于“数字电路”、“组成原理”等多门课程的实验



实验原理

➤ Minisys开发板介绍

□ 拨码开关

Minisys开发板上有24个拨码开关，其板上标注为SW23~SW0。在实验中，常将拨码开关作为数据输入，当开关拨到下档时，表示输入为0，否则为1。

□ LED灯

Minisys开发板上有24个LED灯（红、绿、黄分别8个），板上标号为RLD7~0、GLD7~0和YLD7~0。当FPGA相应管脚的输出为高电平时，所连接的LED灯被点亮，否则灯熄灭。



实验原理

➤ 基于Vivado的开发流程

- (1) 建立工程
- (2) 编写RTL
- (3) 添加设计文件
- (4) 编写仿真文件
- (5) 添加仿真文件
- (6) 进行仿真
- (7) 编写约束文件
- (8) 添加约束文件
- (9) 综合、实现和生成比特流
- (10) 开发板验证

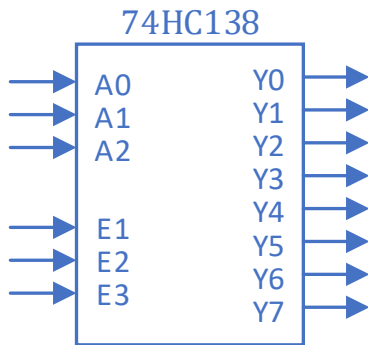
□ 演示环节



实验原理

➤ 3-8译码器的实现

以74HC138为例，3-8译码器的电路图如下：



74HC138有6个输入引脚，其中E1、E2，E3三个引脚是使能引脚；这三个引脚若不契合输入规则，则Y0到Y7始终输出高电平；根据芯片手册，E1和E2需接0，E3需接1。

实验原理

➤ 3-8译码器真值表

Input			Output							
A2	A1	A0	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
0	0	0	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	0	1
0	1	0	1	1	1	1	1	0	1	1
0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	1	1	0	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1
1	1	0	1	0	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1



实验原理

➤ 接口定义

Name	I/O	Width	Description
clk	input	1	时钟信号 (100MHz)
rst	input	1	复位信号
enable	input	3	译码器使能信号
switch	input	3	译码器输入信号
led	output	8	LED 信号



实验步骤

- ☐ 创建工程，工程名为decoder_38;
- ☐ 编写并添加设计文件decoder_38.v;
- ☐ 添加提供的仿真文件testbench.v，并完成仿真;
- ☐ 编写并添加约束文件，并综合实现，生成比特流;
- ☐ 将生成的比特流下载到开发板验证;



验收要求

- ☐ 3-8译码器仿真通过（0.5分）
- ☐ 3-8译码器开发板验证通过（1分）
- ☐ 3-8译码器仿真波形分析及RTL提交（0.5分）



提交要求

- ❑ 提交时间：2021/11/07 23:59
- ❑ 提交格式：学号_姓名.zip
- ❑ 注意：如有出现雷同，雷同者均不得分！



开始实验



HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ