

基于 FPGA 的简易数字信号传输性能分析仪

张 晓 宋 杰 丁 昊

(海军航空工程学院电子信息工程系 烟台 264001)

摘 要: 设计了一种基于 FPGA 的数字信号传输性能分析系统,实现对数字信号传输性能的分析。系统采用 FPGA 为数字信号发生模块和分析模块控制芯片,按键输入传送控制信号给 FPGA,FPGA 产生频率步进可调的 m 序列,并进行曼彻斯特编码,信号经过模拟传输信道后,再由信号分析模块 FPGA 通过快速同步检测算法对信号进行同步提取,在示波器上测得眼图眼幅度等信息,实现了数字信号传输性能测试的功能。该系统密闭封装,人机界面友好,非常便于操作演示。

关键词: FPGA;m 序列;曼彻斯特编码;同步提取

中图分类号: TP957 **文献标识码:** A

Simple digital signal transmission performance analyzer based on FPGA

Zhang Xiao Song Jie Ding Hao

(Department of Electronic and Information Engineering, Naval Aeronautical and Astronautical University, Yantai 264001)

Abstract: A FPGA-based digital signal transmission performance analysis system has been designed to analyze digital signal transmission performance. It uses FPGA for digital signal control chip module and analysis module. Control signal is sent to the FPGA by keys, FPGA generates the m-sequence whose frequency can be adjusted step by step and Manchester encoding. Through the analog transmission channel, a fast synchronization detection arithmetic is used to extract synchronization signal by analysis module FPGA, the oscilloscope measures eye margin and other information, to achieve digital signal transmission performance testing capabilities. The system whose encapsulation is compact has friendly interface and it is very easy to operate and demonstrate.

Keywords: FPGA;m-sequence;manchester encoding;extracting synchronization

0 引 言

随着数字通信技术的发展,在航空航天和测试以及测量等领域,人们对数字信号的传输性能提出了更高的要求。数字处理的灵活性使得数字传输系统中的数字信息既可以来自计算机、电传机等数据终端的各种数字代码,也可以来自模拟信号经数字化处理后的脉冲编码信号等。而码元同步技术在提高传输性能方面起着重要作用。目前,随着集成电路技术的进步,由于其集成度高、设计灵活、效率高和功耗低等优势,同时器件具有用户可编程特性,可大大减少设计费用,缩短系统设计周期,可编程逻辑器件在实际通信领域中得到广泛的应用。

本文设计了一种数字信号传输性能分析系统,它的核心技术是利用高速可编程逻辑门阵列 FPGA 产生数字信号和伪随机噪声,经过滤波器模拟信道的传输,再由 FPGA 对信号进行分析提取出同步信号,最后通过示波器观察眼图,根据眼图特征,直观地估价系统的码间干扰和噪声的影

响。本系统的特点是:小型化,便于携带,操作简单,连接方便,采样率高,数据传输率高,动态范围大(12 位 A/D 分辨率),并采用自制线性电源供电,非常便于高速数字传输系统性能的分析。

1 系统组成与工作原理

系统由 FPGA 核心板、增益控制电路、低通滤波器电路、A/D 转换电路、直流稳压电源、键盘和显示等部分组成。系统总体框图如图 1 所示。

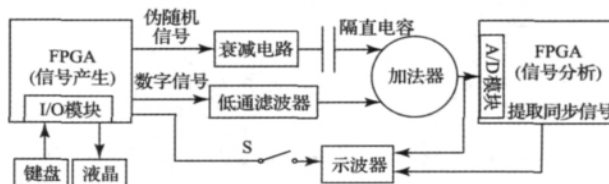


图 1 系统总体

本文于 2012 年 5 月收到。

• 78 •

系统用 1 块 FPGA 产生数字信号和伪随机信号,并通过按键对数据率进行控制,数据率在液晶屏上可以实时显示,数字信号送入滤波器进行滤波,通带增益 0.2~4.0 可调,10 MHz 的伪随机信号经过可调电阻进行衰减,最低可达 100 mV,2 路信号送入加法器进行求和,然后经过 AD 采样给另 1 块 FPGA 数字滤波处理后提取出同步信号,最后通过示波器观察眼图。

2 硬件电路板设计

2.1 FPGA 核心板设计

FPGA 核心板担负着数据发送和分析的任务,是本系统最为关键的部分。综合考虑系统资源和 FPGA 价格,选择 Xilinx 公司的 Spartan 3 系列 XC3S400 芯片,该芯片系统门数为 40 万,块 RAM 达到 288 KB,分布式 RAM 为 56 KB,有 4 个时钟管理模块(DCM),支持丰富的接口标准^[1]。采用 40 MHz 有源晶振,满足高速设计要求。核心板采用 5 V 输入,由 3 片电源转换芯片 AMS1117 实现 5 V 到 3.3 V、2.5 V 和 1.2 V 的电平转换,为 FPGA 提供稳定的电源电压。最小系统框图如图 2 所示。

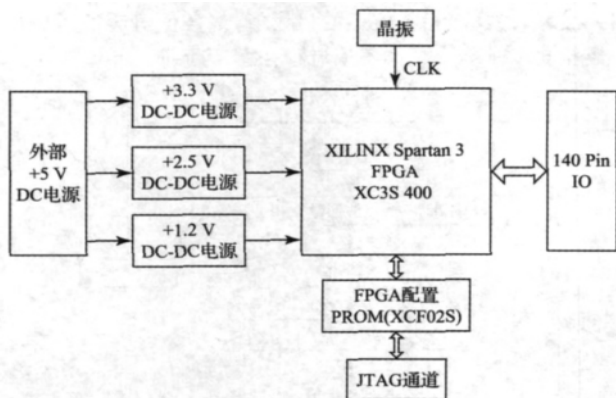


图 2 FPGA 核心板

2.2 低通滤波器电路设计

根据设计需要每个滤波器带外衰减不少于 40 dB/10 倍频程,因此至少设计 2 阶以上滤波器,借助 Multisim 软件,设置相应参数,生成电路。使用跳线开关,可以方便地实现截止频率分别为 100 kHz、200 kHz、500 kHz 3 个滤波器之间的转换。电路原理图如图 3 所示。100 kHz 低通滤波器仿真波特图如图 4 所示,带外衰减达到 43 dB/10 倍频程。在滤波器之后,采用 AD811 型运算放大器和电位器对通带增益进行控制。AD811 是 1 款宽带电流反馈型运算放大器,具有低差分增益、低相位误差、低失真和宽单位增益带宽等特性。同时使用 8065A 芯片作为射极跟随器进行前后级的阻抗匹配。

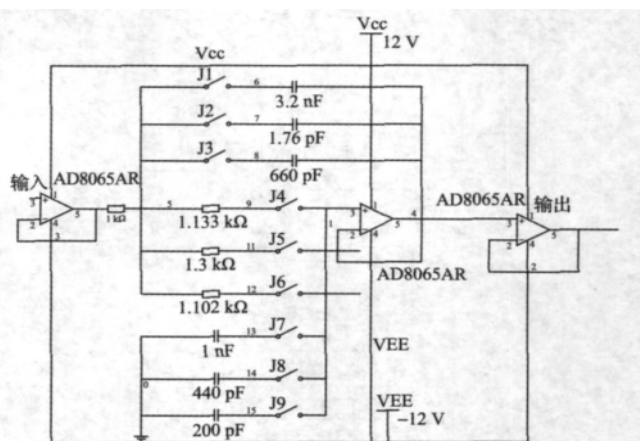


图 3 滤波器原理



图 4 100 kHz 低通滤波器仿真

3 软件设计

3.1 软件总体设计

软件部分主要包括数字信号产生模块、伪随机数产生模块、数字信号分析模块和显示模块^[2]。整个系统的详细设计流程如图 5 所示。负责信号产生的 FPGA 扫描按键输出不同的数据率并送给 1602 液晶显示,根据方程产生 m 序列,由于曼彻斯特码在时钟的前半周期和原码相同,后半周期和原码相反,用 1 个两输入异或门即可实现数字信号与同步时钟信号的曼彻斯特编码^[3]。负责信号分析的 FPGA 调用 FIR 核设计程控滤波器先对加噪声的信号进行处理,然后从剩余的数字信号中提取同步信号用来显示眼图。

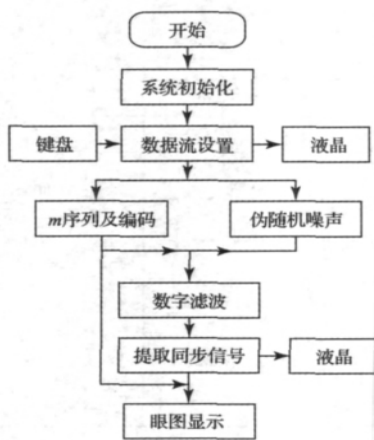


图 5 软件设计流程

3.2 信号产生模块设计

3.2.1 信号发生模块软件总体设计

通过按键输入数据率, FPGA 得到输入值后产生原码以及伪随机序列, 设计中需要根据不同数据率设置好分频系数^[4-5]。该模块的详细软件设计流程如图 6 所示。

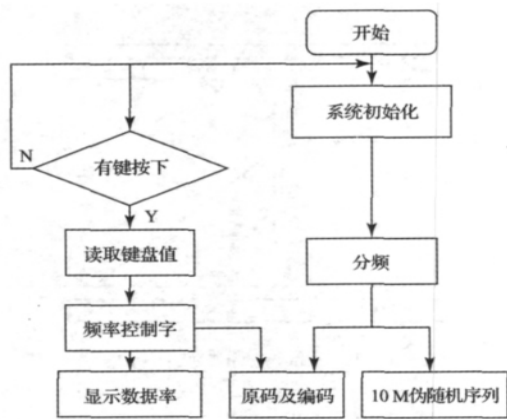


图 6 信号产生模块软件流程

3.2.2 m 序列的产生模块设计

m 序列信号发生器是在 n 级线性移位寄存器的基础上, 加上异或反馈电路构成^[3-4]。 n 级线性反馈移位寄存器有 2^n 个状态, 但若起始序列为全 0, 则线性反馈移位寄存器将一直保全零的状态, 全零序列不是正常的 m 序列, 所以在原始状态非全零的情况下, 具有这种最长周期的线性移位寄存器序列为 m 序列。 m 序列的特征多项式:

$$f(x) = c_0 + c_1x + \cdots + c_nx^n = \sum_{i=0}^n c_ix^i \quad (1)$$

式中: c_n 为第 i 级反馈连接, $c_n = 0$ 表示无连接, 不参与反馈; $c_n = 1$ 表示有连接, 参与反馈。故 m 序列的发生器是由 n 级移位寄存器、反馈抽头及模 2 加法器构成。产生原码的 m 序列的方程为:

$$f_1(x) = 1 + x^2 + x^3 + x^4 + x^8 \quad (2)$$

产生伪随机信号的 m 序列的方程为:

$$f_2(x) = 1 + x + x^4 + x^5 + x^{12} \quad (3)$$

这种方法不仅结构简单, 易于实现, 而且所产生的伪随机序列具有周期长, 随机特性好的特点。

3.3 同步提取模块设计

同步信号提取模块是整个设计中最复杂的部分。针对通常的相关运算检测算法具有检测周期长、运算量大、不利于具体实现的问题, 这里提出了一种基于欠采样和过采样的快速同步检测算法^{[[6-7]]}。该同步检测方法将整个同步检测过程分为粗同步和细同步两个阶段, 滤波之后的接收信号 $r(t)$ 进入同步检测系统后由 A/D 对其进行采样, 进入粗同步阶段。粗同步检测采用过门限法, 首先根据系统同步概率以及同步捕获时间要求设定门限值, 该门限值通常较小, 只需保证同步时刻在此门限附近的某一范围内即可; 然后采用大步进间隔(正常采样或欠采样)对接收数据进行滑动相关运算, 当相关值超过预设门限时, 系统即完成了粗同步检测, 同时进入细同步检测过程。在细同步阶段, 采用小步进间隔(过采样)在一段时间范围内对接收数据进行滑动相关运算, 并找出相关值中的最大值, 最大值对应的时刻即为最佳同步时刻。具体实现流程如图 7 所示。

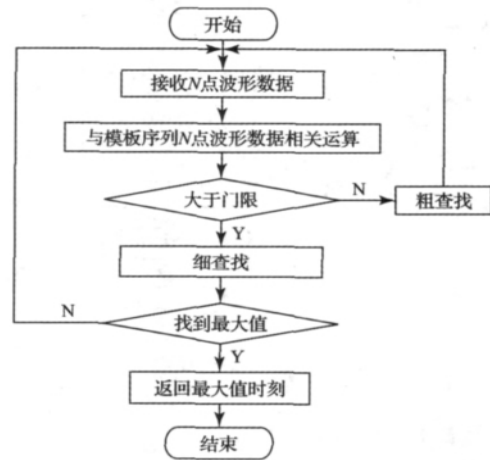


图 7 同步算法检测流程

该同步检测过程首先接收 N 点采样数据, 并将波形存储到缓存, 然后将接收的数据与模板同步脉冲数据作相关运算, 并将相关值与门限进行比较, 小于门限进行粗查找, 大于门限则进行细查找, 细查找时需提取相关运算的最大值, 该最大值所对应的时刻就是最佳同步时刻, 最后将同步时刻反馈给相关接收模块, 同步检测结束。

4 系统调试和测试

在完成了系统的硬件设计和软件设计以后, 需要进行综合调试和测试。通过调试, 不断优化程序代码, 对程序中的问题及时更正修改, 使系统的性能得以提高, 工作状态更

加稳定。测试的过程中可以修正电路中元器件的参数等,以免理论分析与实际状态的差距引起系统的参数不符合要求。

目前,本系统可以实现数据率 10~100 kbps 按 10 kbps 步进,加噪声通过截止频率为 100 kHz、200 kHz 以及 500 kHz 的滤波器模拟信道后对同步信号的提取,观察眼图信息^[8]。本系统产生的数字信号如图 8 所示。通道 2 是产生的 m 序列,通道 1 是对其进行曼彻斯特编码。提取同步信号以后观察的眼图如图 9 所示。实验表明该系统完全满足指标要求,分析数字信号传输性能,而且稳定可靠。

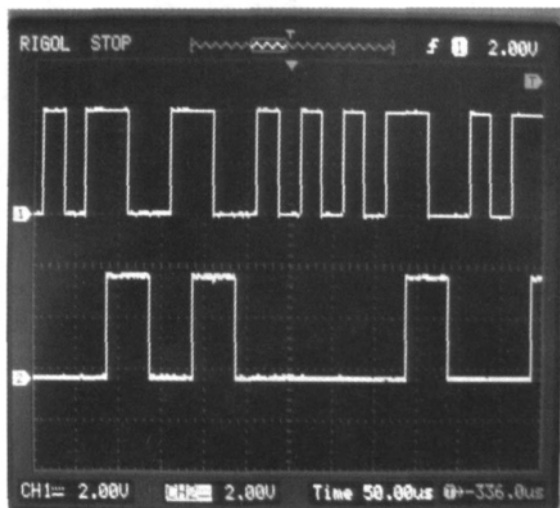


图 8 曼码和 m 序列码波形

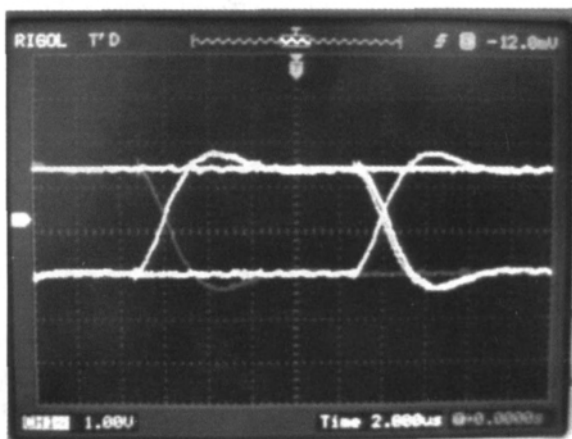


图 9 提取同步信号观察到的眼图

5 结 论

研究了数字信号传输性能分析系统的总体方案,即由信号产生模块、模拟信道模块、信号分析模块和显示模块组成。设计中运用硬件描述语言对 FPGA 进行编程,在完成了产生数据率步进的信号同时,实现了对通过不同参数滤波器之后的信号的同步提取、眼图显示和眼幅度的测量,方便操作。

参 考 文 献

- [1] 王金庭,杨敏,田浩,等. 基于 FPGA 的函数发生器[J]. 电子测量技术,2010,33(6):32-34.
- [2] 丁昊,宋杰,王国庆. 基于 FPGA 的数字幅频均衡器设计[J]. 电子测量技术,2010,33(10):48-51.
- [3] 陈新坤,周东,余敬东. Manchester 编码器的 FPGA 设计与实现[J]. 电子科技大学学报,2003,32(3):324-327.
- [4] 王刚,乔纯捷,王跃科. 基于时钟同步的分布式实时系统监控[J]. 电子测量与仪器学报,2010,24(3):274-278.
- [5] 黄良,韩诚山,文明. 星载 FPGA 混合时钟域设计[J]. 电子技术应用,2010,36(12):42-44.
- [6] 张磊,康家方,赵志勇,等. 基于 PSWF 的非正弦通信系统的同步方法[J]. 无线电通信技术,2011,37(4):7-9.
- [7] 种兰祥,朱春香,游涛. 数字存储示波器的计算机控制与同步测量[J]. 电子测量技术,2008,31(10):73-75,96.
- [8] 张延华,樊桂花,孙华燕. 红外小目标实时检测硬件系统设计及实现[J]. 国外电子测量技术,2010,29(8):57-59.

作 者 简 介

张骁,男,1989 年出生,硕士研究生,主要研究方向为信号采集与处理、无线通信等。

E-mail: 455512662@qq.com

宋杰,男,1981 年出生,讲师,博士,主要研究方向为雷达信号采集与处理、无源探测与跟踪技术。

丁昊,男,1988 年出生,硕士研究生,主要研究方向为信号采集与处理、目标识别等。