

编号：

2013 年全国大学生电子设计竞赛

简易频率特性测试仪（E 题）

【本科组】

参赛学校：烟台大学

参赛学院：光电信息科学技术学院

参赛选手：侯博宇 孙晓民 张佳宾

指导教师：电子竞赛小组



摘要：本系统设计以 DIGILENT 公司生产的 NEXYS 3 为开发平台，以 Xilinx 公司提供的 Spartan-6 作主控制器的 XC6SLX16 芯片作为信息处理核心。该系统由 DDS 信号发生模块、乘法器模块、低通滤波模块、AD 转换模块、FPGA 数字信号分析部分以及显示部分构成。本系统实现了 1M~40M 双路正交连续扫频输出功能，扫频范围及频率步进值可设置，能够实现点频测量，满足 100KHz 步进要求。一路余弦信号经过 RLC 串联谐振电路网络分别与余弦信号和正弦信号相乘，经过两路低通滤波器，再经 ADC 模块进入 FPGA 主控芯片进行计算处理，并在 VGA 显示测量结果。通过测试，本设计系统性能良好，各项指标均能较好地完成设计要求，能够在 VGA 上显示幅频特性曲线和相频特性曲线，并且具有电压增益、相移和频率坐标刻度。同时，我们扩展了正交扫频信号源的功能，使其两路信号相位差满足任意可调。

关键词： 高频，正交，FPGA，双路，VGA 显示，RLC 串联谐振

Abstract: This system design to DIGILENT NEXYS 3 platform for developing production company, with a Xilinx Spartan - 6 provided by the company background XC6SLX16 chip as the core information processing of the controller, combined with low power consumption analysis of MSP430, the system consists of DDS signal producing module, multiplier module, low-pass filtering module, AD conversion module, digital signal analysis and display circuit. This system has realized the 1 m to 40 m continuous output frequency sweep function, dual orthogonal frequency sweep range and frequency step value can be set up, can realize frequency measurement, satisfies the requirement of 100 KHZ step by step. A cosine signal through the RLC series resonant circuit network with sine and cosine signals multiplication respectively, after two way low pass filter, then through the ADC module calculation and processing into FPGA master control chip, and the VGA display measurement results. Through testing, this design system performance is good, all the indexes can complete the design requirements, can be displayed on the VGA amplitude-frequency characteristic and phase frequency characteristic curve, and has the voltage gain, frequency and phase shift coordinates calibration. At the same time, we expand the function of orthogonal frequency sweep signal ource, satisfies the two signal phase difference arbitrary adjustable.

Keyword: high frequency, orthogonality, FPGA, double-channel, VGA-display, RLC-cascade resonant.

目录

1. 方案选择与论证.....	1
1.1 主控制器的选择与论证.....	2
1.2 波形生成方案的选择与论证.....	2
1.3 A/D 转换电路的选择与论证.....	2
1.4 低通滤波器的选择与论证.....	2
1.5 显示装置的选择与论证.....	3
2. 理论分析与计算.....	3
2.1 整体分析.....	3
2.2 AD9854 内部工作原理简介.....	4
2.3 FPGA 控制 AD9854 的原理.....	4
3. 硬件电路设计.....	5
3.1 AD9854 的设计.....	5
3.2 乘法电路的设计.....	6
3.3 模数转换器 ADS7886 的设计.....	8
3.4 被测网络的设计.....	8
3.5 低通滤波器的设计.....	9
4. 软件设计.....	10
4.1 软件组成.....	10
4.2 正交扫频信号源设计.....	11
4.3 数据计算与显示模块.....	12
五.测试方案与结果.....	13
5.1 测试条件与仪器.....	13
5.2 测试结果及分析.....	14
5.2.1 测试结果（数据）.....	14
5.2.2 测试分析与结论.....	15
5.3 误差分析：.....	16
六. 总结.....	16
参考文献：.....	16
附录.....	17

1. 方案选择与论证

本设计使用 Xilinx 公司提供的 Spartan-6 作主控制器的 XC6SLX16 芯片作为信息处理核心。利用相应的 IP 核，使用硬件描述语言对外接设备的控制，以实现题目的要求。本设计使用 FPGA 开发板，使性能更加出色，控制更加人性化。具体模块组成框图如下图所示：

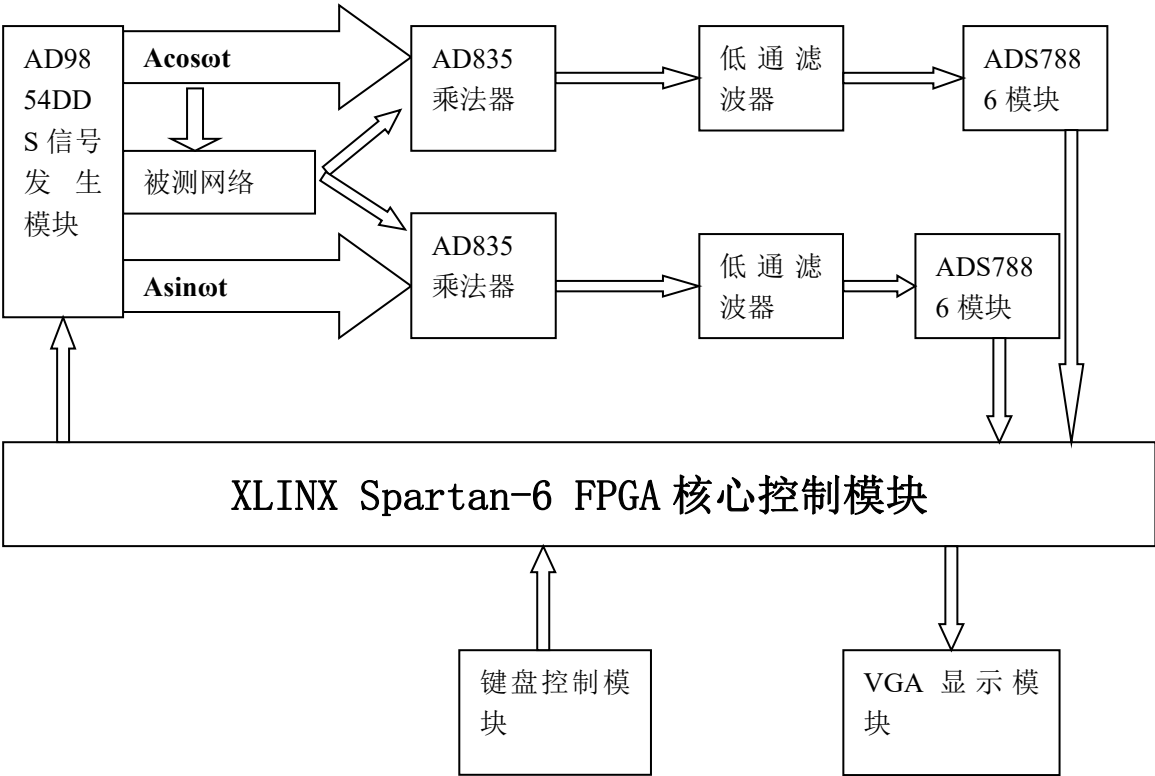


图 1 总体框图

1.1 主控制器的选择与论证

方案一：以 Xilinx 公司提供的 Spartan-6 作主控制器的 XC6SLX16 芯片作为信息处理核心。本方案设计集中，易于实现，电路的逻辑控制功能大部分都能通过 FPGA 实现，并且时序上控制严格，便于控制，有较高的速度以及很高的精度，完全可胜任底层各种设计要求。

方案二：使用 80C51 单片机作为控制芯片进行设计，单片机资源丰富，但在速度和精度上难以满足要求，如果采用高档单片机或 DSP 芯片将大大增加成本。

虽然 FPGA 的功耗较大，但是在其他方面有远远超越其他方案的优势，同时我们在功耗方面尽量做到最为精简，所以我们综合选择方案一。

1.2 波形生成方案的选择与论证

方案一：使用专门的函数发生器集成芯片（L8038、BA205 等）。缺点：功能较少，精度不高，不能产生更高频率的信号，调节方式也不够灵活，频率和占空比不能独立调节。

方案二：采用微处理器编程实现。缺点：这种方案虽然成本较低，但系统的实时性较差，不能满足波形的较大数据量的传输要求。

方案三：采用高速 DDS 芯片 AD9854。优点，DDS 器件采用高速数字电路和高速 D/A 转换技术，具备了频率转换时间短、频率分辨率高、频率稳定度高、输出频率信号和相位可快速程控切换等优点，可以实现对信号的全数字式调制。所以经过分析比较，本次设计选用方案三来实现

1.3 A/D 转换电路的选择与论证

题目要求信号频率范围在 1MHz~40MHz。

方案一：用一般 ADC 芯片，如 TLC2543，成本高，连线复杂，控制较难。

方案二：选用 ADS7886 作为转换芯片，它是一款 12 位，单通道，串行的并能提供很高的无杂散动态范围的芯片，并且能有效解决 IO 口不足的问题。并且成本低，控制简单。

经综合考虑，我们选择采用方案二。

1.4 低通滤波器的选择与论证

方案一：巴特沃斯滤波器，其特点是通频带内的频率响应曲线最大限度平坦，没有起伏，而在阻频带则逐渐下降为零。在振幅的对数对角频率的波得图上，从某一边界角频率开始，振幅随着角频率的增加而逐步减少，趋向负无穷大。

方案二：切比雪夫滤波器，其在过渡带比巴特沃斯滤波器的衰减快，但频率响应的幅频特性不如后者平坦。切比雪夫滤波器和理想滤波器的频率响应曲线之间的误差最小，但是在通频带内存在幅度波动。

方案三：贝塞尔(Bessel)滤波器，它具有最平坦的幅度和相位响应。带通（通常为用户关注区域）的相位响应近乎呈线性。Bessel 滤波器可用于减少所有 IIR 滤波器固有的非线性相位失真。

综合频带截止频率平坦要求，选择方案一巴特沃斯滤波器。

1.5 显示装置的选择与论证

方案一：采用普通 LED。优点是元器件价格低廉，而且外围电路简单。但扫描要占用大量 I/O 口资源，还增大了单片机的运算开销，显示信息也不够丰富。

方案二：采用 VGA 液晶显示。优点是显示信息非常丰富，可以形象显示选项菜单和信号图。占用 I/O 口资源较少，不需要循环扫描节省了大量程序开销。

综合系统及拓展要求，本作品采用方案二 VGA 液晶显示。

2. 理论分析与计算

2.1 整体分析

两路正交信号分别为 $A\cos\omega t$ 和 $A\sin\omega t$ 。当被测网络的输出是纯电阻电路时，而当被测网络有相移时，假设为 $A_1\cos(\omega t + \psi)$ ，其分别与 $A\cos\omega t$ 、 $A\sin\omega t$ 经过乘法器作用之后，用低通滤波器将高频部分滤掉，则剩余部分满足要求，再经过 AD7886 采样并进行数据分析最终在 VGA 显示，则其幅频特性

为， $\sqrt{\left(\frac{A_1 A}{2}\cos\omega t\right)^2 + \left(\frac{A_1 A}{2}\sin\omega t\right)^2} = \frac{A_1 A}{2}$ ，相频特性为 $\tan\omega t$ 。计算公式如下：

$$\begin{aligned} & A_1\cos(\omega t + \psi)A\cos\omega t \\ &= \frac{A_1 A}{2}[(\cos 2\omega t + \psi) + \cos\psi] \end{aligned}$$

高频分量经低通滤波器后只剩下 $\frac{A_1 A}{2}\cos\psi$ 的直流分量。

$$\begin{aligned} & A_1\cos(\omega t + \psi)A\sin(\omega t) \\ &= \frac{A_1 A}{2}[\sin(2\omega t + \psi) + \sin(-\psi)] \end{aligned}$$

经过低通滤波器后只剩下 $\frac{A_1 A}{2}\sin(-\psi)$ 直流分量。

$$A_1 \cos(\omega t + \psi) A \sin(\omega t)$$

$$= \frac{A_1 A}{2} [\sin(2\omega t + \psi) + \sin(-\psi)]$$

2.2 AD9854 内部工作原理简介

时钟源为高稳定度的晶体振荡器,其输出用于提供 DDS 中各器件同步工作,频率控制字和相位控制字用于设定输出波形的频率和相位,高速 DAC 用于波形的 D/A 转换,LPF 用于滤除波形中的杂散噪声信号。

相位累加器一部分是 DDS 系统的最核心部分,相位累加器由 N 位加法器和 N 位相位寄存器构成,其环节是典型的反馈电路,每来一个时钟脉冲,累加器就将频率控制字 K 与相位寄存器输出的累加相位数据相加,把相加的结果送至相位寄存器数据输入端,相位寄存器将累加器在上一个时钟作用后所产生的新相位数据反馈到累加器的输入端,以使累加器在下一个时钟的作用下继续与频率控制数据相加。这样,相位累加器在参考时钟的作用下,进行线性相位相加。当累加器累加到满量时就会产生一次溢出,完成一个周期性的动作,这个周期就是 DDS 合成信号的一个频率周期。累加器的溢出频率就是 DDS 输出的信号频率。

相位调制器 这一部分是接收相位累加器的输入,在这里加上一个相位偏移值,主要用于信号的相位调制。

波形存储器 产生任意波形。

数模(D/A)转换和滤波部分 其中(D/A)将数字量形式的波形幅值转换成所要求合成频率的模拟量形式的信号,低通滤波器用于衰减和滤除不需要的取样分量以输出频谱纯净的波形信号。

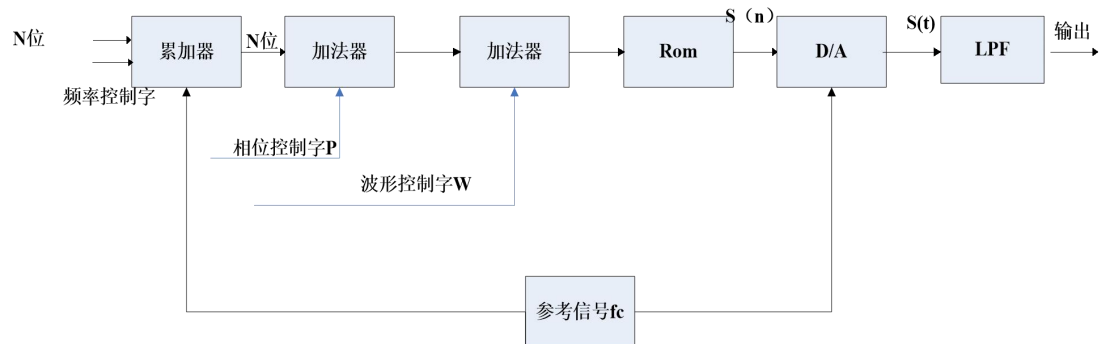


图 2 AD9854 内部工作原理框图

2.3 FPGA 控制 AD9854 的原理

AD9854 频率寄存器是用来控制载波频率的,它的数据部分共有 6 个字节,串行地址是 0x03。它的输出频率计算公式如下:

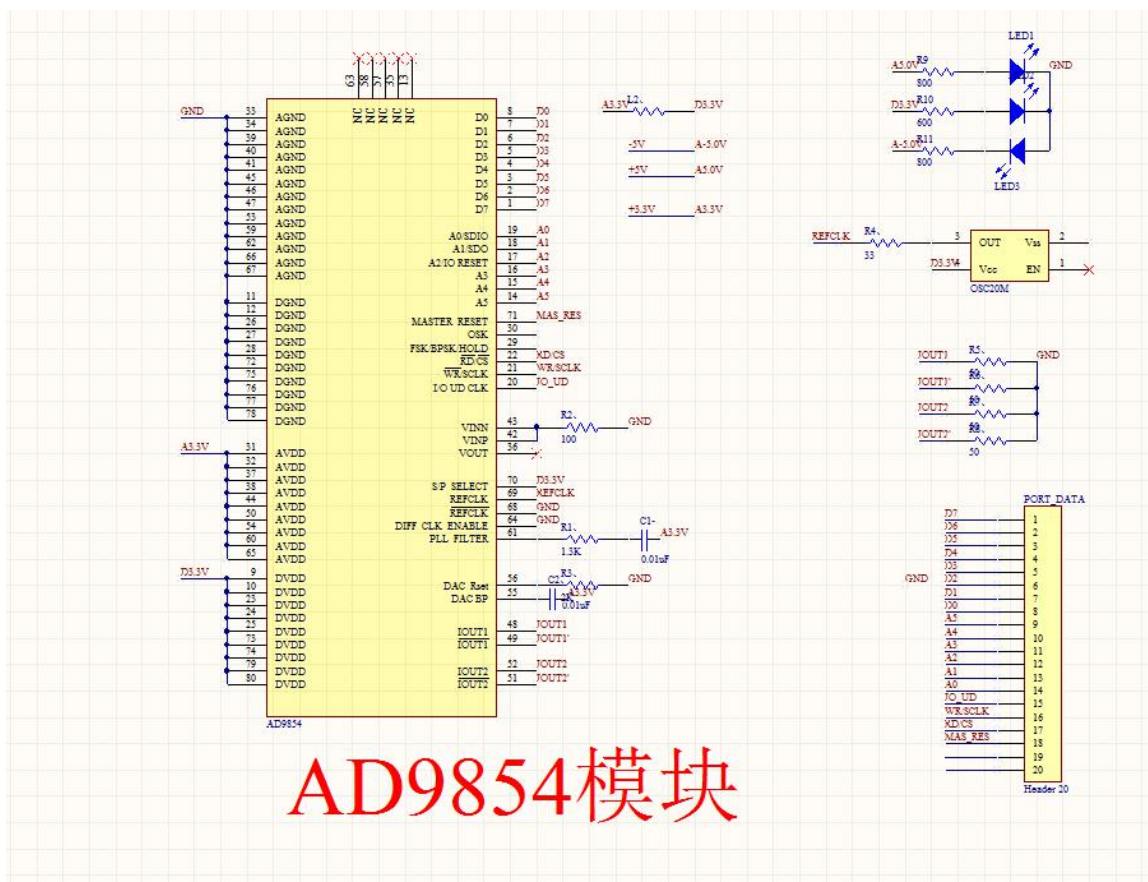
$$\Delta F = (2^{48} \times F) / F_{\text{sysclk}}$$

ΔF 是向 AD9854 装载的十进制频率控制字， F 输出频率的十进制数值， F_{sysclk} 是 AD9854 的系统时钟频率。串行地址是 0x07 的即为 CR (Control Register) 控制寄存器，它主要完成对 AD9854 芯片工作状态、管脚性能等的控制。在默认模式下的数值参考数据手册，其中本次用到的有 0 比特、1 比特、以及 8、9、10、11 比特，0 比特决定两线制与三线制的选择。1 比特控制 LSB 与 MSB 两种，它们分别指低位优先 (LSB) 与高位优先 (MSB)，如果是低位优先则操作时必须倒着将数据写入寄存器，默认模式是 MSB。8 比特位系统更新时钟控制位，默认模式是 1，也就是说采用内部更新时钟，内部更新时钟的产生于系统相关时钟有关，本设计采用串行方式最好使用外部时钟，因此在上电一开始就要对此位进行更改，操作顺序为：芯片加电，主复位，由 FPGA 以并行方式传送相应控制字（将此位置低），加入外部时钟（20MHz 晶振）。

3. 硬件电路设计

3.1 AD9854 的设计

AD9854 需要 3.3V 供电，电源稳压模块提供 3.3V。在对 PCB 板进行测试时遇到一些问题，首先是 FPGA 输出端数据位 SDA 和 SCL 位不正确，而输出的 BPSK 调制信号完全正确，接下来是在设置系统 I/O UDCLK 的时候总是不能把系统默认模式（内部更新始终模式）改为外部时钟模式，后来阅读了 AD9854 数据手册发现在向控制寄存器中写数据的时候要在上电之后，但是在系统时钟之前进行，因此要在加电之后对控制寄存器进行操作，然后再加上晶振时钟。而后遇到的问题是读数据与写数据在上升沿与下降沿采集信号的区别，在读的时候要在下降沿时读出，写的时候要在上升沿写入。设计中还遇到读数据的时候总是不能正确读回，每次读回都是 0xFF，和老师交流后发现在写数据的时候需要给传输线传送 0 指令将它设置为写端口，而在读的时候要传送 1 指令改变传输线方向将它设置为读端口，另外在端口初始化时忘记将端口输入设置为数字输入而导致上述问题，进行正确设置后读回数据也正确了。另外输出端要接一个电阻到地，电阻为 30 到 100 欧姆均可以，因为这个输出是电流型输出。



AD9854模块

图3 AD9854 电路图

3.2 乘法电路的设计

为了配合并充分发挥AD9854的优越性能,最终选择四象限高速乘法器AD835作为乘法电路的主芯片。AD835是个完备的4象限电压输出模拟放大器,满量程(-1v至+1v)上升至下降时间为2.5ns(采用150R标准RL)。由于片内电路的优化和带隙电压基准的使用,AD835的输出噪声典型值仅为HznV/50,保证了实验信号尽可能小的失真。另外,AD835需要的外围电路非常少,配置相当方便。

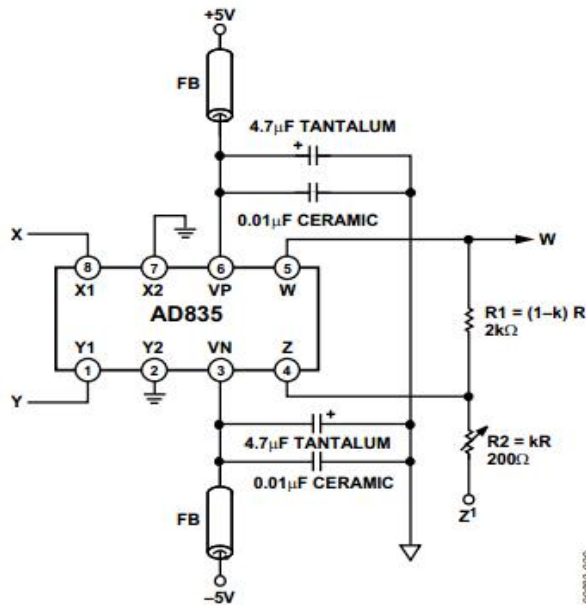


图 4

如上图所示 X、Y、Z 为信号输入端，为信号输出端，W 和 Z 之间的电阻网络起微调电路增益的作用。

本题目中 Z 端接地，即乘法器输出仅由 X、Y 决定，调节电位器可实现增益微调

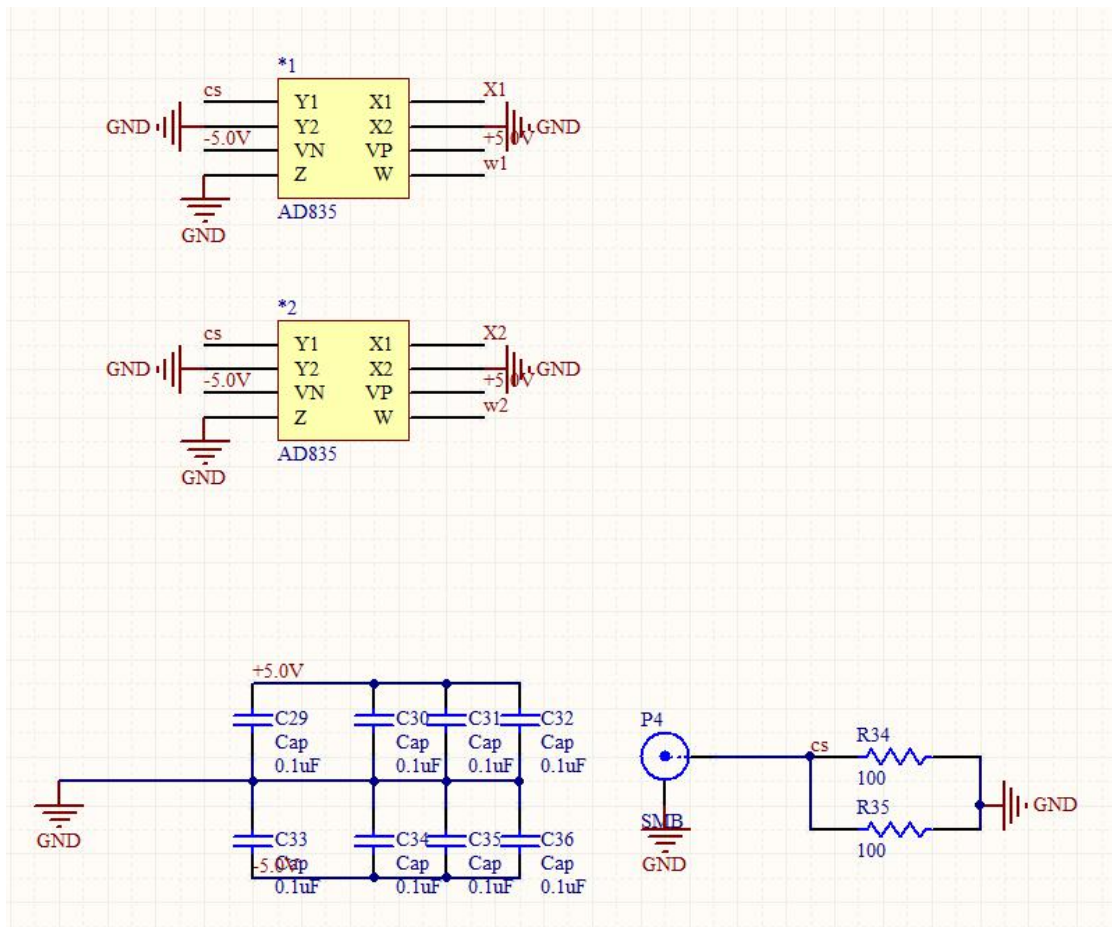


图 5

3.3 模数转换器 ADS7886 的设计

为了提高采样的精度，选用了具有 1MSPS 的 A/D 转换芯片----ADS7866。ADS7886 是 12 位串行接口，1MSPS 速率采样，低功耗 SAR 型 A/D 转换器。具有 20MHz 串行接口速率，电路简单。A/D 转换器智能采集正电压，于是在进入 A/D 之前加一级由 OPA690 构成的电压跟随器来进行电压抬升和阻抗匹配，同时为了消除数字电路对模拟电路的干扰，数字地和模拟地分开，之间用磁珠相连进行处理，达到了很好的抗干扰效果。

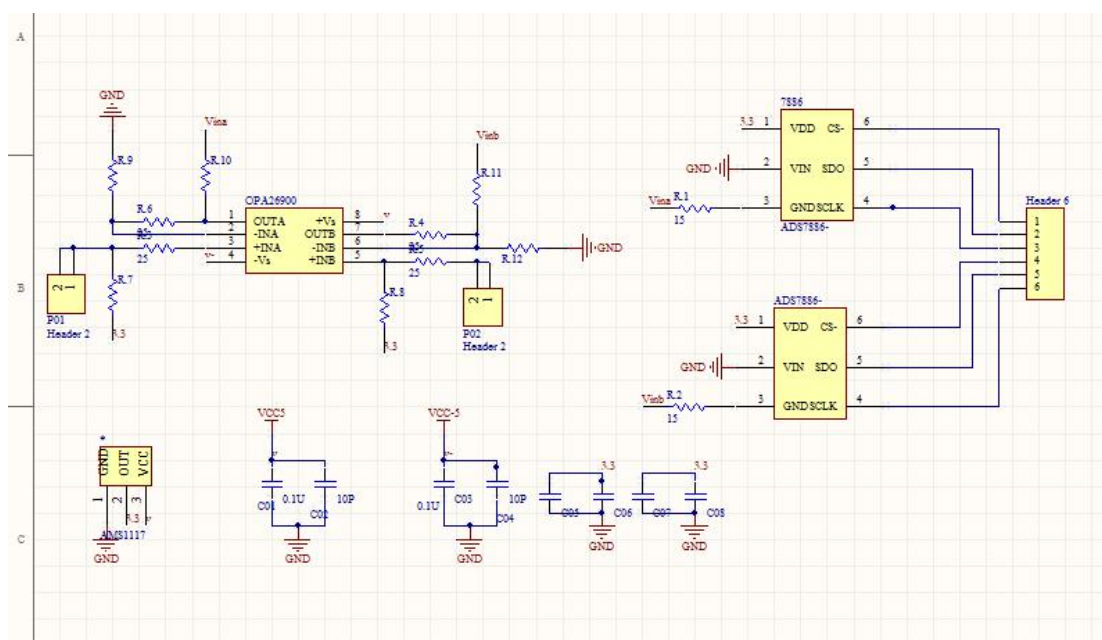


图 6 ADS7886 电路图

3.4 被测网络的设计

使用基本要求中完成的正交扫频信号源，制作频率特性测试仪。

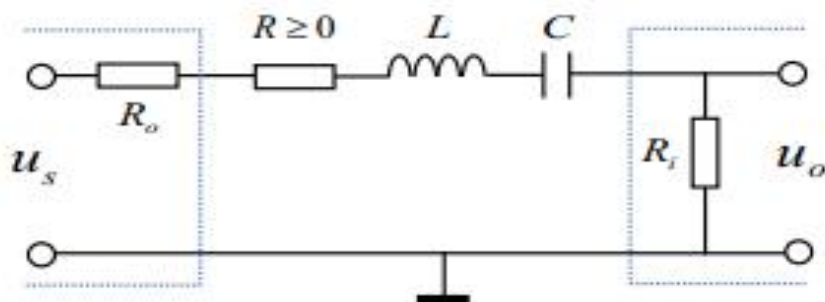


图 7

RLC 串联电路如图所示，改变电路参数 L 、 C 或电源频率时，都可能使电路发生谐振。该网络的等效阻抗为 $X_L = X_C$ 推出 $\omega L - 1/\omega C = 0$

谐振角频率： $\omega_0 = 1/\sqrt{LC}$

谐振频率： $f_0 = \frac{1}{2\pi\sqrt{LC}}$

$$Q = 4 \frac{U_L}{U_s} = \frac{U_C}{U_s} = \frac{\omega_0 L}{R} = \frac{1}{\omega_0 RC} = \frac{\sqrt{L/C}}{R}$$

谐振时品质因数： $\omega_0 = 20\text{MHz}$,

题目中要求被测网络电压增益 $A_v = 20 \lg \left| \frac{u_o}{u_s} \right| = -1\text{dB}$ ，由此计算出 $\left| \frac{u_o}{u_s} \right| = 10^{-\frac{1}{20}}$ 。

又电压增益 $A_v = \frac{100}{100+r} = \left| \frac{u_o}{u_s} \right| = 10^{-\frac{1}{20}}$ ，可以计算出 $r = 12.196891$ 。题目要求被测网络的

有载品质因数 $Q = 4$ ，而 $Q = \frac{\omega_0 L}{r} = \frac{1}{r\omega_0 C}$ ，故取电阻值 r 为定值 **0.5**，又因为

$$\omega_0 = 20\text{MHz}, \text{所以}, L = \frac{Qr}{\omega_0} = \frac{4 \times 12.196891}{20M}, C = \frac{1}{rQ\omega_0} = \frac{1}{12.196891 \times 4 \times 20M}$$

$$L = 2.439\mu H$$

$$C = 16.397\text{nF}$$

以上是 L 和 C 的临界值。取 $R = 10\Omega$ ，经过计算可得， $L = 2\mu H$ ， $C = 5\text{nF}$ 。

3.5 低通滤波器的设计

采用由高精度低噪声运算放大器 OPA690 搭建截止频率为 5KHz 的二阶有源低通滤波器，滤波电路由专用滤波电路设计软件 Filter Solution 设计。

电路连接和频率响应曲线如下图所示：

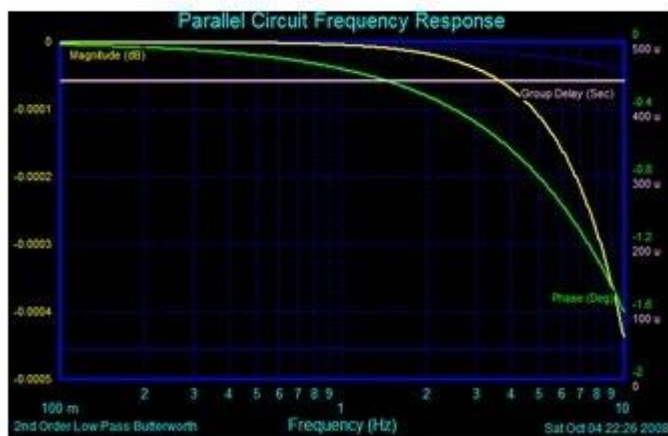
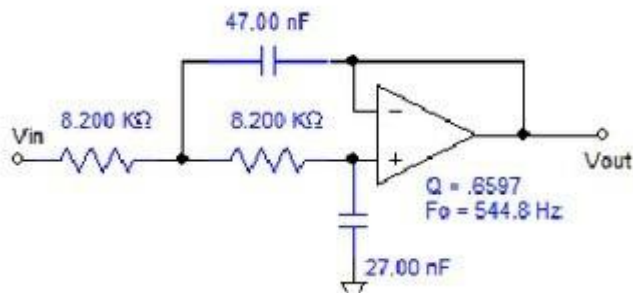


图8

4. 软件设计

4.1 软件组成

本系统的软件组成主要有矩阵键盘模块，DDS 配置模块，幅度补偿模块，A/D 采集控制模块，键盘控制模块，RAM 核，ROM 核，PLL 核，数据处理计算模块，VGA 显示模块。能够用键盘输入来对幅度，频率进行预置、步进。信号经过被测网路，乘法器，低通，经由 ADC 重新被 FPGA 采集，然后我们调用 IP 核以及查找表来计算被测信号的幅频特性和相频特性，能够在 VGA 上显示幅频特性和相频特性曲线，并且具有电压增益、相移和频率坐标刻度。下图为软件总流程图。

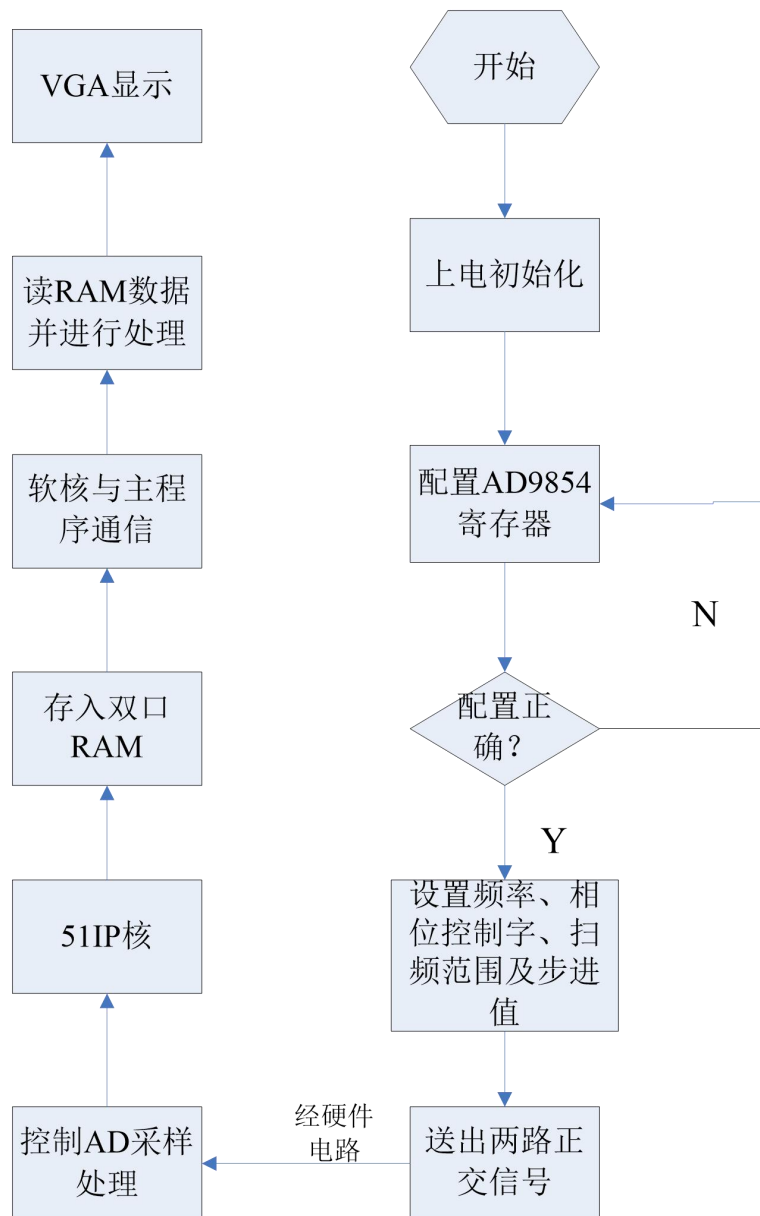


图 7 软件流程图

4.2 正交扫频信号源设计

本设计的主要控制流程是先通过 FPGA 向 AD9854 中输入相应的控制字, 在一个更新时钟上升沿到来的时候写入寄存器改变输出信号。

由于需要对 AD9854 配置多种模式, 所以我们用 verilog 写成状态机模式, 可以实现顺序执行。

软件主要有以下几个部分: WR_CTRL 模块、AD_INIT 模块、WR_FTW 模块、WR_G_I 模块、WR_G_Q 模块等。

WR_CTRL 是用来将数据写入 AD9854 中的, 程序定义了 reg 类型的 dat_w,

它用于存放将要写入的数据，此类型的数据可以分成八位操作，再定义一个 SBIT 类型的 SDA 来模拟数据线，首先将 dat_w 的以为数据赋值给 SDA，在遇到一个 SCL 时钟上升沿的时候数据写入 AD9854，以此类推知道写完一个字节，由于每一个控制字都有不止一个字节，因此要完成对一个控制字寄存器的操作要调用几个 WR_CTRL。

AD_INIT 部分用来初始化 AD9854 的寄存器。WR_FTW 部分用来写入频率控制字，使 AD9854 频率可调。WR_G_I、WR_G_Q 分别用来配置正交输出 I 路和 Q 路相关的寄存器。

每次配置完寄存器后都要更新时钟，更新时钟的作用是在控制字写入缓存后将其传到相应寄存器，因此在每次写完一个寄存器控制字后要更新时钟。

4.3 数据计算与显示模块

显示内容（点频频率、扫描起始频率、扫描截止频率、步进值、幅频特性曲线、相频特性曲线、电压增益、相移和频率坐标刻度。）

设计思路：

根据 VGA 显示器的工作原理，以垂直同步信号的出现时刻作为时间的起点（原点），根据时序图算出每一个关键时间点所需的计数器最大值，据此输出 H_SYNC 和 V_SYNC，在此基础上对扫描的行数及像素点数进行计数，从而输出像素位置信息。

对于 VGA 显示器，每个像素点的输出频率为 50MHZ，本实验采用 50MHz 的时钟信号。依据 VGA 时序标准，行同步信号 HS，行周期为 32.2us，也就是 H_sync（行）的周期；场同步信号 VS，场周期为 16.89ms，也就是 V_sync（一帧）的周期。刷新 1 个像素所需时间 $T_{\text{pixel}} = 1 / f_{\text{clk}} = 40\text{ns}$ ；

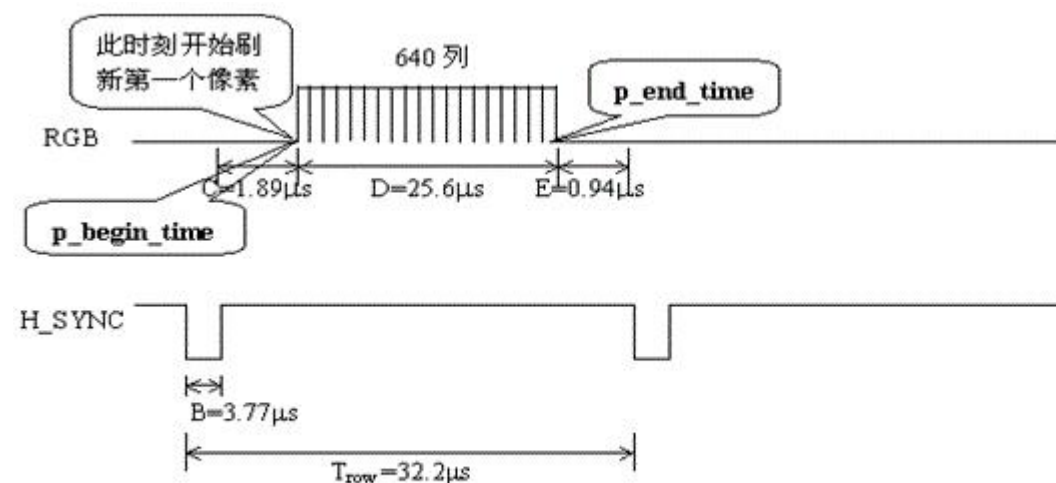


图 9

从图 9 水平刷新循环中，可以知道刷新 480 行所需时间公式：
 $T_{row} = B + C + D + E = T_{pixel} \times 640 + \text{guard bands} = 25.6\mu s + B + C + E = 32.2\mu s$;

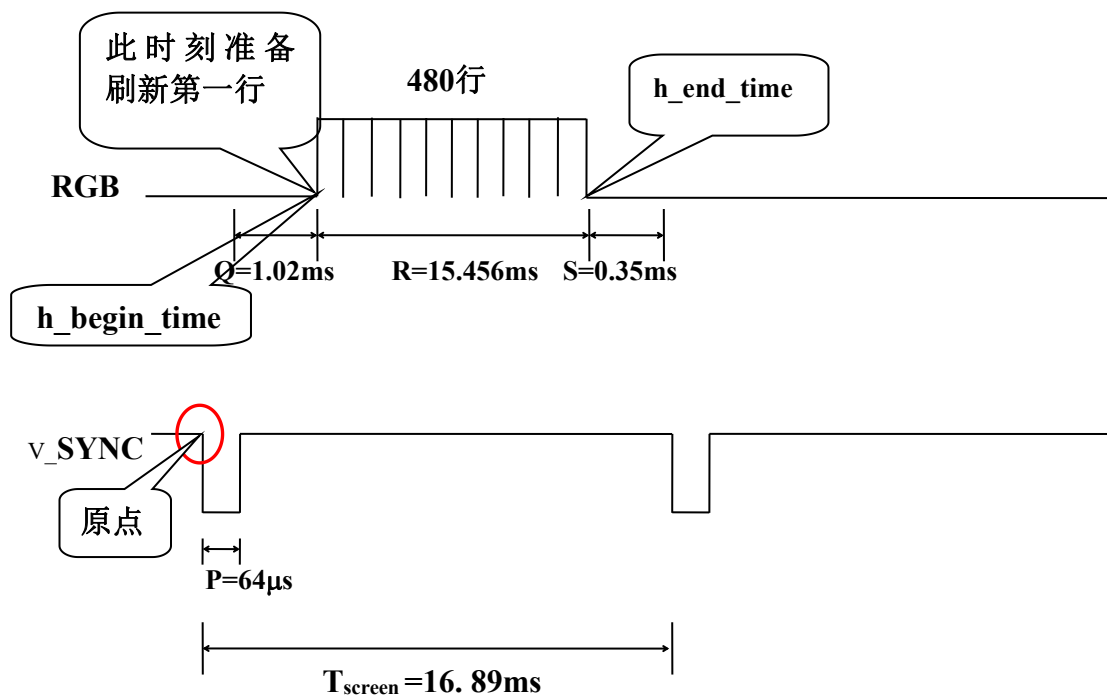


图 10 垂直刷新循环

从图十垂直刷新循环，可以知道刷新完 480 行，并完成一帧所需时间 $T_{screen} = P + Q + R + S = T_{row} \times 480 + \text{guard bands} = 15.456ms + P + Q + S = 16.89ms$ 。

根据题目要求数据显示分辨率，相移为 0.1，所以总共需要 1800 个坐标点才能满足频率要求，而 VGA 的垂直分辨率为 600 个像素点，所以需要设置翻页键来显示坐标刻度，最少能够翻 3 页。

五.测试方案与结果

5.1 测试条件与仪器

测试条件：检查多次，硬件电路必须与系统原理图完全相同，并且检查无误，硬件电路保证无虚焊。

测试仪器列表如下：

序号	名称	型号规格
1	数字存储示波器	GDS-1022
2	数字合成函数信号发生器	F20
3	数字多用表	TH1951
4	稳压源	SS
5	频率特性测试仪	NW1258

5.2 测试结果及分析

5.2.1 测试结果（数据）

*测试波形

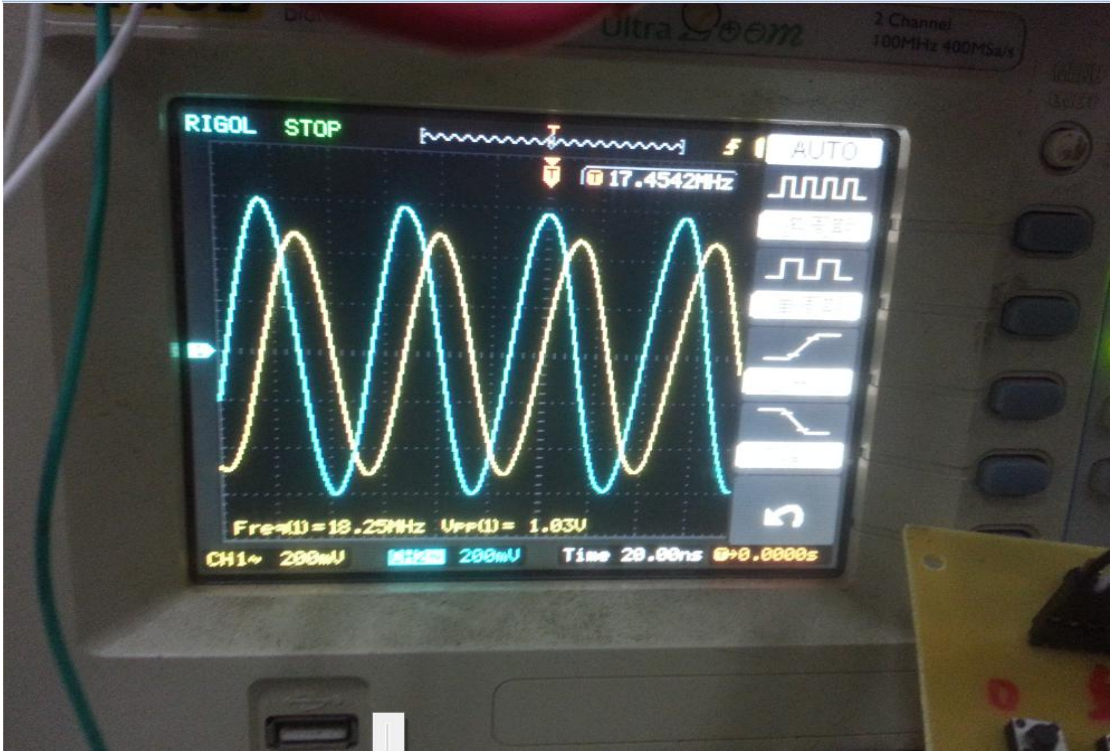


图 11

*数据率测试

预置频率	输出频率	频率误差	相位差	电压峰峰值
1MHz	1000030Hz	0.003%	2°	1.68Vpp
5MHz	5000270Hz	0.005%	2°	1.68 Vpp

10MHz	9999710	0.002%	2°	1.67 Vpp
15MHz	15000950	0.006%	2°	1.65 Vpp
20MHz	19999520	0.002%	3°	1.63 Vpp
30MHz	30000450	0.001%	3°	1.63 Vpp
40MHz	39999520	0.001	3°	1.62 Vpp

5.2.2 测试分析与结论

据题目要求，该设计完成了所要求的基本功能，达到了基本指标。并且在许多方面有一定发挥，现将所有题目要求与系统实际性能列表如下：

基本要求	完成情况
频率范围为 1MHz~40MHz，频率稳定度 ≤ 0.0001 ，最小设置单位 100KHz	实现，用按键选择输出频率，频率可设置，能以 100KHz 步进。
输出信号相位误差 $\leq 5^\circ$ ，幅度平衡误差 $\leq 5\%$ 。	实现，输出信号相位差稳定，误差在要求范围内。
信号电压的 $V_{pp} \geq 1V$ ，幅度平坦度 $\leq 5\%$ 。	实现，输出幅度稳定，满足要求。
可扫频输出，扫频范围及频率步进值可设置，最小步进值 100KHz；连续扫频输出，一次扫描时间 $\leq 2s$ 。	实现，通过键盘可任意调节扫频起始频率和截止频率，能满足步进要求，以及在规定的时间内完成。
发挥部分	
制作频率特性测试仪，输入阻抗为 50Ω ，输出阻抗 50Ω ，能够进行点频测量；幅频误差 $\leq 0.5dB$ 。	实现，被测信号进入 FPGA 后，经过计算在 VGA 液晶上显示幅频特性曲线和相频特性曲线，数据分辨率满足电压增益 0.1dB，相移 0.1°
RLC 串并联谐振电路。被测网路中心频率为 20MHz，误差绝对值 $\leq 5\%$ ，有载最大电压最大增益 $\geq -1dB$ 。	实现，
扫描测量 RLC 串联谐振电路，并显示幅频特性和相频特性曲线。	实现，相频特性曲线纵坐标为相移，幅频特性曲线纵坐标为电压增益；特性曲线的横坐标均为线性频率 (Hz)

5.3 误差分析:

测试过程中,引起系统出现误差的因素有很多,如选用的元件受温度的影响,实验原件本身存在系统误差等,下面简单罗列一下主要因素。

(1) PCB 板结构本身的限制,且整个电路的布局与走线也会引入一定的噪声和干扰,尤其在频率较高时所受的影响较大。

(2) AD9854 的基准信号源(有源晶振)不够精确,波形的微小振荡是输出和设定值之间存在误差,这是频率输出偏差的主要来源。

(3) 测试仪表数字示波器本身存在测量误差。

(4) AD 电源等纹波噪声的影响。

以上因素综合影响实验结果。1

六. 总结

本系统设计以 DIGILENT 公司生产的 NEXYS 3 为开发平台,以 Xilinx 公司提供的 Spartan-6 作主控制器的 XC6SLX16 芯片作为信息处理核心。在设计中,我们既考虑了系统的功耗,又充分发挥了系统中芯片的高性能。通过测试,系统不但完成了题目要求,而且还扩展了相应功能。经过几天不断的改进程序和电路,一点点的攻克难关,最终很好的完成了设计,在比赛过程中,特别要感谢指导老师对我们的帮助和指导。通过本次大赛的参与,我们真正体会到理论联系实际的重要性,要想完成一件优秀的作品,就需要我们平时扎实的专业基础和训练,熟练驾驭知识的能力,吃苦耐劳的品质,创新的思维以及沉着冷静的态度,同时,更需要团队成员之间的合作。此外,我们也深刻的体会到:共同协作的团队精神格外重要。我们分析问题、解决问题的能力也有了进一步的提升。由于我们自身水平有限和时间紧张等因素,本作品在设计上还存在许多值得改进和优化的地方,在以后的学习和生活中我们还需继续努力,不断学习,不断改善自己,以创造更好的成绩。

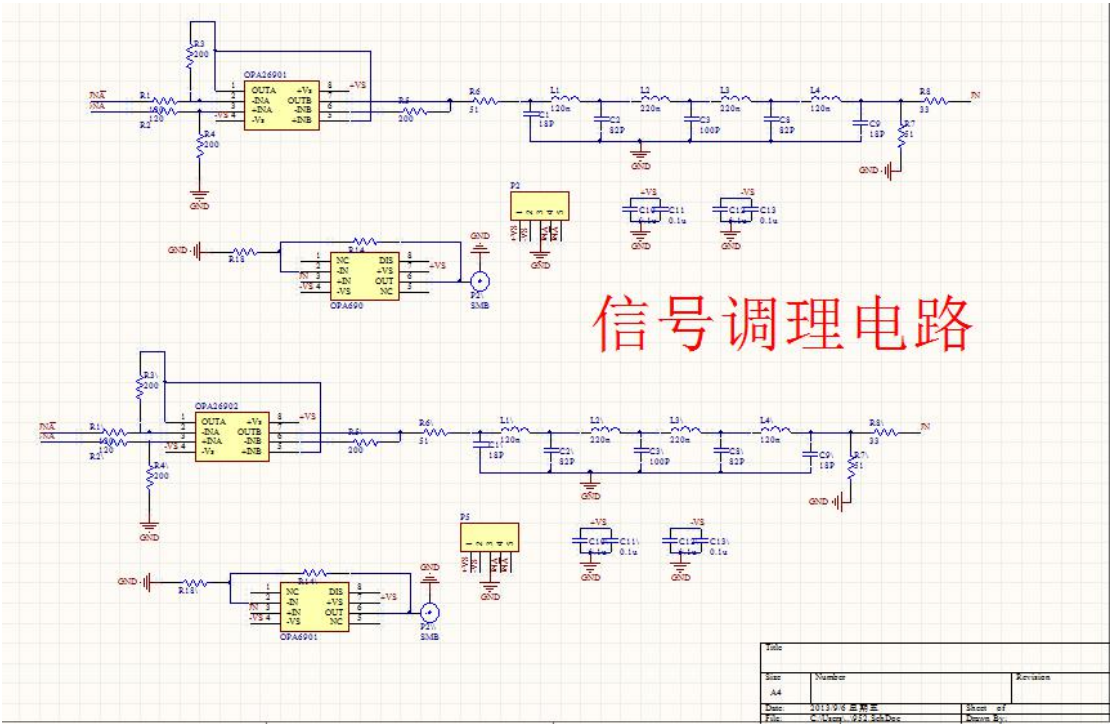
参考文献:

1. 何宾,《xilinx 可编程逻辑器件技术详解》.清华大学出版社,2010
2. 潘松,黄继业.《EDA 技术实用教程》.科学出版社,2002 年第一版

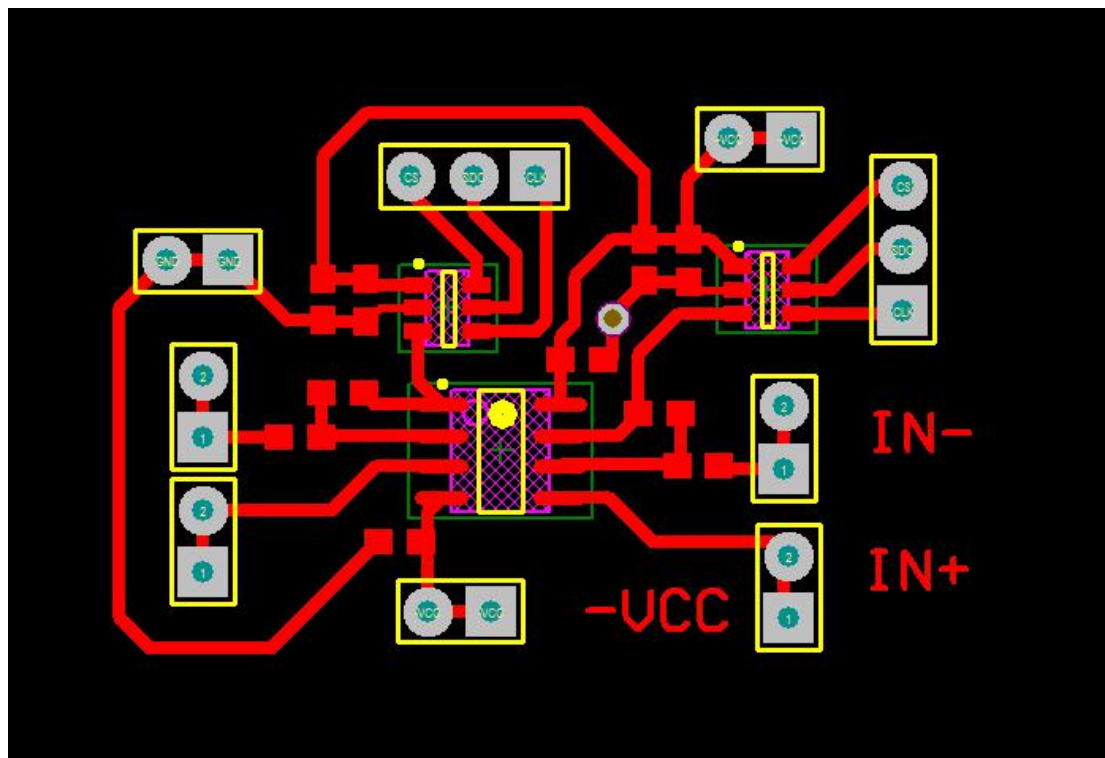
- 黄智伟.《全国大学生电子设计竞赛训练教程》. 电子工业出版社, 2005 年第 1 版
- 余孟尝.《数字电子技术基础简明教程》. 高等教育出版社, 2006 年第三版
- 夏宇闻, 黄然等.《Verilog SOPC 高级实验教程》. 北京航空航天大学出版社, 2009 年第一版
- 童诗白, 华成英.《模拟电子技术基础》. 高等教育出版社, 2009 年第四版
- 王松武.《电子创新设计与实践》. 国防工业出版社, 2005 年第一版
- 张学峰, 胡长江. 功能各异的各种任意波形发生器[J].
- John G.Proakis,Dimitris G.Manolakis著 . 张晓林译 . 数字信号处理: 原理、算法与应用 (第三版). 北京: 电子工业出版社, 2004

附录.

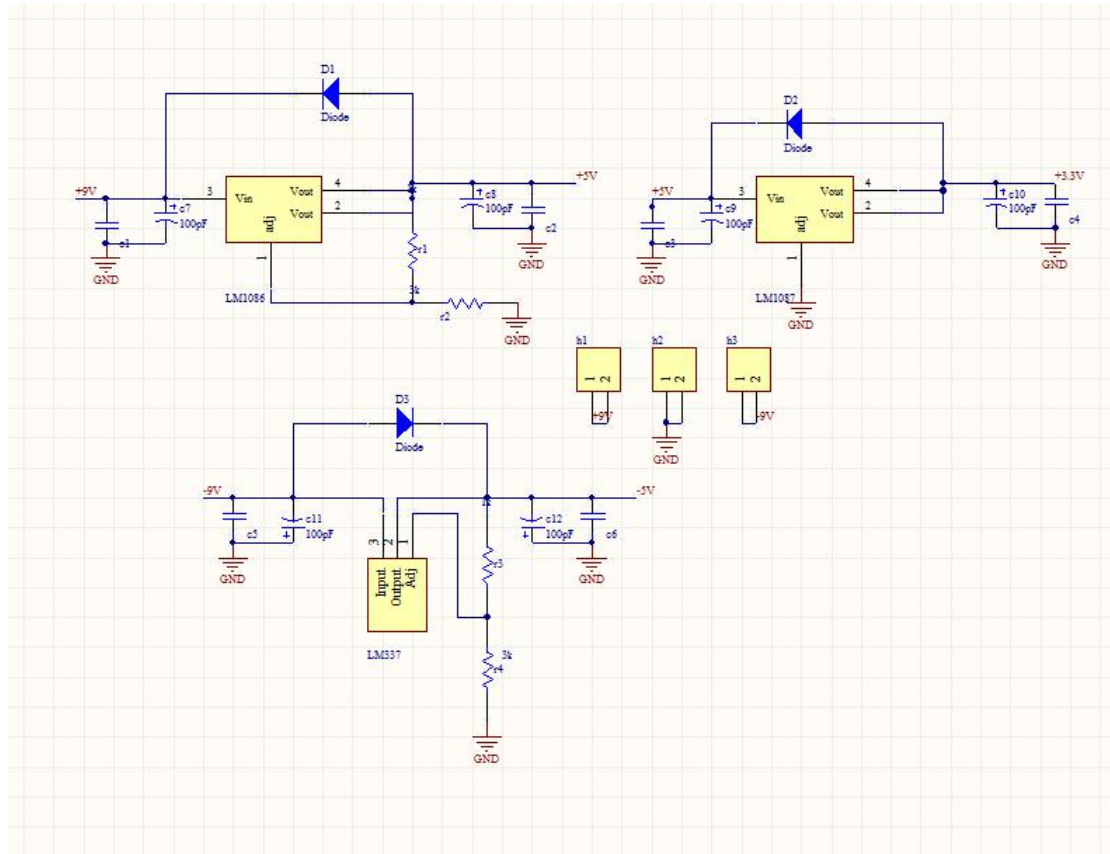
附录 1



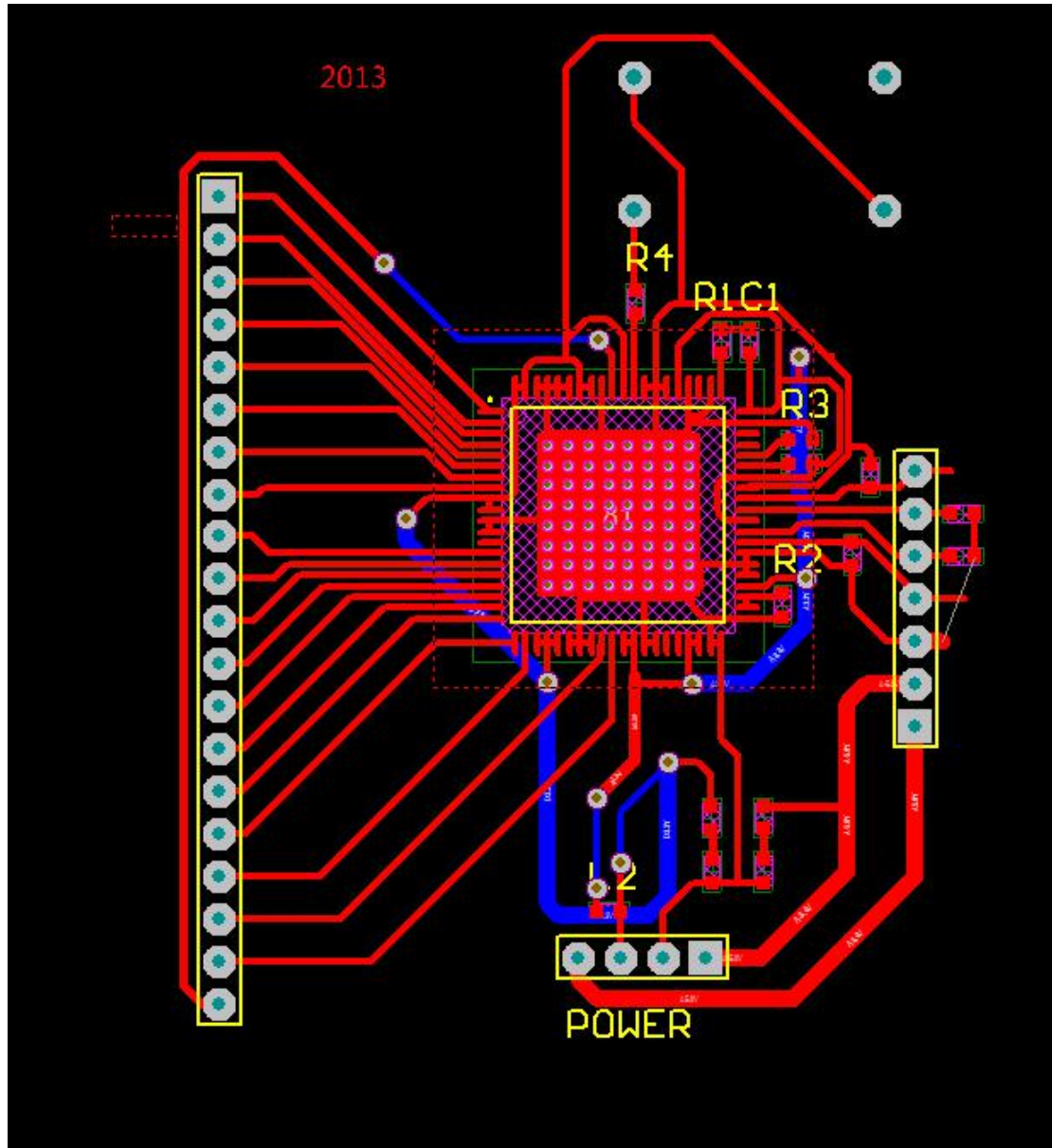
附录 2. ADS7886 PCB 图



附录 3. 电源稳压模块



附录 4.AD9854PCB 图



附录 5. 源程序

```

module ad_ctrl(
//input
    clk,
    rst,
//output
    //
    addr,
    data,
    //
    rd_en,

```

```

        wr_en,
        //
        udclk,
        master_reset

    );
    ///Specification of Ports
    input clk;
    input rst;

    output [5:0] addr;
    output [7:0] data;
    //
    output rd_en;
    output wr_en;
    //
    output udclk;
    output master_reset;
    //

    ///Declaration of Variable

    parameter INIT=7'D0;
    parameter READY=7'D1;
    parameter IDLE=7'D3;
    //
    parameter WR_CTRL_0_1=7'D4;
    parameter WR_CTRL_0_2=7'D5;
    parameter WR_CTRL_0_3=7'D6;

    parameter WR_CTRL_1_1=7'D7;
    parameter WR_CTRL_1_2=7'D8;
    parameter WR_CTRL_1_3=7'D9;

    parameter WR_CTRL_2_1=7'D10;
    parameter WR_CTRL_2_2=7'D11;
    parameter WR_CTRL_2_3=7'D12;

    parameter WR_CTRL_3_1=7'D13;
    parameter WR_CTRL_3_2=7'D14;
    parameter WR_CTRL_3_3=7'D15;

    parameter WR_CTRL_4_1=7'D16;
    parameter WR_CTRL_4_2=7'D17;

```


//

parameter WR_FTW1_0_1=7'D20;
parameter WR_FTW1_0_2=7'D21;
parameter WR_FTW1_0_3=7'D22;

parameter WR_FTW1_1_1=7'D23;
parameter WR_FTW1_1_2=7'D24;
parameter WR_FTW1_1_3=7'D25;

parameter WR_FTW1_2_1=7'D26;
parameter WR_FTW1_2_2=7'D27;
parameter WR_FTW1_2_3=7'D28;

parameter WR_FTW1_3_1=7'D29;
parameter WR_FTW1_3_2=7'D30;
parameter WR_FTW1_3_3=7'D31;

parameter WR_FTW1_4_1=7'D32;
parameter WR_FTW1_4_2=7'D33;
parameter WR_FTW1_4_3=7'D34;

parameter WR_FTW1_5_1=7'D35;
parameter WR_FTW1_5_2=7'D36;
parameter WR_FTW1_5_3=7'D37;

//

parameter WR_G_I_0_1=7'D40;
parameter WR_G_I_0_2=7'D41;
parameter WR_G_I_0_3=7'D42;
parameter WR_G_I_1_1=7'D43;
parameter WR_G_I_1_2=7'D44;
parameter WR_G_I_1_3=7'D45;

parameter WR_G_Q_0_1=7'D50;
parameter WR_G_Q_0_2=7'D51;
parameter WR_G_Q_0_3=7'D52;
parameter WR_G_Q_1_1=7'D53;
parameter WR_G_Q_1_2=7'D54;
parameter WR_G_Q_1_3=7'D55;

parameter WR_G_Q_2_1=7'D56;
parameter WR_G_Q_2_2=7'D57;

/////

```
reg [6:0] st;
reg [7:0] cnt_rst;
reg udclk;
reg master_reset;
reg wr_en,rd_en;
reg [5:0] addr;
reg [7:0] data;
////Implementation
always @(posedge clk or negedge rst)
begin
    if(!rst)
    begin
        st<=INIT;
        cnt_rst<=8'b0000_0000;
        udclk<=1'b0;
        wr_en<=1'b0;
        rd_en<=1'b0;
    end
    else
    case(st)
        INIT:
        begin
            st<=&cnt_rst[4:0] ? READY : INIT;
            master_reset<=1'b1;
            cnt_rst<=cnt_rst+1'b1;
            //addr<=6'h3f;
            //data<=8'b1111_1111;
            wr_en<=1'b1;
            rd_en<=1'b1;
            udclk<=1'b0;
        end
        READY:
        begin
            st<=&cnt_rst ? WR_CTRL_0_1 : READY;
            master_reset<=1'b0;
            cnt_rst<=cnt_rst+1'b1;
        end
    end
end
/
```