

一种基于 FPGA 的简易数字信号传输性能分析仪的设计

Design of a Simple Digital Signal Transmission Performance Analyzer Based on FPGA

谢亮^{1,2}

XieLiang

(1.南昌大学,江西 南昌 330031 2.江西财经大学,江西 南昌 330013)

(1.Nanchang University, Jiangxi Nanchang 330031; 2.Jiangxi University of Finance and Economics, Jiangxi Nanchang 330013)

摘要 本文介绍了一种基于 FPGA 的简易数字信号传输性能分析仪的设计,实现数字信号传输性能测试。利用 FPGA 逻辑功能设计两个 m 序列发生器,生成数字信号和伪随机信号,并用曼彻斯特码编码输出。设计一个低通滤波器,和伪随机信号发生器一起用来模拟传输信道,并利用 FPGA 内置的数字锁相环提取同步时钟信号。分析仪采用 FPGA 的 NIOS II 处理器作为主控,交互接口友好。最后信号和同步信号通过示波器后,就可以观察到眼图,从而实现数字信号传输性能的评价。

关键词 :FPGA ;信号传输性能 ;m 序列 ;曼彻斯特码编码。

中图分类号 :TN91

文献标识码 :A

文章编号 :1671-4792(2013)06-0074-04

Abstract :This paper introduces the design of a simple digital signal transmission performance analyzer based on FPGA, which can be used for the test of digital signal transmission performance. Two m sequences designed in the analyzer base on FPGA logic elements, which produces digital signal and pseudo random signal respectively, what is more, the Manchester coding output is realized. The channel is simulated by a low-pass filter and the pseudo signal generator, the synchronization clock signal is extracted through the Phase-Locked Loop built-in FPGA. NIOS II processor built-in FPGA used for the master controller of the analyzer, which interface is friendly. Finally the signals are accessed into oscilloscope before the eye chart can be observed, which transmission performance estimate can be realized.

Keywords :FPGA ;Signal Transmission Performance ;m Sequence ;Manchester Coding

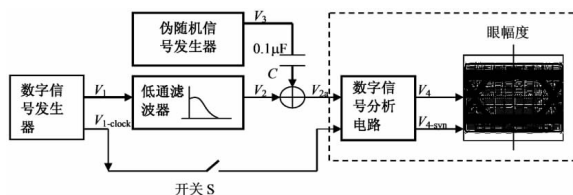
0 引言

为了适应数字通信技术的发展,现实的应用对数字通信技术和数字信号处理技术仪器的多样性也提出了更多的要求。在数字基带信号传输中,从理论上讲,在确定特性信道条件下,只要针对性地设计数字通信系统的传输特性,就有可能有效地消除码间串扰。但在实际的数字基带传输系统中,信道噪声的

不确定和滤波器设计的误差等因素却导致无法实现理想的传输特性。同时,在码间串扰和噪声的联合作用下,数字信号的传输的性能分析也变得非常困难。本文设计的一种基于 FPGA 的简易数字信号传输性能分析仪,用于测试、分析和评价数字基带信号经过模拟通道传输后的性能。

1 系统组成

设计的简易数字信号传输性能分析仪,可以实现数字信号传输性能测试,同时通过设计一个低通滤波器和一个伪随机信号发生器,来模拟传输信道。简易数字信号传输性能分析仪组成框图如图一所示。



图一 简易数字信号传输性能分析仪组成框图

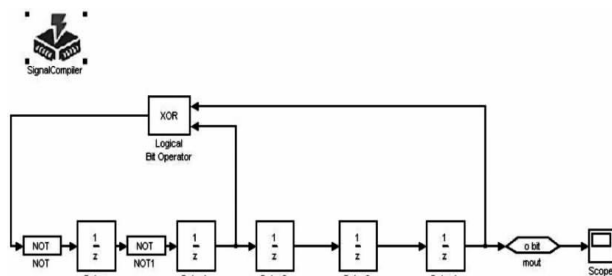
图一中, V_1 和 $V_{1-clock}$ 是数字信号发生器产生的数字信号和对应的时钟信号; V_2 是经过滤波器滤波后的输出信号; V_3 是伪随机信号发生器产生的伪随机信号; V_{2a} 是 V_2 信号与经过电容 C 耦合的 V_3 信号之和,并且作为数字信号分析电路的输入信号; V_4 和 V_{4syn} 是数字信号分析电路输出的信号和提取的同步时钟信号。

整个系统的数字部分采用FPGA(Altera公司的EP3C25Q240)来实现,包括数字信号发生器、伪随机信号发生器、数字信号分析电路,以及LCD显示、按键设置等人机交互控制电路。其中数字信号发生器、伪随机信号发生器和数字信号分析电路,采用逻辑电路的形式实现;LCD显示和按键设置等人机交互部分,采用FPGA的NIOIS II处理器实现控制。

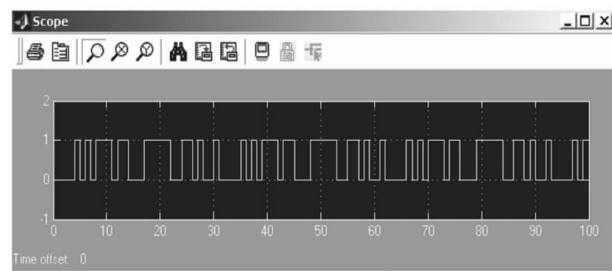
2 信号发生器的设计

在设计中,数字信号发生器和伪随机信号发生器均采用m序列来实现。m序列(即最长线性反

馈移寄存器序列)是最常见和最常用的一种伪随机序列,m序列可以由线性反馈寄存器(Linear Feedback Shift Registers,LFSR)来产生。如图二所示的是在软件DSP Builder下,设计的以特征多项式 x^5+x^2+1 构成的m序列发生器,DSP Builder可以很方便的转换成对应的VHDL等硬件描述语言,图三是DSP Builder的m序列发生器模型对应的Simulink仿真结果。

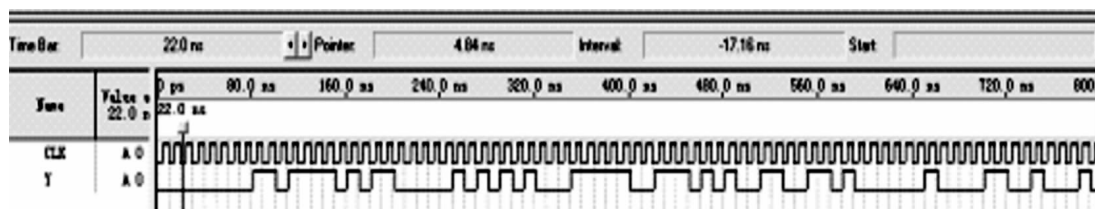


图二 m序列发生器 DSP Builder 模型

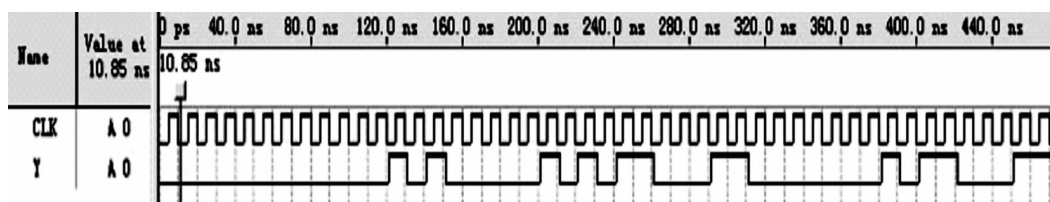


图三 m序列发生器 Simulink 仿真结果

本设计选择数字信号 V_1 为 $f_1(x)=1+x^2+x^3+x^4+x^8$ 的m序列,伪随机信号 V_3 为 $f_2(x)=1+x+x^4+x^5+x^{12}$ 的m序列。经过DSP Builder转换成VHDL语言,在Quartus II中输入完成后,并编译通过,进行时序仿真即可观察到伪随机序列(所需数字信号)和伪随机噪声(所需伪随机信号)的波形图,分别如图四和图五所示。



图四 伪随机序列仿真图

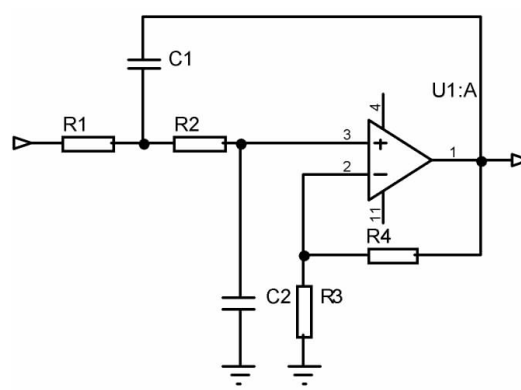


图五 伪随机噪声仿真图

为了适合在实际的信道中传输,设计需要对数字信号和伪随机信号进行编码。曼彻斯特码,又称数字双相码,每个曼彻斯特码元中心点都会有电平跳变,含有丰富的位同步信息,并且不含直流分量,编码原理也非常简单,所以本设计对数字信号和伪随机信号采用曼彻斯特码编码。

3 模拟信道的设计

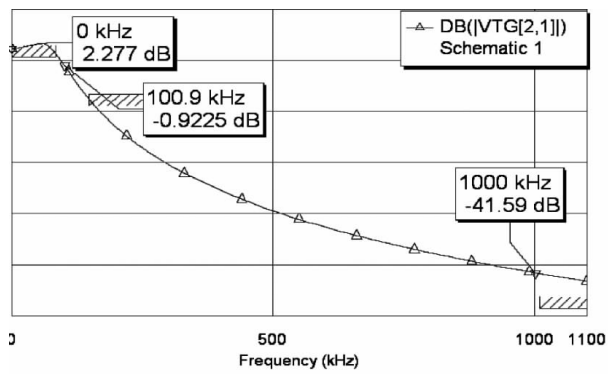
采用低通滤波器模拟传输信道的幅频特性。本设计采用压控电压源型二阶有源滤波器,滤波器采用有源器件集成运放和元件 R、C 组成。相比无源滤波器而言,具有一系列优点,电路中没有大的电感和大的电容元件,体积小、重量轻。而且集成运放的开环增益和输入阻抗高、输出阻抗低,具有电压放大作用和一定的负载能力。二阶有源低通滤波器的电路图如图六所示。



图六 二阶有源低通滤波器原理图

图七是 MWOFFICE 仿真的结果。在 100KHZ 时,滤波器衰减大概降了 3dB,在十倍频程时,其衰减大概为 40dB。

为了模拟实际信道中的信号和噪声,在系统设计中,需要用到集成运算放大器组成的加法器电路,将 FPGA 产生的两路不同信号结合起来。另外设计中要求伪随机信号发生器输出信号 V_3 幅度可调,以



图七 MWOFFICE 下的仿真图

模拟噪声强度,可以采用集成运算放大器组成的幅度可调电路。

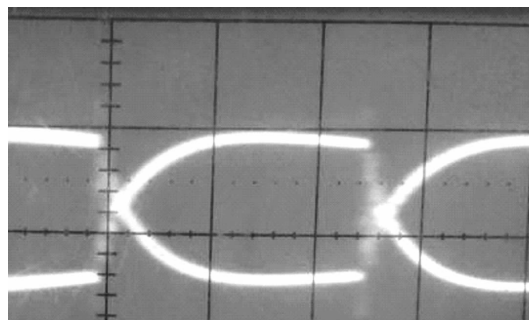
4 信号分析电路的设计

在实际的信道传输中,不会传输同步时钟,即图一开关 S 断开,那么在接收端就要设法提取位同步时钟信号。数字信号和伪随机信号经过曼彻斯特编码后,每个曼彻斯特码元,包含了位同步信息,所以就可以从码元中提取位同步时钟信号。针对曼彻斯特码的特点,本设计数字信号分析电路部分,采用 FPGA 内置数字锁相环的方法,提取位同步时钟信号。

5 眼图观测及结论

使用示波器观察眼图时,数字信号分析电路输出的信号 V_4 和提取的同步信号 V_{4syn} , 分别接示波器的 Y 通道和 X 通道。图八为本设计眼图测试效果图。

系统电路板的测试数据结果表明:数字信号 m



图八 眼图测试

序列码元速率在 10~100KHZ 范围内是步进可调的,输出幅值为 100mv~TTL,频率相对误差小于 0.5%,测得低通滤波器在 10 倍频程衰减大于 40dB,截止频率的相对误差小于 10%,通带增益在 0.2~4 范围内可调;测得伪随机信号序列的频率误差小于 0.5%,达到了设计的要求。

参考文献

- [1]樊昌信,曹丽娜.通信原理(第6版)[M].北京:国防工业出版社,2006.
- [2]Altera Corporation. Quartus II Version 9.0 Handbook[M].Altera,2009.
- [3]Altera Corporation. DSP Builder Reference Manual[M].Altera,2009.

作者简介

谢亮(1978—),男,硕士,江西财经大学讲师,主要从事 EDA/SOPC、嵌入式系统等方面的研究。