

数字通信系统中位同步信号提取的 FPGA实现

张礼勇, 楚鹤

(哈尔滨理工大学 测控技术与通信工程学院, 黑龙江 哈尔滨 150040)

摘要: 同步是通信系统中非常重要的一个实际问题, 是保证整个通信系统进行有序而可靠工作的技术支撑. 在数字通信系统中除了载波同步外, 还需要实现位同步. 本文设计了一种在数字通信系统中的数字锁相法位同步提取方案, 详述了位同步提取原理及其各组成功能模块的 Verilog HDL语言实现, 最后进行了仿真验证, 将位同步提取电路集成在一片 FPGA芯片上, 具有体积小、功耗低、可靠性高的特点.

关键词: 数字通信系统; 位同步; FPGA

中图分类号: TN919.3 **文献标识码:** A **文章编号:** 1007-2683(2008)06-0094-04

The Realization of Extraction of Bit Synchronization Signal with FPGA in Digital Communication System

ZHANG Li-Yong CHU He

(School of Measurement Control Technology and Communication Engineering, Harbin University of Science and Technology, Harbin 150040, China)

Abstract: Synchronization is a very important practical problem in the communication system, it is also the tech support to guarantee the whole communication system working orderly and dependably. Except carrier wave synchronization, it also needs bit synchronization in digital communication system. This article has designed one kind of digital Phase-locked bit synchronous extraction project in the digital communication, introduced the principle of bit synchronization and Verilog language realization of each composition function module in detail and performed simulation lastly. It has the merits of small size, low power consumption, high reliability with integrated the extraction of bit synchronization circuit on a single FPGA chip.

Key words: digital communication system; bit synchronization; FPGA

1 引言

在数字通信系统中, 任何消息都是通过一连串码元序列传送的, 所以接收时需要知道每个码元的起止时刻, 以便在恰当的時刻取样判决. 这就要求接收端必须提供一个位定时脉冲序列, 该序列的重复频率与码元速率相同, 相位与最佳取样判决时刻一

致. 这种提取定时脉冲序列的过程称为位同步^[1]. 同步性能的好坏直接影响通信系统的性能, 出现同步误差或失去同步就会导致通信系统性能下降或通信中断^[2]. 随着可编程逻辑器件 FPGA的广泛应用, 数字系统的设计变得更加的方便和灵活. 因此本设计决定采用 Verilog HDL语言编程实现, 将位同步提取电路集成在一片 FPGA芯片上, 具有体积小, 功耗低, 可靠性高等特点, 提高了数字系统的可靠性. 由

收稿日期: 2008-11-06

基金项目: 国家自然科学基金 (60372104)

作者简介: 张礼勇 (1939—), 男, 哈尔滨理工大学教授, 博士生导师.

于 FPGA 是可编成逻辑器件，因此便于系统的维护和及时升级。

2 位同步信号的提取方法

实现位同步的方法有插入导频法和直接法。插入导频法是在基带信号频谱的零点处插入所需的位定时导频信号；直接法则是在发端不专门发送导频信号，而直接从接收的数字信号中提取位同步信号。直接提取位同步的方法又分滤波法和锁相环法。锁相法通常又分为两类：一类是用环路中误差信号连续地调整位同步信号的相位，属于模拟锁相法；另有一类是数字锁相环位同步法，采用的是高稳定度的振荡器（信号钟），用从相位比较器获得的与同步误差成比例的误差信号来调整输出的同步信号。与传统的模拟锁相法相比，数字锁相环解决了模拟锁相环的直流零点漂移、器件饱和及易受电源和环境温度变化影响等缺点，而且具有可靠性高、体积小、价格低，易于集成等优点，已成为锁相技术发展的方向。因此本文采用数字锁相环法提取位同步信号。

3 锁相环法提取位同步信号的原理

位同步锁相法的基本原理与载波同步类似，在接收端利用相位比较器比较接收码元和本地产生的位同步信号的相位，若两者相位不一致（超前或滞后），相位比较器则会产生超前或滞后的误差信号去调整位同步信号的相位，反复调整，直至获得准确的位同步信号为止^[3]。原理图如图 1 所示。

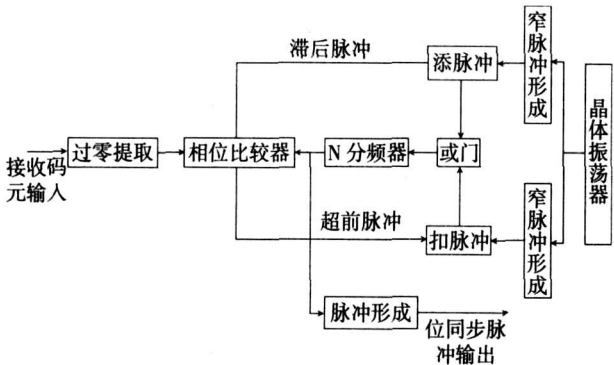


图 1 数字锁相法位同步提取的原理图

数字锁相法提取位同步电路由高稳定度振荡器（晶振）、分频器、相位比较器和脉冲加减控制器组成。其中，脉冲加减控制器包括图中的添脉冲、扣脉冲和“或”门。高稳定度晶体振荡器产生的信号经整

形电路变成两路相位相差 180° 的周期性脉冲，然后经控制器再送入分频器，输出位同步脉冲序列。若接收码元的速率为 F (波特)，则要求位同步脉冲的重复速率也为 F (Hz)。这里，晶振的振荡频率设计在 $2nF$ (Hz)，由晶振输出经整形得到的窄脉冲的频率为 nF (Hz)，经添加或扣除脉冲和或门并 n 次分频后，可得重复频率为 F (Hz) 的位同步信号。如果接收端晶振输出经 n 次分频后，不能准确地和接收到的码元同频同相，这时就要根据相位比较器输出的误差信号，通过控制器对分频器进行调整。由相位比较器输出的加、减脉冲控制信号来相应地增加或扣除脉冲，即相应的加快或者延迟了分频器（实际上是一个计数器，记满 n 个脉冲后电平翻转）记满 n 个脉冲的时间，从而调整了位同步输出信号的相位。

4 锁相环法提取位同步信号的 Verilog 实现

4.1 过零信号的提取

在数字通信电路中，过零信号的提取即为信号跳变沿的提取。跳变沿提取电路的作用是当产生一个边沿脉冲时，它直接反映了输入信号的真实相位。以它为基础，就可以有效地提取出与输入信号同步的时钟。时钟同步的原理就是利用这个边沿脉冲清零计数器，从而输出一个反映输入码元相位的高精度时钟源周期的短脉冲^[4]。

由于输入码元是不归零的随机二进制序列，它本身不含有同步信息，所以首先要提取位同步的基准信号。接收码元的相位提取可以从基带信号的过零点提取（它代表码元的起始相位）。对于数字信号，过零点即为“0”到“1”或“1”到“0”的跳变，因此可用 D 触发器和异或门来提取过零点信息。

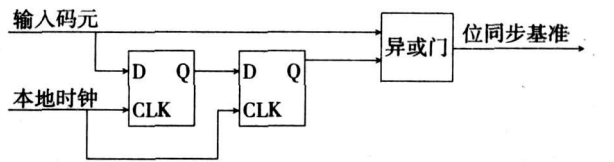


图 2 码元跳变沿脉冲产生电路

其 Verilog 代码如下：

```
always@ (posedge clk)
begin
    temp1 <= c1;
    temp2 <= temp1;
end
assign edge_detect = temp2 ^ c1;
```

从图 3 可以看出, 在输入码元的每个跳变沿都输出了一个短脉冲, 该信号将作为计数器的清零信号, 来控制分频器的计数.

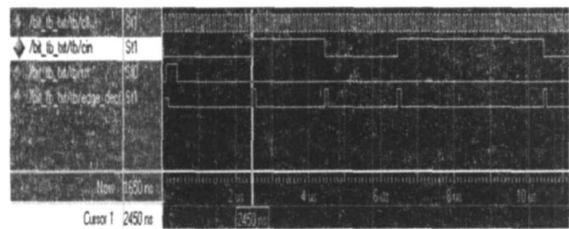


图 3 跳变沿提取的 Modelsim 仿真图

4.2 添加脉冲和扣除脉冲的产生

相位比较器则是对输出位同步信号的相位与码元, 与经过零提取后的信号进行比较, 判断出位同步时钟的相位是超前还是滞后, 如果相位滞后则发出一个加脉冲信号, 使同步时钟相位向前调整 $1/n$ 周期 ($360^\circ/n$), 反之则发出一个减脉冲信号, 使同步时钟相位向后调整 $1/n$ 周期. 由于加到添脉冲的窄脉冲信号和加到扣脉冲的信号的相位相差 180° , 即这两路晶振信号脉冲在时间上是错开的, 因此当添加一个脉冲到或门时, 相当于在输出的晶振信号中间插入了一个窄脉冲, 也就使分频器输入端添加了一个脉冲, 这样分频器的输出相位就提前了 $1/n$ 周期, 若相位超前则相应的扣除一个脉冲, 使得相位向后调整 $1/n$ 周期, 整个数字锁相环路按照上述方式反复调整本地时钟相位, 从而最终实现位同步.

假设码元速率为 F_0 , 本地振荡器的频率为 f , 分频计数器的初值为 n 并有 $f = 2nF_0$, 则两路窄脉冲的频率为 nF_0 .

两路相位相差 180° 度的窄脉冲的 Verilog 实现如下:

```
always@ (posedge clk)
    ck1 = ~ ck1;
always@ (negedge clk)
    ck2 = ~ ck2;
assign ck1 = ck1 & ck2;
assign ck2 = (~ ck1) & (~ ck2);
```

分频器实际上是一个可控计数器, 其分频系数与提取的时钟频率及本地高频晶振的频率有关. 分频器的实现为:

```
always@ (posedge clk)
    if (reset)
        begin
            count = 0;
```

```
fenpin_out <= 0;
end
else
    begin
        if (count == N-1)
            begin
                count <= 0;
                fenpin_out <= ~ fenpin_out;
            end
        else
            count <= count + 1;
        end
```

加脉冲和减脉冲的 Verilog 实现如下:

```
assign addpulse = addclk;
assign subpulse = (~ sub) & clk2;
```

4.3 顶层模块的实现及系统实现指标

在顶层模块设计中, 对各个子模块进行例化, 以便构成一个完整的系统. 其例化的部分程序为

```
zero_dect u1 ( clk( clk),
    . cin( cin), . pul_dect( clk) );
pulse u2 ( clk( clk), . add( add),
    . sub( sub), . out_clk( lo_clk) );
jianxiang u3 ( p_clk( lo_clk),
    . ck( ck), . p_out( out), . edge_flip( clk), . k( sub), . t( add) );
fenpin u4 ( clk_in( p_clk),
    . reset( rst), . fenpin_out( out) );
```

通过 Quartus II 综合仿真后, 得到如下的顶层设计 RTL 结构图, 如图 5 所示.

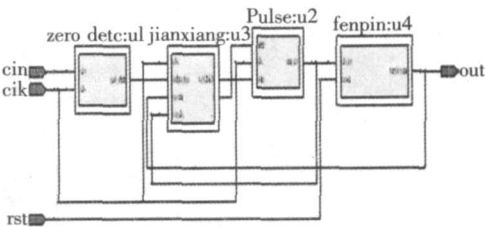


图 5 顶层设计的 RTL 结构图

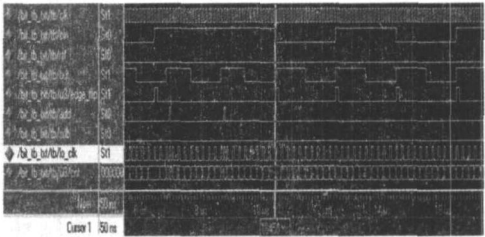


图 6 位同步信号提取仿真结果图

从图 6 中可以看出, 开始输出的位同步信号滞后, 相位比较器输出加脉冲控制信号, 使同步输出时钟的相位向前逐渐调整, 最后达到相位锁定, 即实现了时钟同步。

本设计应用于低压电力线载波通信模块中, 要求同步建立的时间小于 0.002 s , 相位误差小于 0.07° 。在设计中, FPGA 的高频时钟采用 30.72 MHz , 两路窄脉冲的频率为 15.36 MHz , 要求提取的位同步信号的频率, 即码元速率为 120 kHz , 因此分频因子 $n=128$ 。用数字锁相环法提取位同步信号时, 相位调整误差为: $\phi=2\pi/n=0.049^\circ$

失步后需要重新建立同步所需的最大调整次数为 $n/2$ 次, 由于数字信息是一个随机的脉冲序列, 可近似认为两相邻码元中出现 01、10、11、00 的概率相等, 其中有过零点的情况占一半。而数字锁相法都是从数据过零点中提取标准脉冲的, 因此平均来说, 每 $2T_b$ 秒可调整一次相位, 故同步建立时间为

$$t=2T_b \times (n/2) = nT_b$$

因此本设计中的同步建立时间为 0.001 s , 对于 120 kHz 的信号来讲, 这个建立时间可以满足要求。

5 结 语

本设计采用 Verilog HDL 语言编程在 Altera 公司的 Cyclone I 系列 FPGA 芯片 EP2K10K10C8 上进行了实现。在 Modelsim 仿真软件上进行功能仿真和后仿真验证, 结果表明满足系统要求。经验证该位同步提取的设计方案能够快速提取位同步时钟, 稳定性好。且利用 FPGA 进行位同步信号的提取设计, 具有可移植性好、体积小、低功耗、可靠性高、方便维护和升级等优点, 增强了系统的可靠性和稳定性。

参 考 文 献:

- [1] 樊昌信. 通信原理[M]. 第五版. 北京: 国防工业出版社, 2001
- [2] 高明亮. 对通信中同步技术的探讨[J]. 西北民族大学学报, 2007, 28(66): 45—47
- [3] 王兰勋, 荣民. 一种快速位同步时钟提取方案及实现[J]. 无线电工程, 2003, 33(10): 59—61
- [4] 毕利学. 基于 FPGA 的位同步信号提取[J]. 现代电子技术, 2006, 29: 121—123.

(编辑: 王 萍)

(上接第 93 页)

能力强。国内小功率半导体激光器的稳定度在 0.5% 左右, 本系统的稳定度为 0.12% 。

进一步改进电路参数, 优化电路结构, 提高 A/D 的精确度, 稳定度会进一步提高。

参 考 文 献:

- [1] 肖慧荣, 邹文栋, 伏燕军, 等. 半导体激光器自动控制系统设计[J]. 应用激光, 2004, 24(3): 165—168
- [2] 李适民, 黄维玲. 激光器件原理与设计[M]. 北京: 国防工业

出版社, 2005: 354—359.

- [3] 王 熙, 张建江, 杨保平, 等. 半导体激光器稳功率电路设计[J]. 黑龙江八一农垦大学学报, 2001, 13(2): 49—53
- [4] 魏小龙. MSP430 系列单片机接口技术及系统设计实例[M]. 北京: 北京航空航天大学出版, 2002
- [5] 孙丽飞, 田小建, 刘 鹏, 等. 基于半导体制冷器的高精度 PWM 功率驱动器[J]. 光电子·激光, 2004, 15(9): 1026—1030

(编辑: 王 萍)