

# 高精度中频数字鉴相器在FPGA上的实现

刘晓庆<sup>1</sup> 刘 波<sup>1</sup> 马新朋<sup>2</sup>

1 (中国科学院上海应用物理研究所 上海 201800)

2 (中国科学院高能物理研究所 北京 100049)

**摘要** 介绍了一种高精度中频数字鉴相器的鉴相原理, 以及在设计过程中以数字滤波器为主的参数选择方法, 并且将其在 FPGA 上硬件实现。该鉴相器采用数字 I/Q 技术, 鉴相精度达到  $0.029^\circ$ , 利用该高精度中频数字鉴相器对 3.71875 MHz 中频信号进行鉴相, 实际鉴相结果为: 绝对相位鉴相结果好于  $0.05^\circ$ , 均方根值为  $0.0076^\circ$ ; 相对相位鉴相结果好于  $0.1^\circ$ , 均方根值为  $0.0287^\circ$ 。

**关键词** 数字鉴相器, 数字滤波器, 数字 I/Q, FPGA

**中图分类号** TN911.8

近几年来, 美国的 SLAC、德国的 DESY、意大利的 ELETTRA 和中国科学院上海应用物理所等相继开展了基于电子直线加速器的短波长自由电子激光(FEL)的研究工作。FEL 拥有强相干、高亮度、超短脉冲、波长连续可调等特性, 对科技发展具有重大的价值<sup>[1,2]</sup>; 但 FEL 装置包含大量子系统, 面临着系统集成和调试的挑战, 须确保各子系统间飞秒量级的定时和同步, 激光(包括种子激光、光阴极电子枪驱动激光和实验站用泵浦激光等)、电子束流与 RF 加速电场之间的高精度定时和同步对系统的性能起着至关重要的作用<sup>[3,4]</sup>。

FEL 装置的同步定时系统的实现方式有光学法、电子学法和光学电子学结合法。例如, DESY 的 FLASH 装置和 ELETTRA 的 FERMI 装置采用光学法, SLAC 的 LCLS 装置采用了基于中频数字鉴相的电子学法, 锁相稳定度达  $0.07^\circ$ 。FEL 装置的同步定时系统中, 待同步信号与参考信号相位差作为反馈控制环路的核心控制信号, 得准确可靠地测量。而在基于电子学的同步定时系统中, 通常对 GHz

量级的待同步信号与参考信号下变频为中频信号后再做处理。传统的模拟鉴相器中的模拟器件会引入大量的误差, 其来源包括直流偏置、阻抗匹配、传输损耗等<sup>[5]</sup>。数字鉴相器可有效地避免这些误差, 故鉴相准确度更高。

本文介绍了一种在 FPGA(Field Programmable Gate Array)上实现的高精度中频数字鉴相器, 该数字鉴相器采用数字 I/Q 技术, 可对一路中频信号进行绝对相位鉴相, 或者对两路中频信号进行相对相位鉴相, 该数字鉴相器的鉴相结果稳定在  $0.1^\circ$  以下, 鉴相器精度达  $0.029^\circ$ , 鉴相结果满足飞秒同步定时系统的精度要求。

## 1 高精度中频数字鉴相器原理及参数设置

### 1.1 高精度中频数字鉴相器原理

图 1 为基于数字 I/Q 技术的中频数字鉴相器原理框图。

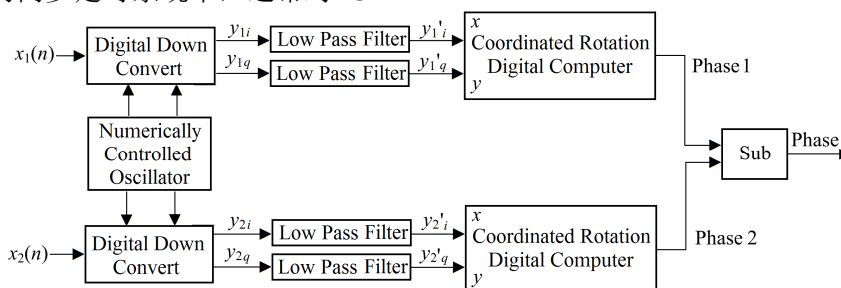


图 1 基于数字 I/Q 技术的中频数字鉴相器原理框图

Fig.1 Schematics of intermediate-frequency digital phase detector based on digital I/Q technology .

第一作者: 刘晓庆, 女, 1987 年 8 月生, 2012 年于上海应用物理研究所获硕士学位, 主要研究方向为自由电子激光同步定时系统

通讯作者: 刘 波, liubo@sinap.ac.cn

收稿日期: 2012-02-15, 修回日期: 2012-03-20

图中,  $f_0$  为输入信号频率,  $t_{\text{clk}}$  为模数转换器(ADC)采样间隔时间,  $A_1$ 、 $A_2$  为信号幅度,  $x_1(n)$  和  $x_2(n)$  是待鉴相的两路中频模拟信号经高速 ADC 得到的数字信号:

$$x_1(n) = A_1 \sin[2\pi f_0 t_{\text{clk}} n + \theta_1(n)] \quad (1)$$

$$x_2(n) = A_2 \sin[2\pi f_0 t_{\text{clk}} n + \theta_2(n)] \quad (2)$$

NCO(Numerically Controlled Oscillator)输出两路正交本振信号, 频率为  $f_0$ , 初相为  $\varphi_0$ , 本振信号可表示为  $x_{\text{lo}}(n) = e^{j(2\pi f_0 t_{\text{clk}} n + \varphi_0)}$ 。将两路待鉴相信号在 Digital Down Convert 中分别与正交本振信号相乘, 再经低通滤波器(Low Pass Filter, LPF)滤除高频成分后可得基带信号<sup>[6]</sup>:

$$y_{1i}'(n) = A_1 \cos[\theta_1(n) - \varphi_0] / 2 \quad (3)$$

$$y_{1q}'(n) = A_1 \sin[\theta_1(n) - \varphi_0] / 2 \quad (4)$$

$$y_{2i}'(n) = A_2 \cos[\theta_2(n) - \varphi_0] / 2 \quad (5)$$

$$y_{2q}'(n) = A_2 \sin[\theta_2(n) - \varphi_0] / 2 \quad (6)$$

CORDIC (Coordinated Rotation Digital Computer)算法可实现向量由直角坐标系到极坐标系的转换, 当输入向量形式为  $(x, y, 0)$  时, 经过多级移位和加减操作, 可得到向量的极坐标值  $(k(x^2 + y^2)^{1/2}, 0, \arctan(y/x))$ , 其中  $k=1.647$  为聚焦常数<sup>[7]</sup>。因此, 可由 CORDIC 模块计算出  $x_1(n)$  的相角  $\text{Phase } 1 = \theta_1(n) - \varphi_0$ ,  $x_2(n)$  的相角  $\text{Phase } 2 = \theta_2(n) - \varphi_0$ 。当 ADC 采样时钟和 FPGA 的工作时钟相同时, 且这一时钟与输入中频信号存在稳定的相对相位关系(例如采样时钟与中频输入信号都来自同一信号的分频), 本振信号的初相  $\varphi_0$  有固定值。此时, 可以得到输入信号相对于时钟的绝对相位,  $\text{Phase } 1$  与  $\text{Phase } 2$  分别为两路中频输入信号相对于时钟的绝对相位值。若对两路输入信号进行相对相位鉴相, 则  $\varphi_0$  可被抵消, 其取值与鉴相结果无关。 $x_1(n)$  与  $x_2(n)$  的相对相位值  $\text{Phase}$  为  $\theta_1(n) - \theta_2(n)$ , 由此可准确得到两路中频输入信号的相位差。

## 1.2 高精度中频数字鉴相器的参数设置方法

高精度中频数字鉴相器中需设置的参数主要有: NCO 模块的相位增量、LPF 模块的滤波器截止频率和阶数以及 CORDIC 模块的级数。

NCO 模块的作用是提供正交本振信号, 采用基于 CORDIC 算法的方式实现, NCO 模块采用 CORDIC 流水线结构实现极坐标系到直角坐标系的转换, 即输入向量形式为  $(1, 0, z)$ , 输出向量形式为

$(k \cdot \cos z, k \cdot \sin z)$ ,  $k$  为聚焦常数。在 NCO 模块的设计过程中, 要注意两个参数值的设置。其一是相位增量( $\text{phase\_increment}$ )的值:

$$\Delta\Phi = 2\pi f_{\text{nco}} / f_{\text{clk}} \quad (7)$$

式中,  $f_{\text{nco}}$  为产生的本振信号频率,  $f_{\text{clk}}$  为数字电路工作的时钟频率,  $\Delta\Phi$  为 NCO 模块的输入信号——相位增量,  $\Delta\Phi \in (0, 1)$  单位为  $\pi$ ,  $\Delta\Phi$  的位宽通常大于 CORDIC 流水线级数<sup>[8]</sup>。

其二是 NCO 中 CORDIC 流水线结构的级数选择, 级数越多, 输出信号的值越准确, 但多一级就多了一个时钟周期延时; 而级数少, 延时小, 输出信号的值不准确。通常, 流水线级数要小于输出信号的位宽, 并综合考虑系统能够承受的延时和要求的精度来决定。

LPF 模块的作用是滤除高频信号, 保留基带信号。实验中 LPF 模块用 CIC(Cascade Integrator Comb)滤波器实现。CIC 对指定频率滤波时, 可通过参数的设置获最佳滤波效果, 且无需乘法模块。设计 CIC 模块时须注意  $R$ 、 $M$ 、 $N$  值的设置, 其中  $R$  为抽取因子,  $M$  取 1 或 2, 是梳状滤波器延时因子,  $N$  为 CIC 滤波器的阶数, 滤波器的幅频响应为<sup>[9,10]</sup>:

$$|H_{\text{CIC}}(f)| = |R \cdot M \cdot \text{Sa}(\pi \frac{f}{f_{\text{clk}} / RM}) \cdot \text{Sa}^{-1}(\pi \frac{f}{f_{\text{clk}}})|^N \quad (-\frac{f_{\text{clk}}}{2} < f < \frac{f_{\text{clk}}}{2}) \quad (8)$$

当  $f = n(f_{\text{clk}} / RM)$  时 ( $n$  为整数, 取值为 1, 2, 3... $RM/2$ ),  $|H_{\text{CIC}}(f)|$  为 0。所以在设计过程中, 应使待滤除主要高频成分位于上述频率处, 方能达到最佳滤波效果。同时由待滤除频率和时钟频率可得到  $RM/n$  值,  $n$  值表示待滤除频率处于远离 DC 的第  $n$  个陷波处, 选择使  $RM$  值为整数的最小  $n$  值, 即可得到  $RM$  的值。 $N$  值表示滤波器的阶数, 和  $R$ 、 $M$  共同决定了远离 DC 的第一个旁瓣 ( $f = 3f_{\text{clk}} / 2RM$ ) 处的功率衰减, 在  $RM \gg 1$  时, 衰减值约为 13.46 N(dBc)。

CORDIC 模块的作用是实现直角坐标系到极坐标系的转换, 设计中需注意的参数设置有二: 一是 CORDIC 流水线结构的级数设置, 级数须小于输入直角坐标信号的位宽, 否则在移位操作时移位数将大于信号的位宽, 使多出的流水线级数无意义而带入多余的初始延时; 二是输出相位信号的位宽设置, 若位宽为  $N$ , 则它能表示的最小相角为  $\pi/2^{N-1}$  (rad), 但当 CORDIC 流水线级数达到一定值时, 相位信号的值才能精确到最小相角, 通常 CORDIC 流水线级数越大, 输出相位可设置的位宽越大, 输出相位的分辨率越高。

## 2 对中频信号鉴相

### 2.1 对中频信号进行绝对相位鉴相

图 2 为利用高精度中频数字鉴相器对中频信号进行绝对相位鉴相的实验原理图。信号源是为自由电子激光装置中的种子激光器提供参考信号的固定频率信号源。其产生的 119 MHz 信号经 AD9520 进行 4 分频, 产生 29.75 MHz 的信号用来作为高速 ADC 的采样时钟以及 FPGA 的工作时钟; 进行 32 分频产生 3.71875 MHz 的中频信号, 经 DC~5 MHz 低通滤波器滤除高次谐波, 作为待鉴相信号。待鉴相信号经高速 ADC(AD9433)转换为位宽 12 的数字

信号, 将其作为高精度中频数字鉴相器的输入信号。经鉴相后得到位宽 14 的相位信号, 取值范围为  $[0, 2\pi)$ , 单位为  $\pi$ , 其可表示的最小相位单位是  $\pi/2^{13}$  (rad)=0.02197°。利用 Quartus II 的 SignalTap II 逻辑分析仪, 可直接观测相位信号, 并将抓取到的相位数据送入 MATLAB 中换算为单位为“度”的相位值。相位信号经数模转换器(DAC)转换为模拟信号后可用于后续反馈控制。在实验中 FPGA 采用 ALTERA 的 EP2S60F1020C3。图 3 为高精度中频数字鉴相器的绝对相位鉴相结果。相位结果来自于 SignalTap II 采集到的相位信号数据。

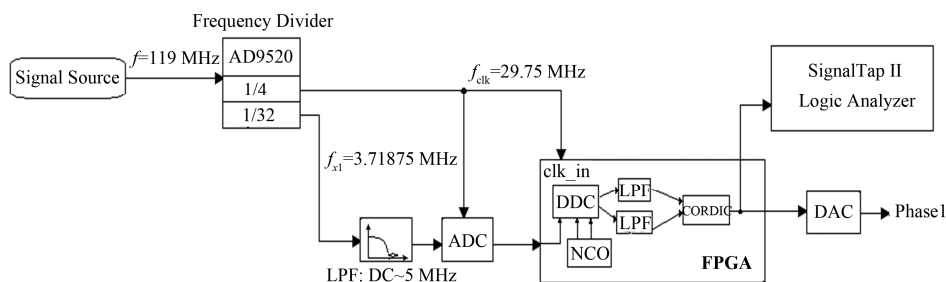


图 2 对中频信号进行绝对相位鉴相的硬件实现图

Fig.2 Schematic diagram of absolute phase detecting for intermediate-frequency signal.

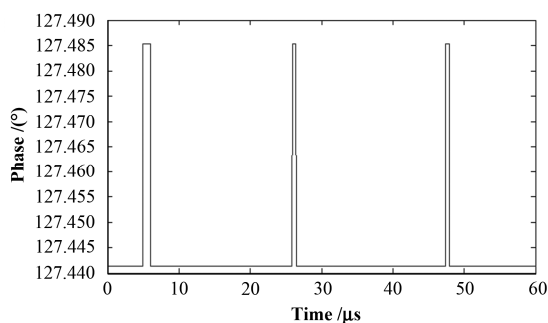


图 3 高精度中频数字鉴相器的绝对相位鉴相结果

Fig.3 Absolute phase discrimination result of intermediate-frequency signal.

鉴相结果显示, 高精度中频数字鉴相器对 3.71875 MHz 中频信号进行绝对相位鉴相, 以 FPGA 工作时钟为参考, 鉴相得中频信号相位均值为 127.443°, 相位值稳定在 0.05° 范围内, RMS 值为 0.0076° (2048 个样本)。

### 2.2 对中频信号进行相对相位鉴相

利用高精度中频数字鉴相器对中频信号进行相对相位鉴相的硬件实现原理图如图 4 所示。在图 2 基础上, 由 AD9520 另外产生一路 32 分频的 3.71875 MHz 中频信号。两路由 AD9520 进行 32 分频的中

频信号相位相反, 两个信号各通过 DC~5 MHz 低通滤波器滤除高次谐波后, 作为待鉴相信号。两路待鉴相信号分别由高速 ADC(AD9433)转换为位宽 12 的数字信号, 连入高精度中频数字鉴相器的输入端。FPGA 的输出端口是位宽 14 的相位差信号, 利用 SignalTap II 逻辑分析仪获取相位差信号, 将该信号送入 MATLAB 中换算为实际相位值(单位为“度”), 该相位差信号也将由 DAC 转换为模拟信号用作后续反馈控制信号。

图 5 为高精度中频数字鉴相器的相对相位鉴相结果。图中相位结果来自于 SignalTap II 采集到的高精度中频数字鉴相器输出的相位差数据。

鉴相结果显示, 高精度中频数字鉴相器对两路相位相反、频率均为 3.71875 MHz 的中频信号进行相对相位鉴相, 鉴相得两信号的相位差均值为 183.792°, 相位差的变化稳定在 0.1° 范围内, RMS 值为 0.0287° (2048 个样本)。

另外, 两路输入中频信号相位相反, 相位差理论值应为 180°, 但鉴相得到的相位差均值为 183.792°。这是由于 AD9520 开发板对信号进行反相时的内部延时, 以及两路信号经不同线缆到达 FPGA 引脚产生的不同延时共同引起的。对图 4 中 FPGA 部分进行时序仿真, 输入确定相位差的两个

激励信号, 便可得到相同硬件实现前提下, 该高精度中频数字鉴相器的鉴相仿真结果。编写 Testbench 激励文件对该实验中的高精度数字鉴相器进行时序仿真, 激励文件中两路输入信号分别为(初始相位差为 2 rad):

$$x_1 = (2^{11}-1)\sin(3718750 \times 2\pi t + 2) \quad (9)$$

$$x_2 = (2^{11}-1)\sin(3718750 \times 2\pi t) \quad (10)$$

图 6 是时序仿真结果。输出相位差为 5214(十进制), 换算为角度值  $(5214/2^{13})\pi = 1.9995 \text{ rad}$ , 高精度中频数字鉴相器的鉴相误差为  $0.0005 \text{ rad} = 0.0286^\circ$ , 鉴相精度达  $0.029^\circ$ 。

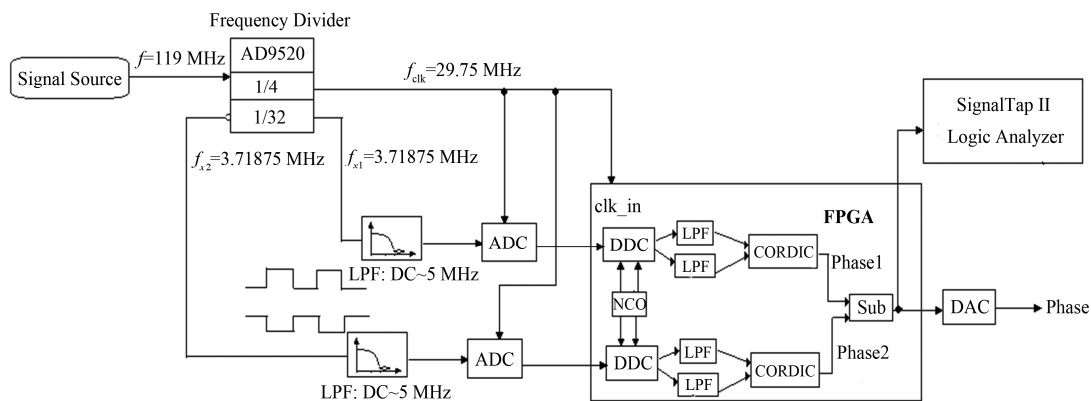


图 4 对中频信号进行相对相位鉴相的硬件实现图

Fig.4 Schematic diagram of relative phase detecting for intermediate-frequency signal.

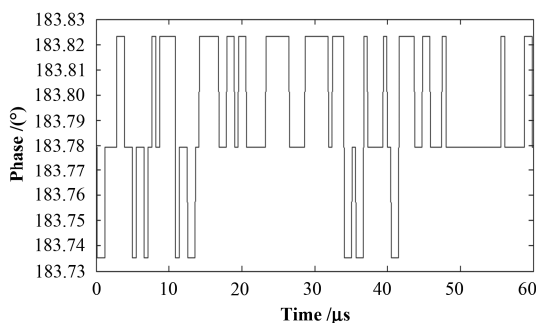


图 5 高精度中频数字鉴相器的相对相位鉴相结果

Fig.5 Relative phase discrimination result of intermediate-frequency signal.

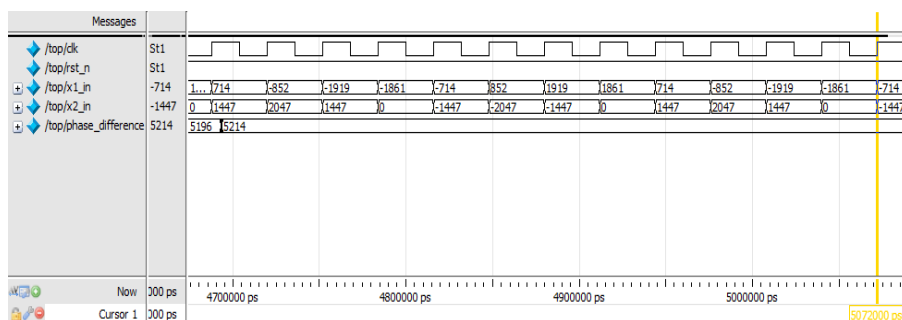


图 6 高精度中频数字鉴相器的时序仿真结果

Fig.6 Timing simulation result of high-precision intermediate-frequency digital phase detector.

### 3 高精度中频数字鉴相器的应用

自由电子激光大装置的飞秒同步系统由光纤稳相传输子系统和 RF—激光同步子系统组成。前者的作用是实现从光纤激光器发出的激光与传送到各远端子系统的激光之间的同步, 后者的作用是从脉冲激光串中提取出同步的 RF 信号。在两个系统的共同作用下, 可实现自由电子激光装置中各个子系统的控制信号都同步于主激光器发出的激光。

飞秒同步系统中光纤稳相传输框图见图 7。光纤激光器发出的脉冲激光串经光纤传输到远端后,

部分激光被反射回来, 对反射激光与光纤激光器的激光鉴相, 将相位差信号作为基于电机的光纤延展器的控制信号, 调节光纤长度以实现远端激光与发射激光的同步<sup>[1]</sup>。

图 8 为 RF—激光同步系统框图。激光经光电二极管转换为电信号后, 与 VCO 产生的 RF 信号鉴相, 将相位差信号作为 VCO 的控制信号, 调节 VCO 输出信号的频率, 从而实现 VCO 输出的 RF 信号相位与激光相位同步。

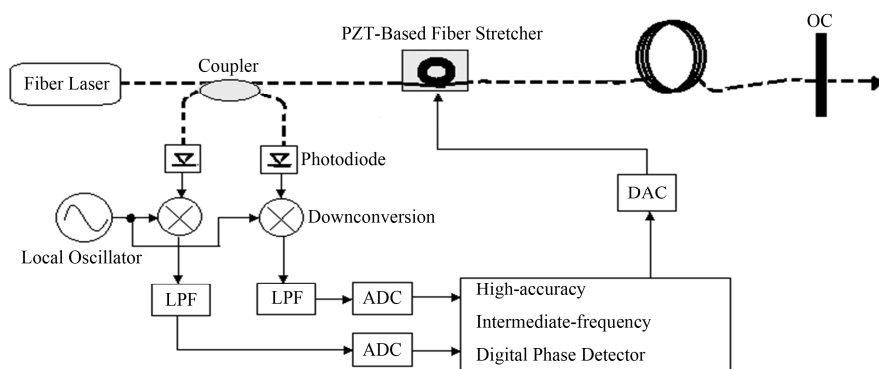


图 7 飞秒同步系统中光纤稳相传输框图

Fig.7 Schematic diagram of stable fiber distribution in femtosecond synchronization system.

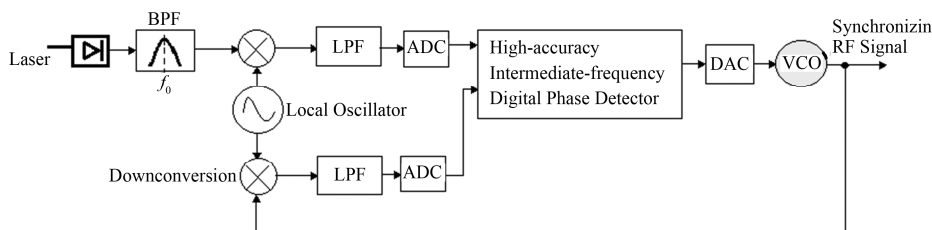


图 8 RF—激光同步系统框图

Fig.8 Diagram of RF-laser synchronous system.

由于光纤稳相传输系统与 RF—激光同步系统都将相位差作为反馈控制环路的核心控制信号, 所以高精度中频数字鉴相器以其鉴相稳定、精度高的特点, 在飞秒同步系统中具有重要的应用价值。在上海软 X 射线 FEL 实验装置中, 激光脉冲长度为 200 fs, RF 信号频率为 2.856 GHz, 要求鉴相器的鉴相分辨率不大于 0.1°、鉴相精度好于 0.1°, 才能保证同步定时系统有效地工作。因此, 本工作设计的高精度中频数字鉴相器满足上海软 X 射线 FEL 实验装置同步定时系统的要求。

### 4 结语

本工作实现了一种基于 FPGA 的高精度中频数字鉴相器, 采用了数字 I/Q 技术以及 CORDIC 算法, 并将其用于对实际中频信号鉴相实验中。实验结果表明, 高精度中频数字鉴相器的鉴相精度达 0.029°, 对一路中频信号进行绝对相位鉴相, 鉴相结果好于 0.05°; 对两路中频信号进行相对相位鉴相, 鉴相结果好于 0.1°。实验结果证明该高精度中频数字鉴相器能够满足飞秒同步系统的需求, 并且较模拟鉴相器具有独特的优势。

## 参考文献

- 1 Ferianis M. Timing and synchronization in large scale linear accelerators[C]. LINAC conference, Knoxville, Tennessee USA, 2006
- 2 刘祖平. 同步辐射光源物理引论[M]. 合肥: 中国科学技术大学出版社, 2009: 241–252  
Liu Z P. Introduction on synchrotron radiation physics[M]. Hefei: China Science and Technology University Press, 2009: 241–252
- 3 Kim J, Ludwig F, Felber M, *et al.* Long-term stable microwave signal extraction from mode-locked lasers[J]. Optics Express, 2007, **15**(14): 8951–8959
- 4 Kim J, Ludwig F, Chen J, *et al.* Femtosecond synchronization and stabilization techniques[C]. Proceedings of the 28th International Free Electron Laser Conference, BESSY, Berlin, Germany, 2006: 287–290
- 5 王芳. I/Q 技术用于加速器鉴相的理论分析[R]. 内部报告. 中国科学院上海应用物理研究所, 2004  
Wang F. Theory analysis of research for I/Q technique applied in accelerator phase detecting[R]. Inner Report. Shanghai Institute of Applied Physics, Chinese Academy Sciences, 2004
- 6 Meyer-Baese U. Digital signal processing with field programmable gate arrays[M]. Berlin: Springer Press, 2007: 166–240
- 7 王亚春, 蔡德林, 张梦龙, 等. 流水线CORDIC算法的FPGA实现[J]. 通信技术, 2010, **43**(11): 169–171  
Wang Y C, Cai D L, Zhang M L, *et al.* Implementation of pipelined CORDIC based on FPGA[J]. Communications Technology, 2010, **43**(11): 169–171
- 8 史学书, 陆海峰. 软件无线电系统中 NCO 的设计与实现[J]. 现代电子术, 2005, **28**(15): 6–11  
Shi X S, Lu H F. Design and implementation of NCO in software radio system[J]. Modern Electronics Technique, 2005, **28**(15): 6–11
- 9 史毅俊, 朱杰. CIC滤波器的优化设计及FPGA实现[J]. 电子测量技术, 2007, **30**(03): 88–90  
Shi J Y, Zhu J. Improved design of CIC filter and its implementation on FPGA[J]. Electronic Measurement Technology, 2007, **30**(03): 88–90
- 10 严平, 汪学刚, 钱璐. 一种基于CORDIC算法的高速高精度数字鉴相器[J]. 电讯技术, 2008, **48**(4): 76–79  
Yan P, Wang X G, Qian L. A high-speed and high-accuracy digital phase demodulator based on CORDIC algorithm[J]. Telecommunication Engineering, 2008, **48**(4): 76–79

## High-precision intermediate-frequency digital phase detector based on FPGA

LIU Xiaoqing<sup>1</sup> LIU Bo<sup>1</sup> MA Xinpeng<sup>2</sup><sup>1</sup> ( Shanghai Institute of Applied Physics, Chinese Academy Sciences, Shanghai 201800, China )<sup>2</sup> ( Institute of High Energy Physics, Chinese Academy Sciences, Beijing 100049, China )

**Abstract** In this paper, we report a high-precision intermediate-frequency digital phase detector. Suitable parameters for digital filter and other modules in the digital phase detector are chosen via careful analysis. The digital phase detector uses I/Q technology, and is achieved on FPGA chip, working as a part of experimental setup to detect the phase of intermediate-frequency signal. The results show that precision of the digital phase detector is  $0.029^\circ$ . The phase discrimination for one 3.71875 MHz signal is better than  $0.05^\circ$ , with a root mean square phase value of  $0.0076^\circ$ ; while it is better than  $0.1^\circ$  with a root mean square phase value of  $0.0287^\circ$  for two 3.71875 MHz signals.

**Key words** Digital phase detector, Digital filter, Digital I/Q, FPGA

**CLC** TN911.8