

HMC 集成 VCO 频综常见问题

PLL 环路比较复杂，特别是 HMC82#序列频综是 09 年才推出，需要一个摸索和熟悉的过程。本文针对客户常见问题做一个总结，供参考。

1、 寄存器顺序

Operating guide 有默认设置，但这些设置并不一定最合适的，比如 REG 9 电荷泵默认设置为 0 毫安，实际使用不可能是 0 毫安。我们建议如下设置：

1)、基频输出模式：

REG 0 95198 //可读可写：读 Chip ID，写软复位

REG 1 2

REG 2 1 //R 分频设置

REG 5 5

REG 7 14D //锁定指示设置

REG 8 C1BEFF

REG A 4305

REG B F8061

REG C 0

REG D 0

REG E 0

REG F 1 //GPO 输出，调试可以用。

REG 6 202F4A

REG 9 501E3C //电荷泵电流设置

REG 3 34 // HMC821 1900 at synth

REG 4 3851EC //设置输出频率，REG3 整数部分，REG 4 小数部分

REG 5 D11D // 三种模式都要先写 D11D

REG 5 E80D //关闭 VCO 后端的二分频输出功能

REG 5 AB95 //开启 VCO Buffer

REG 5 5 //再写 REG 5=5

REG 4 3851EC// 实现 VCO 的自动校准功能

2)、如果采用分频模式，将上述程序中的红色字体更改如下：

REG 5 F80D // 开启分频功能

REG 5 AB95 // 开启 VCO Buffer

3)、如果采用倍频模式，将上述程序中的红色字体更改如下：

REG 5 E80D // 关闭分频功能

REG 5 A395 // 关闭 VCO buffer

注意事项:

- 1、REG 5 要连续写 4 遍，最后再写一遍 REG 4，否则无法正常工作。
- 2、芯片内部先实现 PLL 功能，再分频或倍频。不管采用何种模式，N 都是以基频来计算的。

比如，50MHz 鉴相频率，

分频模式输出 900MHz，此时 $N=1800\text{MHz}/50\text{MHz}=36$ ，而非 $900\text{MHz}/50\text{MHz}=18$

倍频模式输出 3600MHz， $N=1800\text{MHz}/50\text{MHz}=36$ ，而非 $3600\text{MHz}/50\text{MHz}=72$

2、 关于 HMC MODE 和 OPEN MODE

两种时序写入方法都可以，HMC MODE 简单，较常用。

HMC MODE: 先检测 SEN 上升沿，再检测 CLK 上升沿；每个 SPI 总线带 1 片频综。

OPEN MODE: 先检测 CLK 上升沿，再检测 SEN 上升沿；每个 SPI 总线最多可带 8 个频综。

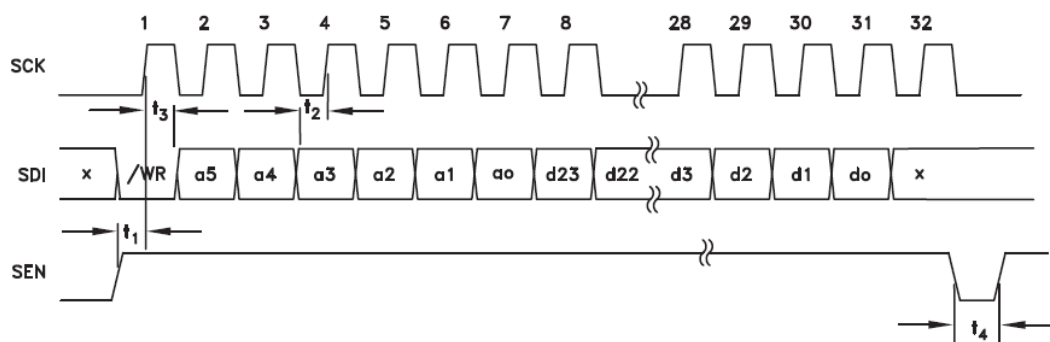


Figure 16. HMC Mode - Serial Port Timing Diagram - WRITE

注意事项:

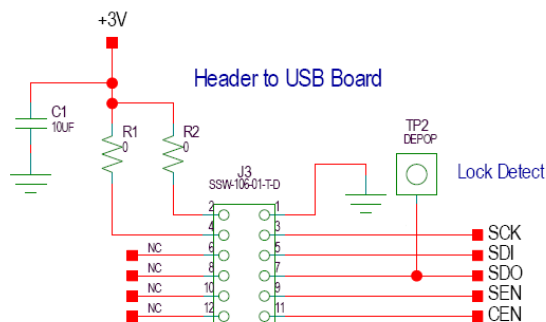
单片机/FPGA 上电后，请先将 SCK 和 SEN 都置成低电平，否则电平干扰可能导致无法正常区分是 HMC MODE 还是 OPEN MODE。如采用 OPEN MODE，则置成高电平。

3、 如何充分利用 HMC EVB

我们可以提供频综评估板 (EVB)、软件控制板和控制软件光盘。客户只需将频综评估板和控制板相连，通过计算机上的软件来控制即可，非常方便。

客户也可进行如下操作：

- 1)、将我们控制板与客户自己的 PCB 相连，用来验证客户 PCB 是否正常。
- 2)、将客户软件控制板与我们提供的 EVB 相连，用来验证客户软件是否正常。



注意事项:

- 1、我们控制板需要两个 3V 供电，是从射频板提供的；
- 2、进行交叉验证时，请务必将 SCK,SDI,SDO 和 SEN 四个线都连接，否则我们控制软件无法实现回读功能。

4、 电荷泵电流和鉴相泄露电流设置

REG 9 寄存器设置电荷泵电流，bit0-6，bit7-13 要设置一样，一般 2 毫安。Bit14-20 设置泄露电流，UP 或 DN 设置任何一个即可，不要两个都设置。

整数模式下，鉴相器工作在零偏置状态，也就是说参考频率和 VCO 反馈回来的频率同一时间到达鉴相器，没有时间偏差。

小数模式下，如果参考频率和 VCO 反馈回来频率保持在某个固定相位差，电荷泵线性度、噪声和杂散更好，所以一般会设置泄露电流偏差。比如，电荷泵电流 2 毫安，泄露电流设置 200 微安，此时偏差相位= (200 微安/2 毫安) *360 度=36 度。具体的泄露电流需要在实际调试中找到最佳状态。

19.11 Reg 09h Charge Pump Register

Bit	Type	Name	Width	Default	Description
[6:0]	R/W	CP DN Gain	7	0	Charge Pump DN Gain Control 20μA/step Affects fractional phase noise and lock detect settings 0d = 0μA 1d = 20μA 2d = 40μA ... 127d = 2.54mA
[13:7]	R/W	CP UP Gain	7	0	Charge Pump UP Gain Control 20μA/step Affects fractional phase noise and lock detect settings 0d = 0μA 1d = 20μA 2d = 40μA ... 127d = 2.54mA
[20:14]	R/W	Leak Magnitude	7	0	Charge Pump Offset Control 5μA/step Affects fractional phase noise and lock detect settings 0d = 0μA 1d = 5μA 2d = 110μA ... 127d = 635μA
[21]	R/W	Leak Direction UP	1	0	1 - Sets Direction of Reg[20:14] Up, 0- DN Leak Off
[22]	R/W	Leak Direction DN	1	0	1 - Sets Direction of Reg[20:14] Down, 0- UP Leak Off
[23]	R/W	HiKcp	1	0	HiKcp High Current Charge Pump

5、 锁定指示问题

在某些场合，可能发现输出频率已经锁定，但是从 LDO 出来的锁定指示为低电平（0V 或 1.7V），这是由于锁定窗口设置（REG 7）不当引起的。

锁定指示原理:

如下图，在锁定窗口（举例是 10ns）内，同时判断参考频率和 VCO 反馈频率都为高电平，且连续 1024 次（具体次数可以从 REF 7 设置）有效，LDO 才输出高电平。如果连续 1022 次为高电平，第 1023 次为低，第 1024 为高，LDO 仍无法输出高电平。

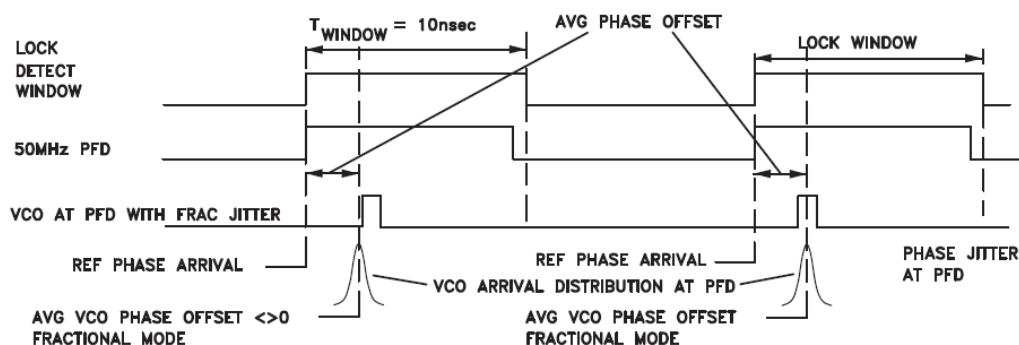


Figure 12. Lock Detect Window - Fractional Mode with Offset

19.9 Reg 07h Lock Detect Register

Bit	Type	Name	Width	Default	Description
[2:0]	R/W	lkd_wincnt_max	3	2d	lock detect window sets the number of consecutive counts of divided VCO that must land inside the Lock Detect Window to declare LOCK 0: 5 1: 32 2: 96 3: 256 4: 512 5: 2048 6: 8192 7: 65535
[3]	R/W	Enable Internal Lock Detect	1	0	Enable Internal Lock Detect
[5:4]	R/W	Reserved	2	0	Reserved
[6]	R/W	Lock Detect Window type	1	0	Lock Detection Window Timer Selection 1: Digital programmable timer 0: Analog one shot, nominal +/-10ns window
[9:7]	R/W	LD Digital Window duration	3	0	0 Lock Detection - Digital Window Duration 0: 1/2 cycle 1: 1 cycle 2: 2 cycles 3: 4 cycles 4: 8 cycles 5: 16 cycles 6: 32 cycles 7: 64 cycles
[11:10]	R/W	LD Digital Timer Freq Control	2	0	Lock Detect Digital Timer Frequency Control "00" fastest "11" slowest
[12]	R/W	LD Timer Test Mode	1	0	1: force Timer Clock ON Continuously - For Test Only 0: Normal Timer operation - one shot
[13]	R/W	Auto Relock - One Try	1	0	1: Attempts to relock if Lock Detect fails for any reason Only tries once.

Bit0-2, 设置锁定窗口计数。

Bit6, 设置模拟窗口或数字窗口。模拟窗口，默认 10ns，数字窗口可以自定义。

Bit7-9, 自定义窗口时间长短:

Table 2. Typical Digital Lock Detect Window

LD Timer Speed Reg07[11:10]	Digital Lock Detect Window Nominal Value $\pm 25\%$ (ns)							
Fastest 00	6.5	8	11	17	29	53	100	195
01	7	8.9	12.8	21	36	68	130	255
10	1.7	9.2	13.3	22	238	72	138	272
Slowest 11	7.6	10.2	15.4	26	47	88	172	338
LD Timer Divide Setting Reg07[9:7]	0	1	2	3	4	5	6	7
LD Timer Divide Value	0.5	1	2	4	8	16	32	64

原则上，窗口时间一定要长于参考和VCO反馈信号相位偏移时间（offset time），短于鉴相频率周期，我们有一个推荐值： $(\text{offset}/\text{gain}) * \text{Tpd} + 4\text{Tvco}$ 。

举例：电荷泵电流 2 毫安，泄露电流 200 微安，鉴相频率 50MHz，VCO 频率 1GHz
则， $\text{Tpd}=1/50\text{MHz}=20\text{ns}$ ， $\text{Tvco}=1/1\text{GHz}=1\text{ns}$ ，此时窗口时间 $=2\text{ns}+4\text{ns}=6\text{ns}$ 。

6、 如何有效检查整个 PLL 环路。

有些工程师用程序和射频联合调试，发现 PLL 输出没有任何反应。有条理的检查，可以事半功倍，节省大量时间。

首先，检查程序写入时序是否正常。

用三通道示波器（至少是两通道）电平触发模式，。触发电平设置 1-2V 之间，在 SCK, SDI 和 SEN 三个写入脚，测得写入程序的波形。

其次，检查寄存器是否已经写入。

可以采用读的方式，读出任何一个寄存器。

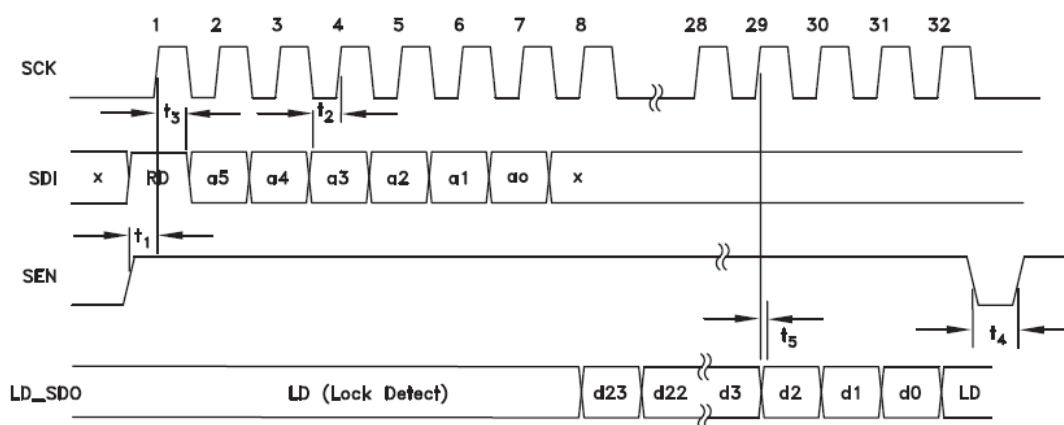


Figure 17. HMC Mode - Serial Port Timing Diagram - READ

最后，也是最重要的一个方法，频综内部器件是否响应。

可以通过设置 REG F，从 LDO 引脚测出波形。比如 REG F Bit0-4 写入 9，则 LDO 这个引脚要有 50MHz 参考频率输出。如果 R=2, BIT0-4 写入 10，则 LDO 输出时 25MHz 波形。

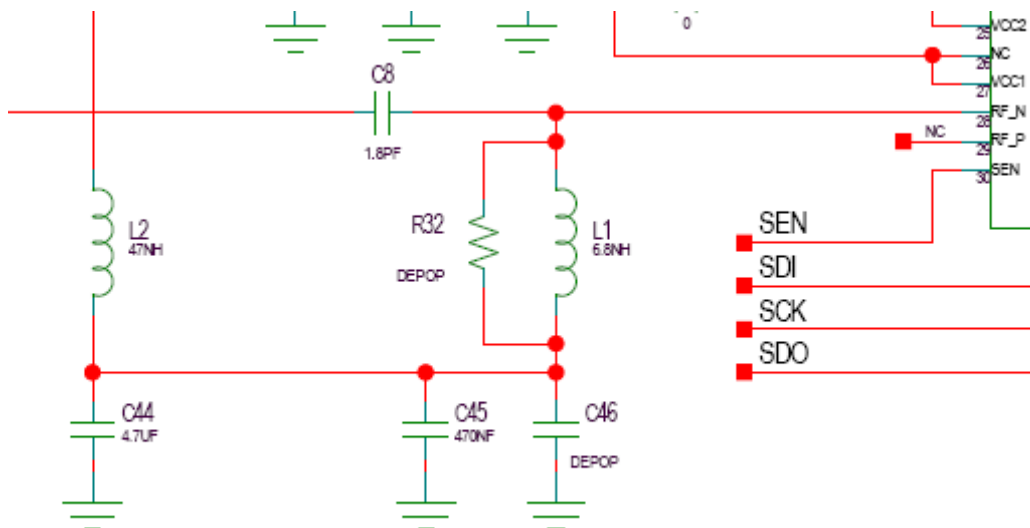
General Purpose Output (GPO) Pin

The synthesizer features a General Purpose Output (GPO) on the LD_SDO pin. GPO registers are described in [Reg 0Fh](#). The GPO is a flexible interface that supports a number of different functions and real time waveform access including:

0. Tri-state LD_SDO Pin Output	- Reg0Fh[4:0]=0	16. PFD DN	- Reg0Fh[4:0]=16
1. CMOS Lock Detect Output	- Reg0Fh[4:0]=1	17. PFD UP	- Reg0Fh[4:0]=17
2. Lock Detect One Shot Trigger	- Reg0Fh[4:0]=2	18. Delta Sigma 3 Dly Clk	- Reg0Fh[4:0]=18
3. Lock Detect One Shot Pulse	- Reg0Fh[4:0]=3	19. Delta Sigma 3 Core Clk	- Reg0Fh[4:0]=19
4. Lock Detect Timer Test	- Reg0Fh[4:0]=4	20. AutoStrobe Integer Mode	- Reg0Fh[4:0]=20
5. PullUp Hard from VCC	- Reg0Fh[4:0]=5	21. AutoStrobe Fractional Mode	- Reg0Fh[4:0]=21
6. PullDN Hard from Gnd	- Reg0Fh[4:0]=6	22. AutoStrobe VCO SPI	- Reg0Fh[4:0]=22
7. AutoCal Busy	- Reg0Fh[4:0]=7	23. SPI LE	- Reg0Fh[4:0]=23
8. Reference Buffer Output	- Reg0Fh[4:0]=8	24. VCO Div Sync Reset	- Reg0Fh[4:0]=24
9. R divider output	- Reg0Fh[4:0]=9	25. SEED Load Strobe	- Reg0Fh[4:0]=25
10. VCO divider Output	- Reg0Fh[4:0]=10	26. 0	- Reg0Fh[4:0]=26
11. Modulator VCOdiv Clock	- Reg0Fh[4:0]=11	27. 0	- Reg0Fh[4:0]=27
12. Aux Clock	- Reg0Fh[4:0]=12	28. 0	- Reg0Fh[4:0]=28
13. VSPI Clock	- Reg0Fh[4:0]=13	29. 0	- Reg0Fh[4:0]=29
14. VSPI Enable	- Reg0Fh[4:0]=14	30. SPI Output Buffer En	- Reg0Fh[4:0]=30
15. VSPI Data out	- Reg0Fh[4:0]=15	31. Soft RSTB (Reset)	- Reg0Fh[4:0]=31

7、 关于输出功率。

射频输出端，默认值 C8=1.8p, L1=6.8n, 这是对分频和基频折中的处理。这里匹配比较敏感，可以做微调，如果希望分频功率高，C8=2.2p, L1=15n; 如果基频高，C8=0.7p, L1=6.8n。



8、 采用不同鉴相频率的相噪

环路滤波器内相噪公式：

$$\text{Phase noise} = \text{FOM} + 20\log N + 10\log(\text{Fpd})$$

输出频率=2300MHz,

如果鉴相频 Fpd=50MHz, 则 N=46,

$$\text{Phase Noise} = -227 + 20\log 46 + 10\log 50000000 = -227 + 33 + 77 = -117\text{dbc/Hz}$$

我们评估板实测至少有-110。

如果鉴相频 Fpd=10MHz,

$$\text{则 } N=230, \text{ PHase NOSIE} = -227 + 20\log 230 + 10\log 10000000 = -227 + 47 + 70 = -110\text{dbc/Hz}.$$