

基于 AVR 单片机与 FPGA 的低频数字式相位测量仪

井新宇

(江阴职业技术学院 江苏 江阴 214400)

摘要:提出了以 AVR ATmega128 单片机和 Altera 公司的 Cyclone 系列 EP1C3T100 为核心的系统设计方案。分析了数字式低频相位测量仪的测量原理和测量误差及其消除的方法。利用单片机强劲的运算、控制功能和 FPGA 运算速度快、资源丰富的特点。主要介绍了系统的软硬件设计。实践表明,此方案设计的相位仪对低频正弦波信号实现精确测频和测相位差,具有处理速度快、稳定可靠、精度高等优点。

关键词:数字相位仪;单片机;FPGA;误差;频率;相位差

中图分类号:TM38

文献标识码:A

文章编号:1674-6236(2011)05-0026-04

Low-frequency digital phase measuring instrument based on AVR MCU and FPGA

JING Xin-yu

(Jiangyin Polytechnic College, Jiangyin 214400, China)

Abstract: This paper proposes a system design proposal which used ATmega128 of AVR MCU and Cyclone's EP1C3T100, produced by Altera company as the core. This paper analyzed the measuring principle of the low frequency digital phase measuring instrument, the measurement error and the method how to eliminate the error. The powerful operation and control function of MCU and FPGA's characteristics of high operating speed and rich resource were utilized. The hardware and software design of the system was mainly introduced. The practice shows that it can precisely measure the frequency and phase of low-frequency sine signal, and the phase measuring instrument has many advantages such as fast processing speed, stability, reliability and high precision.

Key words: digital phase measuring instrument; MCU; FPGA; error; frequency; phase

在工业领域中经常要用到低频数字式相位仪来精确测量两信号之间的相位差,比如在电力系统、频率特性的研究、激光测距等领域均有广泛的应用,相位检测的精度直接决定系统的整体性能。这就要求测量仪逐渐向智能化和测试自动化方向发展,本设计采用 MCU 和 FPGA 相结合的系统方案,以 AVR 单片机 ATmega128 和 Altera 公司的 Cyclone 系列 EP1C3T100 为核心,充分发挥各自的优势,如 AVR 单片机先进的 RISC 结构和强劲的运算、控制功能,Altera 公司的 FPGA 运算速度快、资源丰富以及易编程的特点,合理设计,此方案的相位仪具备速度快、稳定可靠、精度高等优点,而且容易实现“智能化”和“自动化”。

1 系统方案设计

1.1 测量方法的比较与选择

目前相位测量的方法主要有两种:

1) DFT 测相法 即将待测信号通过 A/D 转换得到 $f(n)$, $f(n)$ 按离散傅里叶变换得出离散频谱 $F(k)$, $f(n)$ 和 $F(k)$ 为傅里叶变换对,通过运算得到两路信号的基波相位,从而计算出相位差^[1]。DFT 测相法的精度受限于 ADC 的采样精度,需

要高速 ADC 对信号进行过采样,测量方案复杂,可以通过采集卡在计算机上实现虚拟仪器,所以主要应用在精度要求很高的场合和虚拟仪器中。

2) 填充计数测相法 即两路同频的正弦信号经过信号整形电路后得到方波信号,方波信号经过鉴相器后,得到两路输入信号的相位差信号,用固定频率的采样脉冲进行填充并计数,从而计算出相位差。填充计数测相法主要应用在要求一定的精度,测量的频率不是太高但实时性要求很强的场合,易于实现数字化和自动化,低频数字相位仪适用填充计数法。

填充计数测相法的基本算法:若正弦波整形后的方波信号频率为 f ,周期为 T ,采样脉冲周期为 T_c ,方波一个周期内对采样脉冲计数为 n ,则被测信号频率 $f=1/T=1/nT_c$ 。同样的方法测出两个同频正弦波起点之间的时间差为 Δt ,则两信号的相位差 $\Delta\theta = \Delta t \cdot 360^\circ/T$ 。

1.2 系统方案的确定

由系统测量方法可知,数据需要采集、运算及显示,考虑到 Field Programmable Gate Array (FPGA) 集成度高、I/O 资源丰富、稳定可靠,选择余地大,外围元件很少,近年来价格下降等优势,以及 MCU 良好的人机接口和运算控制功能,所以

收稿日期:2010-10-13

稿件编号:201010042

作者简介:井新宇(1971—),男,江苏江阴人,硕士,副教授。研究方向:电子信息工程。

本系统由 MCU 和 FPGA 相结合构成测控主体。FPGA 负责采集测频和测相位差的脉冲信号,MCU 负责读 FPGA 采集的数据,计算待测信号频率和相位差并在 LCD 上显示。

所以,系统由 4 个部分组成:待测信号调理电路、FPGA 数据采集电路、MCU 数据运算控制电路和 LCD 数据显示电路,如图 1 所示。



图 1 测相仪系统原理框图

Fig. 1 System structure diagram of phase measuring instrument

2 测量误差的分析与消除

相位测量仪的完善设计,不仅要有合适的测量方法和系统实现方案,还需要着重分析误差产生的原因和确定消除的方法。

1) 填充时钟频率(即数据采集信号)的影响与确定

本相位测量仪的测频范围为 20 Hz~20 kHz,相位差的范围为 $\Delta\theta=0^\circ\sim359.9^\circ$,相位差的显示分辨率为 0.1° ,要求测量相位的绝对误差 $\leq 2^\circ$ 。

被测频率 $20\text{ Hz} \leq f \leq 20\text{ kHz}$,则周期 $50\text{ }\mu\text{s} \leq T \leq 50\text{ ms}$ 。

$T=50\text{ }\mu\text{s}$,绝对误差取 $0.1^\circ\sim2^\circ$ 。

则填充时钟信号周期: $0.1^\circ \times 50\text{ }\mu\text{s} / 360^\circ \leq T_c \leq 2^\circ \times 50\text{ }\mu\text{s} / 360^\circ$
即: $1/72\text{ (}\mu\text{s)} \leq T_c \leq 1/3.6\text{ (}\mu\text{s)}$,可以得出填充时钟频率:
 $3.6\text{ MHz} \leq f_c \leq 72\text{ MHz}$ 。

$T=50\text{ ms}$ 内对 $T_c=1/3.6\text{ (}\mu\text{s)}$ 的填充脉冲计数,计数值 $N_{\min}=180\text{ }000 \leq 2^{18}$;对 $T_c=1/72\text{ (}\mu\text{s)}$ 的填充脉冲计数,计数值 $N_{\max}=3\text{ }600\text{ }000 \leq 2^{22}$ 。

本设计考虑 MCU 的计算及分频取得信号的方便,填充时钟信号频率 $f_c=20\text{ MHz}$,测量绝对误差 $<1^\circ$,FPGA 在 20 MHz 时钟信号作用下对待测信号周期和相位对应的时间差进行计数,FPGA 采样的二进制数据位为 20 bit,可以保证测量的精度^[2]。

2) 待测信号调理电路中零点漂移的影响与消除

待测信号调理电路主要作用是把输入信号整形变换成矩形波,通常采用过零比较器或者施密特触发器。

过零比较器在零点电位附近可能会有振荡,输入信号在零点电位附近时,电压比较器处于放大区,整形后的矩形波在边沿会产生抖动,使系统无法进行测量。要消除这种抖动,可以采用施密特触发器。为了保证测量的精度,施密特触发器必须符合两个条件:一是两路被测信号幅度基本相等,二是门限电平要基本接近。

3) 整形后方波边沿的陡峭程度的影响与消除

信号经过整形后输出的矩形脉冲信号直接送给 FPGA,则 FPGA 不能立即获取稳定的数字脉冲信号,就会使系统的精度受到很大影响。这主要是由于整形后方波边沿不够陡峭造成的。要解决此问题,一是选取具有较大压摆率的器件,二是在比较器的后端加一级微分电路来提升脉冲信号的边沿^[2]。

4) 中低频测量精度的影响与消除

采用 20 MHz 数据采集信号来循环计数被测信号的周期及相位差对应的时间差,精度达到 $0.05\text{ }\mu\text{s}$,20 位数字量的单位是 $0.05\text{ }\mu\text{s}$ 。利用被测信号刷新采样计数,实现高频多测量,低频少测量,时间计数精确可靠,这样,FPGA 可以为 MCU 提供稳定的数据。

3 系统硬件电路的设计

3.1 前端信号调理电路的设计

施密特触发器(迟滞比较器)虽然可以很好地消除比较器过零引起的抖动,但是其输出信号和输入信号存在相位差,如果两路被测信号的幅度基本相等且两个施密特触发器的门限电平又很接近,则施密特触发器引入的相位误差对测量系统误差几乎无影响。

采用 LM339 内部有 4 个独立的电压比较器,该电压比较器的特点是:失调电压小,典型值为 2 mV ;电源电压范围宽,双电源电压为 $\pm 1\sim\pm 18\text{ V}$;对比较信号源的内阻限制较宽。同相和反相输入端电压差别大于 10 mV 就能确保输出能从一种状态可靠地转换到另一种状态,输出端相当于一只不接集电极电阻的晶体三极管,在使用时输出端到正电源一般须接一只电阻。在跳变电压值附近的干扰不超过回差 ΔU ,输出电压的值就将是稳定的。正反馈可以加快比较器的响应速度。由于迟滞比较器加的正反馈很强,远比电路中的寄生耦合强得多,所以可免除由于电路寄生耦合而产生的自激振荡。通过调节电位器,使两个施密特触发器的门限电平基本相等,保证输入电路对相位差测量不带来误差^[3]。电路如图 2 所示。

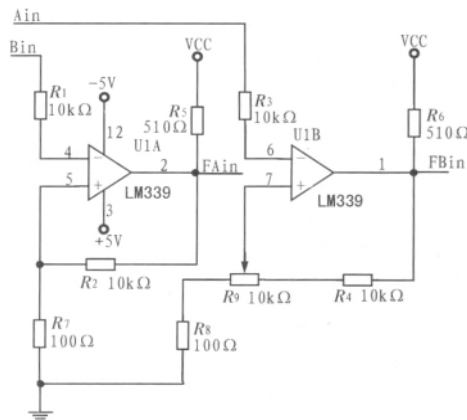


图 2 前端信号整形电路

Fig. 2 Shaping circuit of front signal

3.2 系统测量电路设计

以单片机为核心设计相位仪,如其晶振为 24 MHz,单片机 C/T 的计数误差为 1 个机器周期为 $\pm 0.5\text{ }\mu\text{s}$,则绝对误差为 $360^\circ \times 0.5\text{ }\mu\text{s} / 50\text{ }\mu\text{s} = 3.6^\circ$,所以,当被测信号频率很高时很难满足测量要求。

本设计采用 AVR 单片机与 FPGA 相结合的方案,FPGA 实现数据采集,将所测信号的频率和相位差所对应时间差转换为二进制数据传给单片机;单片机从 FPGA 获取数据,经

过运算、转换等数据处理,将被测信号的频率和相位差在LCD上显示。

系统电原理图如图3所示。MCU采用ATMEL公司的AVR单片机ATmega128,具有先进的RISC结构,大多数指令在一个时钟周期内完成,有32个8位通用工作寄存器及外

设控制寄存器,克服了一般单片机单一累加器数据处理带来的瓶颈。有128 KB的系统内可编程Flash,4 KB的EEPROM以及4 KB的内部SRAM,遵循JTAG标准的边界扫描功能,支持扩展的片内调试,可通过JTAG接口实现对Flash、EEPROM、熔丝位和锁定位的编程^[4]。

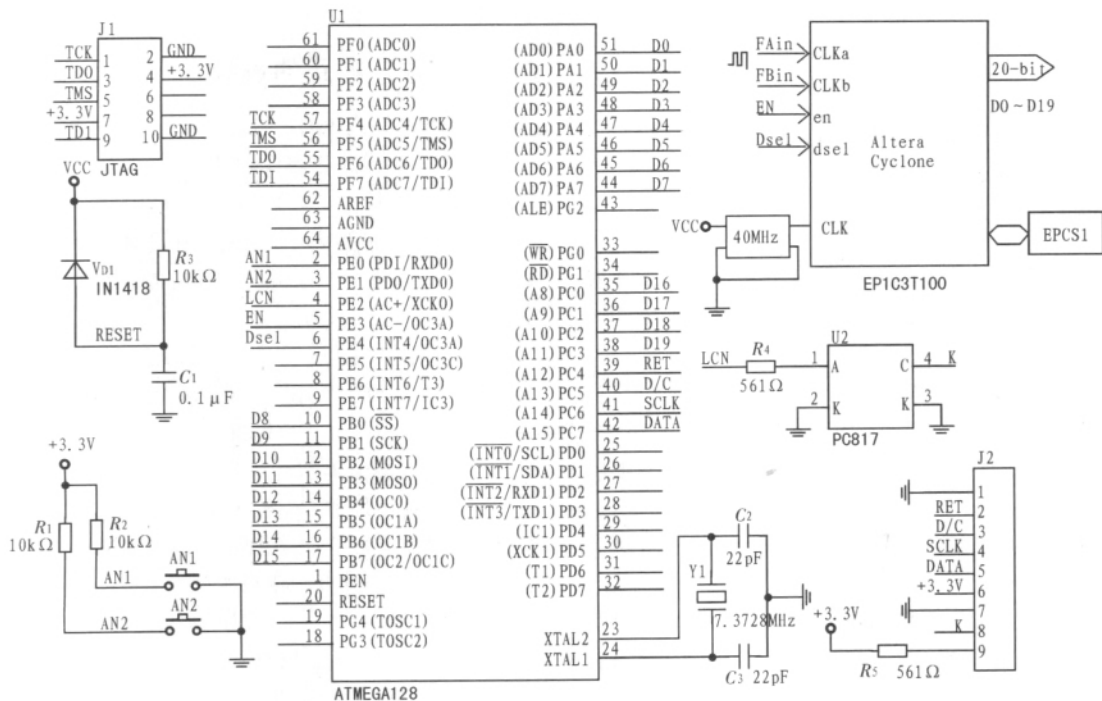


图3 系统测量电原理图

Fig. 3 Schematic diagram of phase measuring instrument system

FPGA采用Altera Cyclone系列的EPIC3T100,配置芯片为EPCS1,VHDL功能程序经过全编译会生成.sof和.pof文件,配置的下载为ByteBlaster II,[Mode]项选择“JTAG”为把.sof文件配置到FPGA芯片EPIC3 T100中,用于调试;[Mode]项选择“Active Serial Programming”为把.pof文件下载到配置芯片EPCS1中,系统重新上电时正常运行。

LCD采用HTM12864,为128×64串行数据传送液晶显示器,背光灯通过光耦受到控制。

ATmega128和EPIC3T100设计各自的JTAG接口。图3绘出了ATmega128和EPIC3T100的接口D0~D19、EN、Dsel、LCN;ATmega128与HTM12864的接口RET、D/C、SCLK、DATA;EPIC3T100的输入信号FAin和FBin,66 MHz外部有源晶振,配置芯片EPCS1。

4 系统软件的设计

4.1 FPGA数据采集VHDL程序设计

FPGA数据采集的VHDL程序设计是在Altera QuartusII开发软件平台及实验开发系统上完成的。程序设计采用自顶向下(up-to-down)的设计方法。FPGA系统的模块构成如图4所示。采样信号发生模块完成时钟信号源的分频工作,得到CLK=20 MHz;待测信号采样模块在控制信号产生模块的周期闸门信号Tk和时间清零信号Tcr的作用下,输出待测信号周期和相位差数据;测量数据提取模块在鉴相信号JXc和计数提取信号Lad的作用下,并在输出使能信号EN和数据类型信号Dsel控制下分别输出周期和相位差数据,交MCU运算处理显示^[5]。

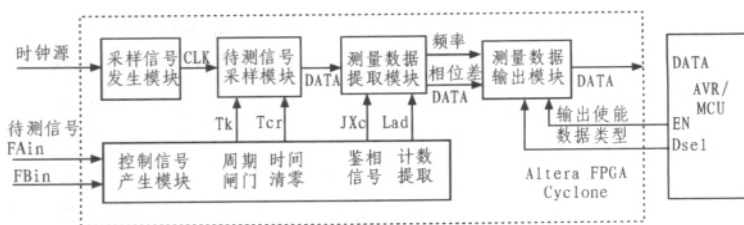


图4 FPGA程序模块框图

Fig. 4 Block diagram of FPGA program

FPGA 在单片机输出使能信号 EN 和数据类型信号 Dsel 控制下,输出所测信号的频率和相位差所对应的二进制数据

仿真波形如图 5 所示。VHDL 程序经过编译调试生成 .pof 文件下载到配置芯片 EPCS1 中实现所设计的功能。

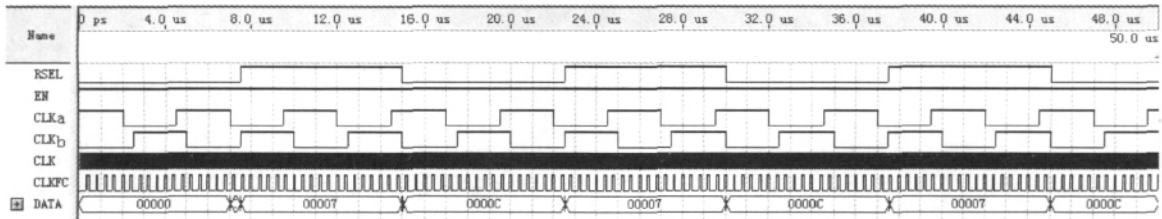


图 5 FPGA 数据采集仿真波形图

Fig. 5 Simulation waveform of FPGA data acquisition

4.2 ATmega128 运算控制程序设计

AVR 单片机 ATmega128 从 FPGA 分别读取频率和相位差的 20 位数字量,由于 FPGA 在 20 MHz 数据采集信号作用下对待测信号周期和两同频信号的相位差所对应的时间差计数,因此 20 位数字量的单位是 $0.05 \mu\text{s}$,单片机对这些数字量进行计算,可以得到待测信号的频率和相位差^[5]。

单片机运算控制程序设计思路:单片机(ATmega128)通过控制信号 EN 和 Dsel 从 FPGA(EPIC3T100)读取待测信号的周期和两待测信号相位差所对应的时间差,对读取的数据进行计算、转换,送液晶显示器显示,显示待测信号的频率、相位差以及有关信息。主程序流程图如图 6 所示。源程序由主程序及若干子程序组成,主程序是一个循环执行程序^[6]。

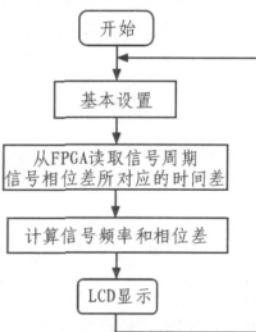


图 6 主程序流程图

Fig. 6 Flow chart of main program

1) 单片机从 FPGA 读数据

根据 MCU 与 FPGA 的 20 位数字量的接口,从单片机的 PA、PB 和 PC(低 4 位)读取数据,组合成 20 位的数据,控制线 EN 和 Dsel 控制 FPGA 释放数据。当 Dsel=1 时,FPGA 向单片机传送待测信号的相位差数据;当 Dsel=0 时,FPGA 向单片机传送待测信号的周期数据;当 EN=1 时,FPGA 向单片机释放数据,当 EN=0 时,FPGA 禁止向单片机释放数据。

2) 频率和相位差数据的运算

为了测量达到要求的精度,在运算时不能丢失数据,所以采用扩大倍数定点取数的方法,保证数据计算准确。依据如下方法进行计算:信号频率 $F=10^6/T$,计算结果精确到 1 Hz;相位差 $\Delta\theta=\Delta t \times 360^\circ \times 10/T$,计算结果精确到 0.1° 。

3) LCD 显示器显示频率、相位差等相关信息

本设计采用 HTM12864(128×64)的 LCD 液晶显示器,控

制器为 S6B0724,与单片机数据与控制接口是:CS、RET、D/C、SCLK、DATA,背光灯根据按键动作控制,用按键来切换显示信息。

5 结 论

本设计采用 MCU 和 FPGA 相结合的方法,ATmega128 单片机具有先进的 RISC 结构和运算控制功能,而 FPGA 集成度高、高频率的数据采集功能强劲,它们发挥各自的优势,均具备 JTAG 接口在线调试和编程功能,用此方法设计的数字式相位测量仪具有较高的精度,稳定可靠。本仪器测量正弦信号的频率及两个同频正弦信号的相位差,较好地满足了设计的技术指标要求。

参考文献:

- [1] 杜念文,郭利强.傅里叶展开法测相位的误差分析[J].电子测量与仪器学报,2007(2):15-18.
- [2] 李向阳,庾先国,穆克亮.相位检测系统中误差的消除[J].电子技术应用,2007(5):89-90.
- [3] 谭会生,瞿遂春.EDA技术综合应用实例分析[M].西安:西安电子科技大学出版社,2004.
- [4] 温正,何嘉扬,赵志鹏.AVR单片机开发从入门到精通[M].北京:中国电力出版社,2009.
- [5] 姚晖,李伟,季上满,等.基于单片机和CPLD的数字相位测量仪设计[J].工业控制计算机,2010(1):89-90.
- [6] 田秀丰,何继爱,李敏.低频数字式相位测量仪的设计[J].无线通信技术,2008(2):55-61.
- [7] YAO Hui, LI Wei, JI Shang-man, et al. Design of digital phase measuring apparatus based on MCU and CPLD [J]. Industrial Control Computer, 2010(1): 89-90.
- [8] TIAN Xiu-feng, HE Ji-ai, LI Min. Design of low-frequency digital phase measuring apparatus [J]. Wireless Communication Technology, 2008(2): 55-61.