

2 0 0 3 全国大学生电子设计竞赛全国一等奖

简易逻辑分析仪（D 题）

国防科大电子科学与工程学院 咸德勇 张 建 喻小虎

辅导老师：卢启中 陆 珉 关永峰

摘要 本系统以 MCS-51 系列单片机 AT89C51 作为人机交互的核心，用 XILINX 公司的 FPGA-XC2264 作为控制和数据处理的核心，能够同时对 8 路任意逻辑电平的数字信号进行采集、存储和显示，并具有响应单级触发字和任意两通道的三级触发字等触发条件的功能。本系统还具有比较深的存储深度和分页显示功能；具有多级的采样速率，适用于序列时钟频率在 100 kHz 以下的各种逻辑电平的数字信号；准确显示触发点位置和时间标志线。

方案比较

1. 数字信号发生器方案比较与选择

方案一 数字信号发生器可采用通用的数字 IC 和 555 电路来实现。用触发器、移位寄存器等来产生信号序列，555 电路产生时钟频率，同时利用机械式开关对信号发生器进行预置。但是这种方案的硬件电路庞杂，而且由 555 产生的时钟频率稳定度比较低，而且多级的机械式开关也使操作变得繁琐。

方案二 充分利用可编程逻辑器件

的强大的可编程能力，用 VHDL 语言编程，很容易实现一个时钟频率为 100 Hz、重复输出、能产生 8 路可预置的循环移位逻辑信号序列的数字信号发生器。这种方案不仅实现起来简单，而且可以充分发挥 FPGA 强大的并行处理能力，做到了资源的合理分配和利用，因此我们选择了这种方案。

2. 逻辑分析仪的方案设计与论证

方案一 双 MCU 方式。即由两片 MCS-51 系列单片机、比较器、D/A 转换器及存储器等组成系统。一片单片机作

为主 MCU 完成人机交互及控制；另一片单片机作为从 MCU，实现信号的采集和后级显示输出。其优点在于系统规模较小，但缺乏灵活性。

方案二 利用 FPGA 及其中嵌入的微处理器进行整个系统的设计，这种方案给软件设计带来了极大的方便，也符合目前电子领域的流行趋势，但这种方案对系统外围的硬件要求很高。我们没有选用这种方案是考虑到题目中要求的采样频率只有 100 Hz 这样做不能充分发挥 FPGA 的特点及优势从而造成系统的性

用同步电路，这是因为同步电路信号的变化都发生在时钟沿，只要毛刺不出现在时钟的沿口并且不满足数据的建立和保持时间，就不会对系统造成危害。由于毛刺很短，多为几纳秒，基本上都不可能满足数据的建立和保持时间。因此如果在输出信号的保持时间内对其进行“采样”就可以消除毛刺信号的影响。

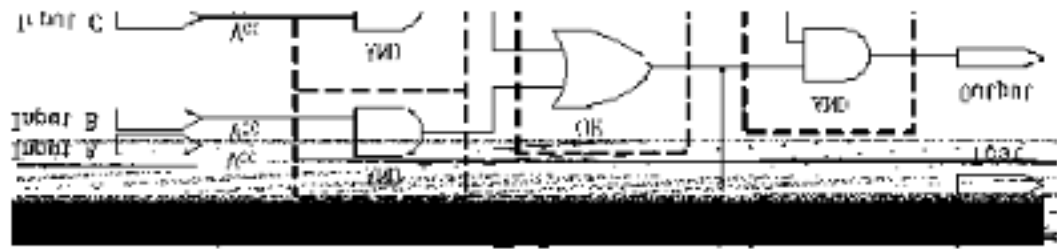


图 4

例如对图 1 中的电路，我们做出如图 4 所示的改进，在输出信号的保持时间内，用一定宽度的高电平脉冲与输出信号做逻辑“与”运算，由此获取输出信号的电平值。图 4 中从输入引脚“SAMP”引入采样脉冲信号。从图 5 的仿真波形上可以看出，毛刺信号出现在“TES”引脚上，而“OUT”引脚上的毛刺已被消除了。

4 待信号稳定之后进行取样

由于冒险出现在变量发生变化的时刻，如果待信号稳定之后加入取样脉冲，那么就只有在取样脉冲作用期间输出的信号



图 5

才能有效，这样可以避免产生的毛刺影响输出波形。

5 输出端增加输出电容

增加输出滤波，在输出端接上小电容 C 可以滤除毛刺，如图 6 所示。但输出波形的前后沿将变坏，在对波形要求较严格时，应再加整形电路，该方法不宜在中间级使用。

6 调整电路延迟

因为毛刺最终是由于延迟造成的，所以可以找出产生延迟的支路。对于相对延迟小的支路，加上毛刺宽度的延迟可以消除毛刺，但有时随着负载增加，毛刺会继续出现，因而这种方法也是有局限性的，而且采用延迟线的方法产生延迟更会由于环境温度的变化而使系统变不可靠。

在电路设计中综合使用以上几种方法将可以将毛刺出现的几率减到最小，大大加强系统的稳定性。

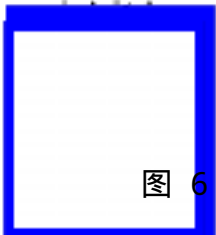


图 6

价比降低，系统的实用性受到限制。

方案三 把单片机和FPGA相结合，利用单片机的智能化来做按键处理，液晶显示的人机交互平台，同时利用FPGA强大的逻辑处理功能作为控制处理核心，既有简化的系统设计，又能够实现很多的附加功能，并具有很强的扩展性。

通过以上的分析，综合了实现的难易程度、系统的稳定度、系统的可扩展性、性价比和实用性这几个方面的考虑，我们选择了方案三。

3 系统设计方案

在整个系统的设计中，我们充分利用了现场可编程门阵列（FPGA和单片机各自的优点。Xilinx公司的XC2S10速度快、资源丰富，我们把所有的数字控制部分和处理部分通过FPGA来实现，大大提高了系统的可靠性，简化了硬件电路。单片机控制功能强，我们把所有的控制键都放到单片机最小系统的键盘上，并利用液晶屏幕显示当前工作状态。其它部分作为外围电路，支持系统完成各项功能。整个系统结构紧凑、性能可靠。图1为系统的整体框图。

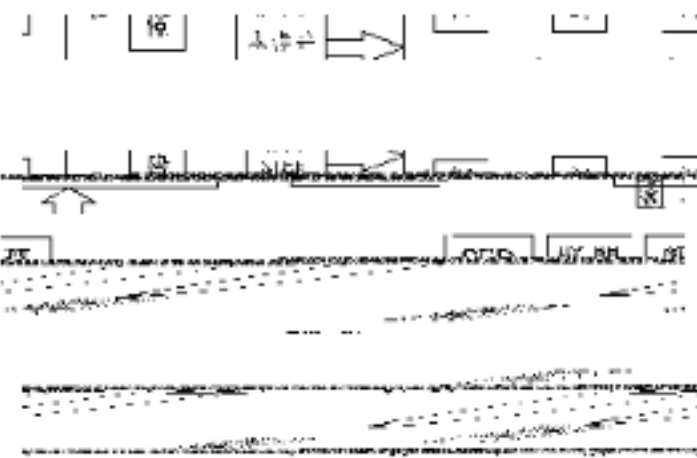


图 1

理论分析与计算

1 存储深度的实现方法

题目要求每通道的存储深度为20bit，一共有8个通道，因此在示波器上满屏显示8路信号需要20字节的存储空间；考虑到题目发挥部分所要求波形可以水平移动即触发位置可调，故需要存储触发前和触发后共40个字节的数据，再考虑到要求加深存储深度，实现分页显示的功能时，故存储容量至少为80个字节，来实现双页显示。

显示输出方法 题目中要求用模拟示波器作为简易逻辑分析仪的显示器件，我们把模拟示波器调在X-Y工作方式。然后分别在X轴和Y轴加上扫描信号和

采样信号，从而完成在模拟示波器上显

示出8路信号波形。具体实现方法如下：

(1)为了能够在模拟示波器上清晰地稳定地显示所采集到的8路信号，即进行多踪显示，我们采用了逐帧扫描的方法来实现，即逐次显示8路信号波形、触发位置、时间标志线等内容，因此我们设计按一屏10帧来扫描显示。假设扫描一屏的时间为T，要清晰、稳定地显示上述信息，主要是利用人眼的视觉暂留效果，人眼的视觉暂留时间一般为1/12~1/16s，我们这里取0.1则T<0.1。刷新频率(即显示一屏的频率)应满足f>10Hz。

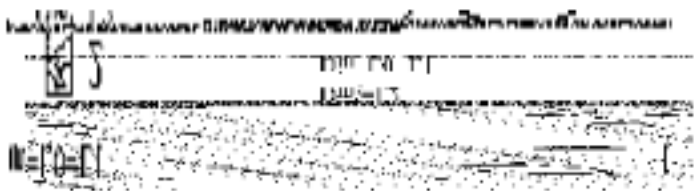
通过具体的实验模拟，我们发现当以100Hz的频率刷新显示可以感觉到屏幕不停地闪烁，显示不清晰；为了达到一个良好的效果，并根据我们的硬件支持条件，我们设定刷新频率为200Hz。则X轴的扫描频率：F=10×f=2kHz，为了保证在示波器上有连续清晰的显示效果，我们选择了每一bit数据由X轴的10个点来扫描，又由于每一帧的波形由20bit的数据组成，每一帧由200个点扫描。因此在X轴D/A的选择上，至少需要8位的D/A。同时由于向D/A发送数据的频率为200×2kHz=400kHz，故我们选择了速度和精度都比较合适的DAC0832。

(2 要在模拟示波器上同时显示8路信号波形，就必须对8路输出信号进行处理。为了能将8路信号清楚地分开显示在示波器上，我们采用的是每两路信号之间用一级进行隔离。这样从示波器屏的底部显示到顶部至少需要分成15级。这是利用DAC0832来完成的，具体方法是利用DAC0832的高四位数据端作为地址位把示波器屏分成16级，其中偶数级用于显示信号，奇数级仅用于隔离相邻信号；低四位则作为逻辑信号的输入，在示波器上显示为高和低。

2 三级逻辑状态触发功能实现方法 在做三级逻辑状态分析触发功能时，我们利用状态机做了一个三级的两位序列检测，即假设要检测的三级逻辑序列分别为L0、L1、L2例如L0=001=11，L2=100。输入信号用Din表示，状态机流程图如图2所示。

硬件电路设计

系统整体电路设计图见本刊网站。各单元的电路如下：



1 输入电路

输入电路主要是由电压比较器和DAC0832组成。其中利用DAC0832内部的电阻分压网络来产生一个可调的门限电压，为保证DAC0832的输出精度，其基准电压为2.5V，其输出为单极性输出，输出电压范围为-2.5~0V。为产生题目所要求的0.25~4V范围内按16级变化的门限电压，后级又加了一个反相比例放大器，把电压调节到0~4.5V。然后通过单片机控制DAC0832产生21级门限电压。比较器的V-端接门限电压作为阈值来保证各种输入信号的逻辑电平能够正确地进入我们所设计的简易逻辑分析仪。在比较器的选择中，我们选用集成度较高的4路比较器LM339。利用两片LM339即可组成8路输入电路。图3为门限电压控制电路。

2 数字信号输出电路

我们已经把数字信号发生器设计在FPGA内部，其输出要加在逻辑分析仪的输入端，为了区分数字信号发生器的输出端和逻辑分析仪的输入端，我们在电路板上把这两部分分别设计在电路板的两端以示区别，然后使用了8根连接线，使这两部分可以很方便地连接。

3 显示输出电路

由D/A转换器DAC0832构成的X轴扫描电路如图3所示。由FPGA控制DAC0832产生一个频率为2kHz的锯齿波作为X轴的扫描信号。但是这样输出的锯齿波毛刺比较多，会对扫描的稳定度产生比较大的影响。我们在DAC0832的输出处加入了一级阻容滤波网络，滤除D/A输出中所产生的毛刺。通过对实际波形的观察，发现通过滤波处理后，可以大幅度提高扫描信号的稳定度，同时可以保证Y轴信号更为清晰地显示在示波器屏上，图4为X轴扫描电路。

4 单片机最小系统的控制电路

单片机最小系统包含键盘、LED显

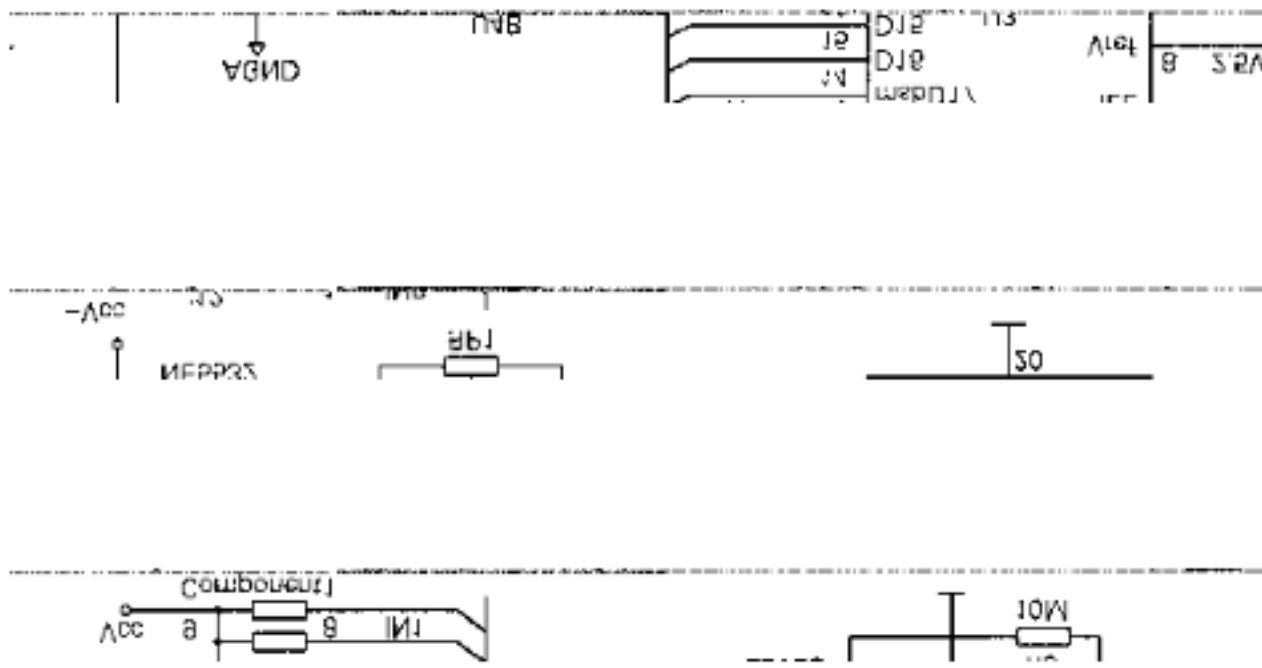
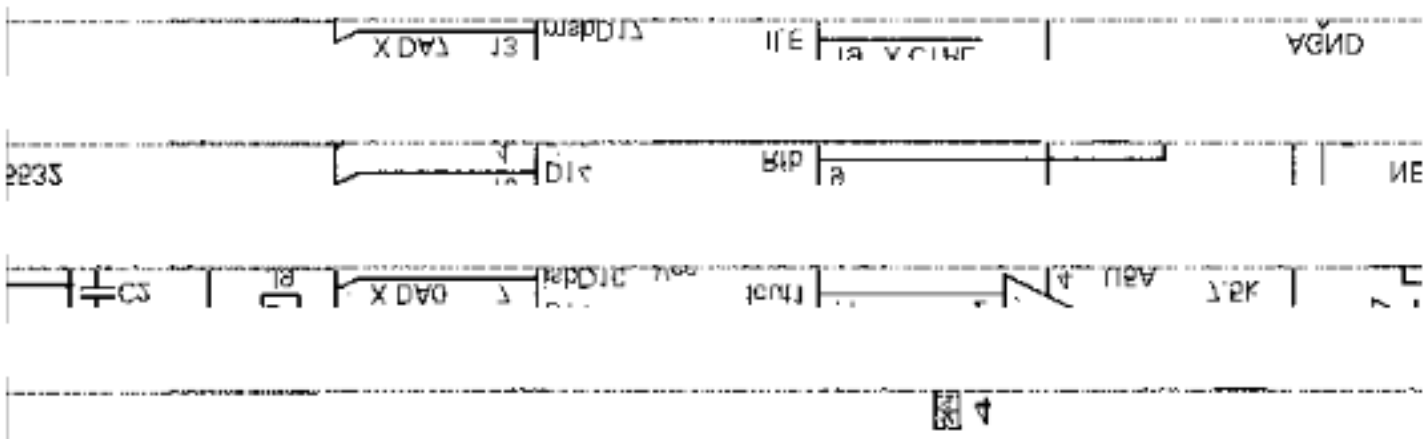
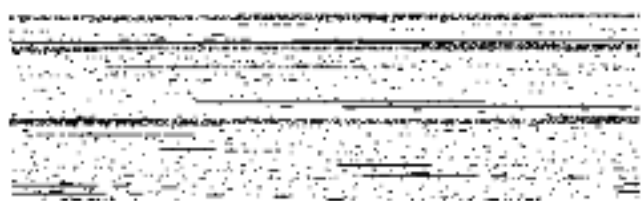


图3



示、点阵式 L C 显示、E E P R O M 为提供一个友好、智能的人机界面，我们采用图形点阵式 L C D 作为显示界面，可以实现全程菜单式中文界面显示，并能够准确地显示当前的系统工作状态。同时考虑到系统设计上的方便简洁，还使用 8 位 L E D 专门显示时间标志线处各路信号的逻辑电平。

同时设置 16 个按键作为用户输入命令的装置，具体的键表见表 1。



软件设计

软件设计主要是利用模块化设计，总体上分为两个大的模块：F P G A 部分的处理与控制模块及单片机部分的人机交互与通信模块，这样设计大大方便了系统调测、程序修改。

1. F P 部分

整个数字系统的核心控制在 F P G A 内部实现，在处理采样和输出中我们应用了

实时采样结合显存输出的方法，即数据采集模块实时对外部信号进行，并将采样值存入该模块内部的 R A M 中，当满足触发信号时，将数据送往显存中，用后级的显示模块单独控制显存向外部的 D A 输出。这种结构不仅可以方便实现题目中所有的要求，而且具有很强的扩展性，如提高系统的采样速率、对波形数据实行分页管理、实现 3 路信号的逻辑反演等等。F P G A 的内部框图和各个模块见图 5。



图5

(1) 时钟模块 在这个模块中，将 F P G A 的系统时钟进行分频，得到各个模块所需要的工作时钟，从而方便地实现系统的模块化设计。

(2) 数字信号发生器模块 应用一个可预置的移位寄存器来做这个数字信号发生器，不仅可以产生 8 路可预置的循环移位逻辑信号序列，而且结构简单，可以方便地预置移位控制字。

(3) 触发模块 用户可以设定的触发方式共有字触发、三级逻辑分析触发和单次触发三种。

字触发：在这种触发模式中，先要设计单级触发字，当被测信号电平与触发字所设置的逻辑的状态相同时，此模块向采样模块发出一个触发信号。

三级逻辑分析触发：可以设置 8 路信号中的任意两路信号作为触发信号。然后再设置三级触发状态字，例如：0 0 1，1 0 连续依次捕捉到设定的三级触发字的时候，发出一个触发信号送入采样模块，由采样模块再对 8 路被测信号进行处理。

但是有很多情况触发条件是不确定的，因此我们设置了单次触发功能。当用户进行一次单次触发设置时，系统便对信号进行一次采集、存储和显示。

(4) 采样模块 该模块一直对外部的被测信号进行采样，并将采样值循环地存入此模块中的 80 字节的 R A M 中，当触发信号到来时，再继续采样 40 个点，以保证 R A M 中存放着触发前后各 40 个点的采样数据，然后将此 R A M 里的 80 个点的数据全部写入显存。同时，将触发信号到来时 R A M 的地址送往显存模块。这样就可以方便地对触发前后的各 40 个点的采样值进行寻址并显示。

(5) 显存模块 该模块负责将显存中的采样值输出到外部的 D A 中，因为在示波器中只显示了被测信号的 20 个采样值，而显存中存储了触发前后共 80 个采样值，所以可以根据用户的各种设定从显存中选择出目前的工作区进行处理并输出，这样就可以方便地实现分页显示、触发位置可调及显示可移动的时间标志线等功能。

2 单片机程序设计

软件主要由两个模块构成：第一个模块为键盘处理模块，通过产生的各种状态信息，向 F P G A 发送各种控制字，通知当前的工作模式，同时可以控制输入

端的门限电压 ；第二个模块为显示处理模块，通过 L C D 显示当前的操作命令，通过 L E D 显示当前光标处所对应的各路信号的逻辑电压。 单片机程序流程图如 图 6 所示。

波形和液晶屏显示是否相符合。

测试结果与分析

门限电压的测试结果见 表 2。根据题目要求， 我们把信号发生器的

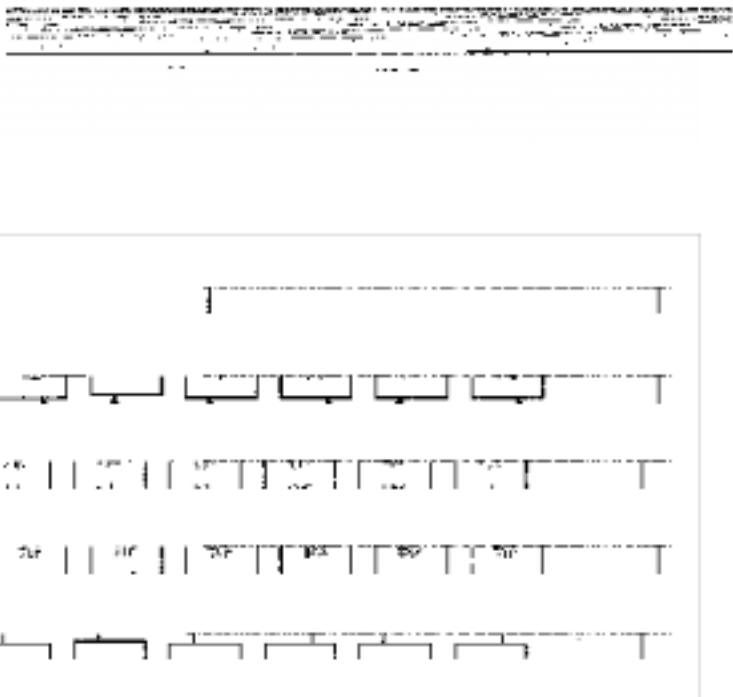


图 7

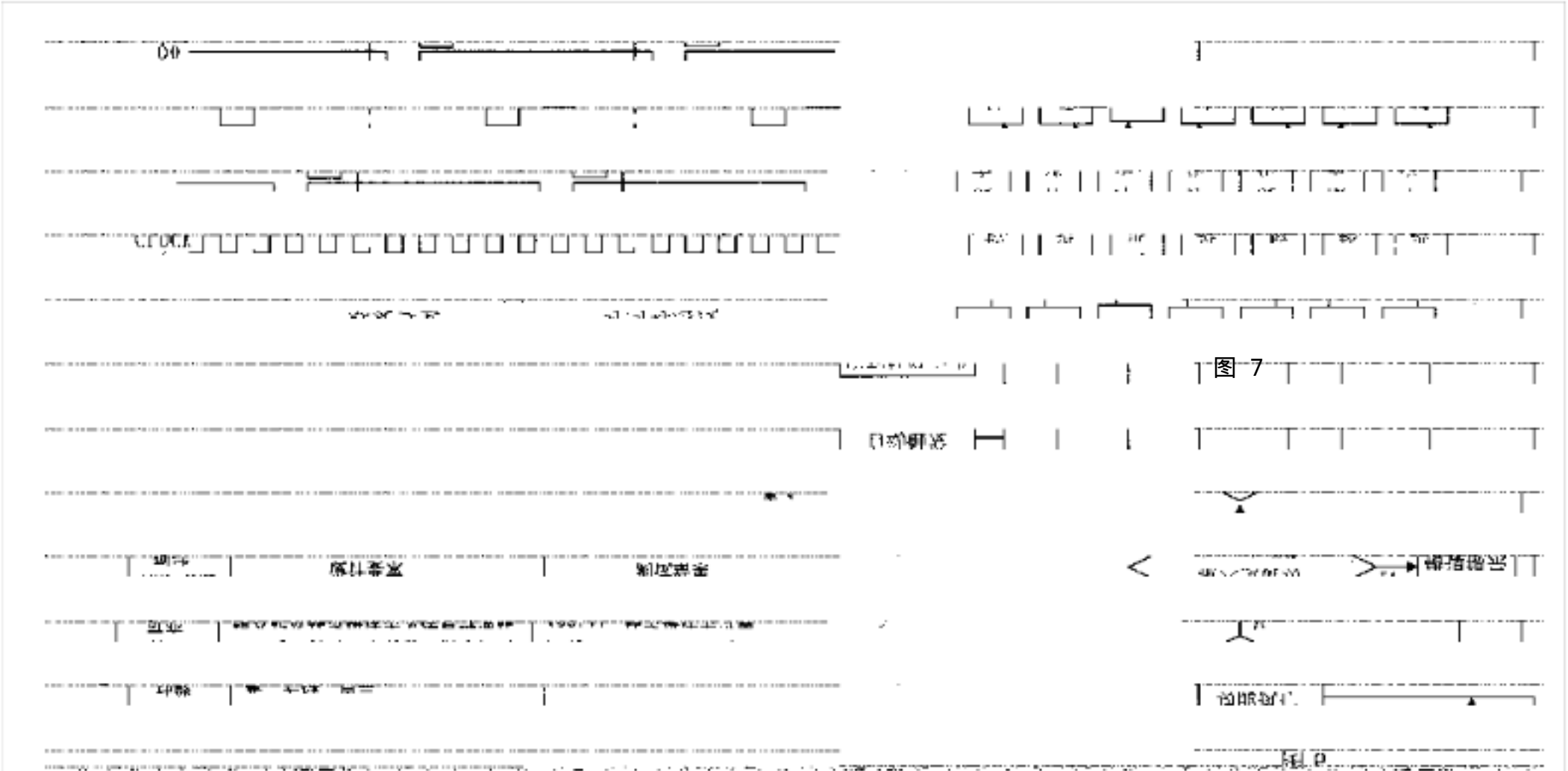


图 6

该软件可实现 (1 采集光标处各路信号的逻辑电平， 并用 L E D 进行显示，显示刷新一次为 5 0 0 m s ； 2 驱动液晶完成菜单式中文界面显示， 实时显示当前的工作状态信息 ；(3)通过键盘输入， 可任意设置数字信号发生器的循环序列的初值， 并将该序列发送 F P C 内部；(4) 设置逻辑分析仪的工作状态， 包括三种触发方式 (5)可设置逻辑分析仪的时间标注线的位置， 也可以设置触发点位置 ；(6)可设置逻辑分析仪显示触发前或触发后的逻辑状态数字， 以及显示第一页还是第二页的逻辑状态字 ；(7)控制逻辑分析仪设置 1 6 级的逻辑信号门限电压， 以适应各种输入信号的逻辑电平。

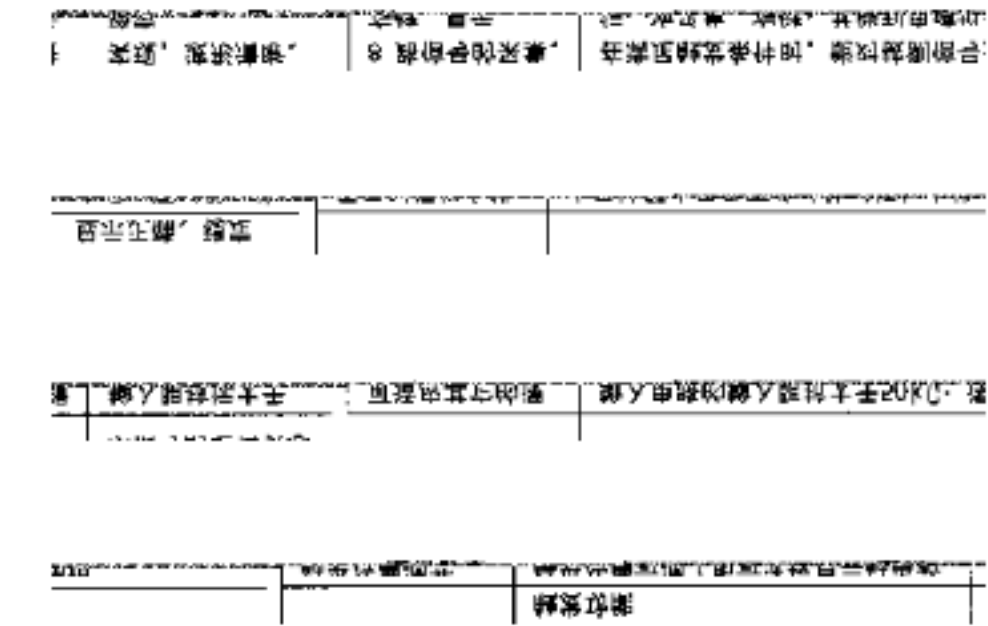
测试仪器与测试方法

测试仪器：C A 8 0 2 & 0 4 模拟双踪示波器 ；W Y K - 3 0 2 B 直流稳压逻辑分析仪。

测试方法 :用实验室的逻辑分析仪测试数字信号发生器， 观察数字信号发生器的输出是否与题目要求一致 ；用示波器测试逻辑分析仪的功能 (1 显示 8 路清晰、稳定的信号波形。(2)显示触发点位置并可以调节触发点位置。(3)显示可移动的时间标志线 ；观测示波器的信号

循环序列预置为 “ 1 0 0 0 0 0 触发”方式设为“ 字 触发 ”，触 发 字 为 “ 0 0 0 0 0 0 触发位置设为 8 ， 时间标志位置设为 1 6 最后在示波器屏显示的波形如 图 7所示。经过测试及分析我们最终实现了题目要求的全部功能， 主要测试结果见 表 3。我们实现的一些其它附加功能的测试如 表 4所示。

专家点评 ：作品以 F P G A 实现数字



信号的采集、存储和显示输出， 以单片机系统实现人机接口和控制功能。 功能分配合理，设计方案利于提高采集速率。 作品表明， 参赛同学已掌握了 F P C 和单片机软硬件的基本设计技能， 对多级状态触发的功能理解正确， 并掌握了在阴极射线显示器上显示多踪信号的方法。

论文的分析和理论基本上是正确的。

但在细节上还需要注意。例如：论文中提到人眼的视觉暂留时间为 1 / 1 2 ~ 1 / 1 6 s，但却采用 0 . 1 s 的刷新周期。这显然不满足要求，而在实验中发现有问题才将刷新频率提高。另外，图 4 中所示的文中所提及的“ 阻容滤波网络 ” 也是错误的。

点评专家：赵振纲，北京邮电大学教授， 全国大学生电子设计竞赛专家组专家。