

2 基于 TLC5510 的数据采集设计

2.1 两级 采样

TLC5510 虽采样率高，但受干扰严重。基于上述特点，将 TLC5510 运用于宽频数字示波器的数据采集。为了提高抗干扰能力，专门设计一个有源晶振模块为 TLC5510 提供采样时钟，但导致采样率不可调。为了解决这个问题，采用两级采样。第一级采样为控制 A/D 转换器对外围的电信号高速采样，并将其采样保存到 FPGA 内部寄存器，该级采样率恒定不变，并由硬件设计实现；第二级采样为软件采样。即由 FPGA 采样控制模块从寄存器中提取第一级采集结果，该级采样率是可调的。

2.2 等效采样

根据奈奎斯特定律，采样频率高于信号频率的两倍就可恢复原波形。当采样频率等于或小于信号频率可采用等效采样，在不同周期获取不同相位的幅值。根据相位将幅值连续排列即可复原波形。采用内触发采样，即由被测信号的某相位点位为触发，然后存储。其实现过程：每一个完整的采样需采集 256 个点，每一个采样点都是由相同电平触发，触发后启动 FPGA 内部的计数器，对高频脉冲应加入一个记数，脉冲数不同，代表相位也不相同。经过 256 个周期，就可采集 256 个不同的相位点。

3 基于 FPGA 的等效采样

3.1 实现 方案

该系统设计采用延迟法来实现等效采样。如图 3 所示，设输入信号 $f(t)$ 的周期为 T (频率为 f)，若将 $f(t)$ 的一个周期以 Δt 等分，在时间 t_1 进行第一次取样，为了采集到下一个相位点，在时间 t_2 进行第二次采样， $1 \sim 2$ 可相隔多个信号周期。假设 m 个，则相邻两个采样脉冲的时间间隔为 $mT + \Delta t$ 。如此类推，以下 3 个采样点则分别在 t_3, t_4, t_5 时刻采样。在每个触发位置延时 $N\Delta t$ ($N=0, 1, 2, 3, \dots$) 后存储采样，即可合成一个完整波形。这种方法控制方便，通过 FPGA 完成整个触发、延时、采样和存储功能，但对触发电路和延时电路要求很高。

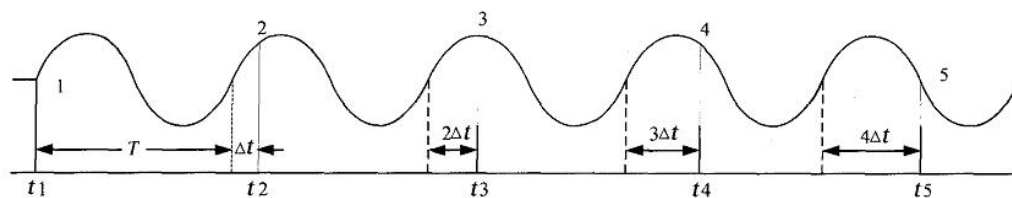


图 3 等效采样时序

3.2 硬件电路设计

3.2.1 整形触发电路

由于每一次采样都要由某一事件触发，所以该系统设计采用内触发，即触发源为被采样信号，并由硬件触发电路实现。该电路可把各种波形的周期信号整形为与原信号周期相同的方波信号。

由于采用等效采样技术，其被测信号频率较高。假设被采样信号的最高频率约为 10 MHz，则整形器件选用 Maxim 公司的电压比较器 MAX912。当输入信号电压高于预置的触发电平时，输出高电平；反之输出低电平。图 4 所示为整形触发电路。

将原来 FPGA 自带的 40 MHz 时钟信号送入数字锁相环使之 5 倍频，进而提高至 200 MHz。其二为控制模块，采用 同步开启异步复位 的编程思想。它有两个时钟输入端：clkce2 是被测信号经整形电路后的脉冲信号，该信号为同步信号，也为触发源。每次采样都由该信号触发开始计数；clk-200 是数字锁相环产生的高频采样脉冲，计数开始后内部计数器对 clk-200 计数，当计数到 m 后(即 $m \Delta t$ 时间)，计数完毕，马上控制采样保持电路进入保持状态，然后在经过若干个 clk-200 时钟周期后(为了使信号完全进入保持状态 电平达到稳定)，采样该数据点(每一数据点代表一个相位的数据值)。若每一个采样周期需要采样 256 个点，则最大延时为 $256 \Delta t = 256 / 200 = 1.28 \mu s$ ，而被测信号为 10 MHz，其周期为 0.1 μs ，所以两采样点之间至少要间隔 13 个周期(最大延时 < 两采样点的时间差)