

基于 FPGA 与 AD9854 的宽带扫频信号源设计

董建晶 张晓青

(北京信息科技大学仪器科学与光电工程学院 北京 100192)

摘要:以直接数字频率合成技术为核心的宽带扫频信号源已成为近年来的研究热点。详细分析了数字频率合成芯片 AD9854 在 Ramped FSK 工作模式下的扫频信号输出原理,并以 Altera 公司 CycloneIII EP3C10E144C8N FPGA 为主控芯片,组建外围电路,利用 QuartusII 开发工具以及 VHDL 语言编写控制逻辑,实现了扫频范围为 0~90 MHz 的扫频源系统。测试结果表明:该系统扫频步进 30 Hz,时间步进 1.6 μ s,并可实现非线性频率扫描,系统性能达到了分布式光纤布里渊传感测量系统对扫频源的要求。

关键词:扫频;宽带;直接数字频率合成;FPGA

中图分类号: TP2 TN79 **文献标识码:** A **国家标准学科分类代码:** 520.604

Design of broadband frequency-sweep signal generator based on FPGA and AD9854

Dong Jianjing Zhang Xiaoqing

(School of Instrumentation Science and Opto-electronics Engineering, Beijing Information
Science and Technology University, Beijing 100192, China)

Abstract: The design of broadband frequency-sweep signal source based on direct digital synthesis(DDS) technology has been a focus of research in recent years. This paper introduces the basic theory of DDS and analyses detailedly principle of frequency sweep signal output of DDS chip AD9854 in Ramped FSK mode. CycloneIII EP3C10E144C8N FPGA of Altera Corporation is used as the main control chip, and its periphery circuit is built. By the QuartusII development tools and VHDL, controlling logic programs of broadband frequency-sweep source system are designed and compiled. Test results show that the frequency sweep range is 0 to 90 MHz, and the system minimum sweep step is 30 Hz, time step is 1.6 μ s. In addition, nonlinear frequency scanning is realized according to the actual needs. The system's performance reaches the requirements in distributed fiber Brillouin sensor measurement system.

Keywords: sweep signal; generator broadband; DDS; FPGA

1 引言

1971年,美国学者提出直接数字频率合成(direct digital synthesis, DDS)技术,被称为频率合成技术的第三次革命^[1]。由于其具有精度高、信号噪声小、频率分辨率高、转换速度快、工作频带较宽、具有调制能力等优点,近年来,开发和设计高性能的、以 DDS 技术为核心的信号源正成为热点^[2]。

目前,基于 DDS 的扫频信号源一般有 2 种实现方法。一种采用 FPGA 本身可编程硬件架构来组建 DDS 系统^[3-4],这种方法控制方式灵活,可变性好,但(甚)高频输

出对外部 DAC 要求很高,不易实现;另一种 MCU+DDS 芯片的实现形式^[5-6],通过一款单片机(如 ATmega128)对高集成度的 DDS 芯片进行控制,可实现宽带高频输出且性能稳定,但传统单片机编程比较固定,不易实现功能扩展,已不能满足现在高速信号处理的要求。

随着电子以及光信息技术的飞速发展,对扫频源的稳定性和扫频范围等有着越来越高的要求^[7-9]。如在光电测量领域,外调制 BOTDA (brillouin optical time-domain analysis) 分布式光纤测温系统就需要通过宽带扫频源结合光电相位调制系统调制激光光源,所需的扫频带宽近 100 MHz^[10-11]。将 FPGA 资源丰富、编程灵活、便于并行

收稿日期:2013-10

中国科技核心期刊

国外电子测量技术 — 65 —

控制的特点与现成的 DDS 集成度高、性能稳定、使用方便的优点相结合,设计一款基于 AD9854 的宽带扫频源,以适应传感测量系统对扫频源的要求。

2 扫频原理

2.1 DDS 原理

直接数字频率合成(DDS)技术的理论基础是香农(Shannon)采样定理。该技术的基本原理为:以高稳定度的参考时钟为参考源,通过相位累加器、数字信号处理以及高速 D/A 转换器产生所需数字波形,再经过模拟滤波器后,得到最终的模拟信号波形,如图 1 所示。

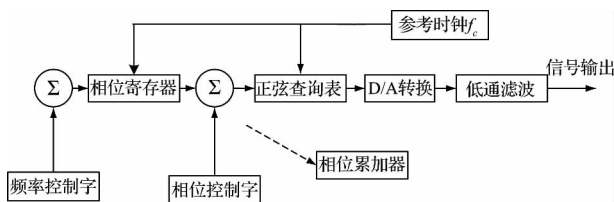


图1 DDS基本原理

2.2 Ramped FSK 扫频原理

AD9854 在 Ramped FSK 模式的工作原理^[12]如图 2 所示。首先,通过写入频率控制字 1 和 2 设定 F_s 和 F_t 作为起始和终止频率($F_s < F_t$)。之后,当收到一个来自 DDS 内部边沿速率计数器(控制时间步进)的输出脉冲时,频率累加器就与 Delta 频率寄存器(其写入控制字控制频率步进)累加一次,这个累加值通过加法器与 F_s (或 F_t) 频率字相加(减),其结果进入相位累加器,形成 DDS 正弦波查找表地址。

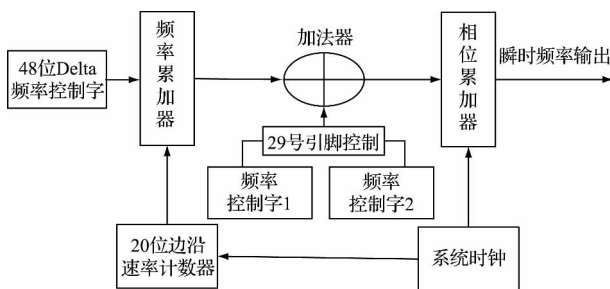


图2 Ramped FSK 模式工作原理

在此过程中,控制寄存器“triangle”位影响频率输出方式。若该位置低,输出频率受 29 号引脚“FSK/BPSK/HOLD”控制;当此引脚电平发生变化时,输出信号的扫频斜率将会发生翻转,以相同的变化率返回原状态,直到“FSK/BPSK/HOLD”再次发生改变。若“triangle”位置高,此时系统按照前述过程进行 $F_s \rightarrow F_t \rightarrow F_s$ 形式的扫频输出(三角式扫频),扫频过程不受“FSK/BPSK/HOLD”控制。图 3 为 2 种情况下的扫频输出仿真波形(设 $F_t = 5F_s$,扫

频步进为 F_s ,扫频取 $F_s \sim F_t$ 部分)。其中 Figure I(II)为“triangle”置低(高)时的输出波形, Figure III 为“FSK/BPSK/HOLD”的输入状态。

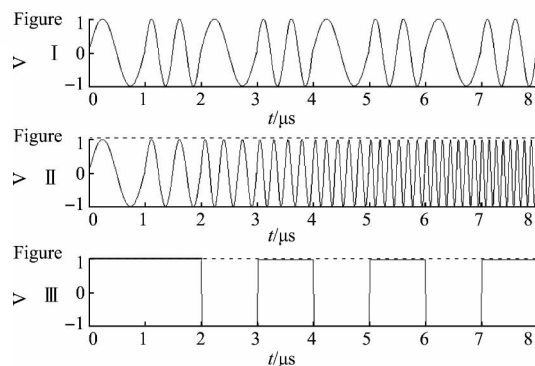


图3 2种情况下的扫频输出仿真波形

AD9854 扫频参数可表示为:

$$F_{\Delta} = [DFW/2^N]F_{SYS_CLK} \quad (1)$$

式中: F_{Δ} 为扫频频率步进, DFW 为频率步进控制字, N 为频率步进控制字位数($N = 48$), F_{SYS_CLK} 为 DDS 系统时钟频率, 每个中间频率点的停留时间为:

$$T_{\Delta} = (M+1)T_{SYS_CLK} \quad (2)$$

式中: M 为扫频停留时间控制字($M = 1 \sim 2^{20} - 1$), T_{SYS_CLK} 为系统时钟周期。可以得到:

$$T_{ramp} = 2(T_{\Delta}/F_{\Delta})(F_t - F_s) \quad (3)$$

式中: F_s 和 F_t 分别为扫频起始和终止频率, T_{ramp} 为三角扫频周期。

3 宽带扫频系统总体设计

设计的宽带扫频系统组成结构如图 4 所示,主要以 DDS(实现芯片 AD9854)为技术核心,系统控制部分采用 Altera 公司生产的一款低成本、高性能和低功耗 FPGA CycloneIII EP3C10E144C8N 作为控制器,实现宽带扫频信号输出,通过上位机控制,可方便地对扫频范围、扫频步进等参数进行设定。

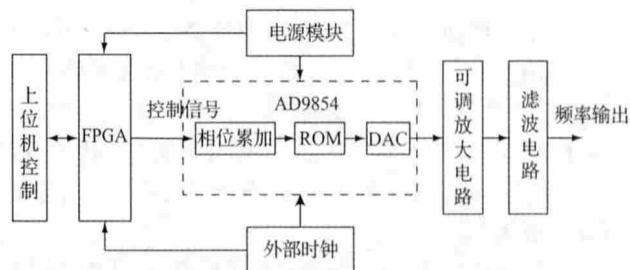


图4 基于FPGA和AD9854组成的宽带扫频源

3.1 信号产生与上位机控制部分

系统采用 40 MHz 外部独立晶振经由片内倍频器 7 倍频达到 280 MHz,作为 AD9854 的系统时钟,如图 5 所

示。通过管脚分配,将 AD9854 的 UD_CLK、MST_RST、WRB/SCLK 等与 FPGA 相连接。将 S/P SELECT 引脚接高电平,选择并行传输方式,系统所需要电源有一 12 V、+12 V、+5 V、3.3 V,设计相应的电源系统避免电平不匹配问题,提高系统稳定性。

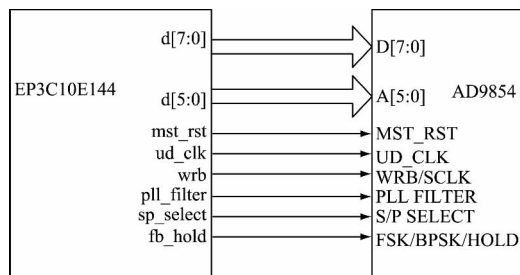


图5 FPGA和AD9854的硬件连接

设计中采用了通信接口(RS232)与PC相联,采用MAXIM公司的MAX232芯片搭建电平转换电路,PC的控制命令通过TXD和RXD与FPGA进行交互,控制信号源的输出。

3.2 信号调理部分

采用超高速电流反馈型放大器AD8009设计放大电路实现系统可调放大,大信号带宽达到440 MHz,最大增益20 dB。根据DDS合成的频谱特点,由于存在相位截断和D/A转换,输出信号含有高次谐波分量干扰,设计一个截止频率100 MHz的7阶椭圆滤波器对输出信号进行滤波^[13],如图6所示。

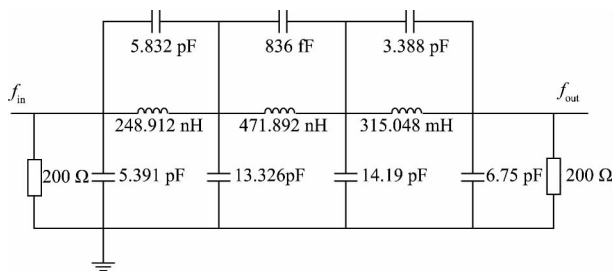


图6 7阶椭圆低通滤波器原理

4 软件流程图及编程控制

AD9854有40个程序寄存器,并行地址范围0X00~0X27,对AD9854的控制过程就是对这些程序寄存器进行写数据操作,其中有4个8位控制寄存器(0X1D~0X20),可以对AD9854的各种工作方式的控制。系统上电以后,通过一段初始化程序对系统进行初始化复位,上位机发送配置寄存器命令后由时钟系统和控制程序将相应控制字(位)刷进寄存器,实现对系统的控制输出。宽带扫频源控制流程如图7所示。

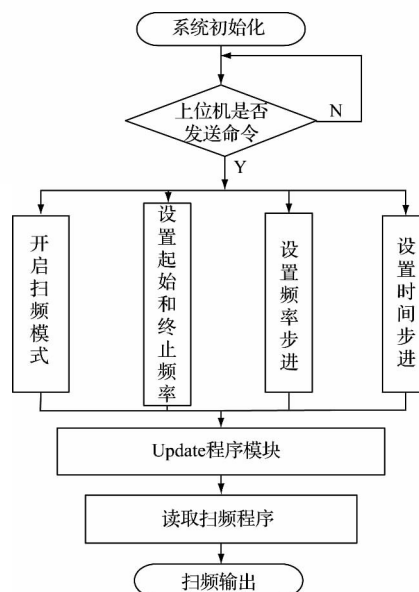


图7 宽带扫频源控制核心流程

系统采用VHDL语言编写时序逻辑对AD9854以及其他模块进行通信与控制,限于篇幅下面列出的是配置AD9854的工作模式及扫频参数的进程。

```
process(dds_clk)
begin
    if (dds_clk'event and dds_clk = '1')
        if count = 21 then
            ud_clk <= '1'; else ud_clk <= '0';
        end if;
        ----- 设置频率控制字 1 -----
        elsif count = 1 then
            address <= "000100";
            data <= "00000000"; -- 第40~47位
            :
            ----- 设置频率控制字 2 -----
            elsif count = 7 then
                address <= "001010";
                data <= "00000000"; -- 第40~47位
                :
            ----- 设置频率步进字 -----
            elsif count = 13 then
                address <= "010000"; data <= "00000000"; --
                -- 第40~47位
                :
            ----- 设置时间步进字 -----
            elsif count = 19 then
                address <= "011010"; data <= "00000000"; --
                -- 第16~23位
                :
            :
        end if;
    end if;
```

```

----- 设置工作模式 -----
elseif count = 20 then
    address <= "011111";
    data <= "01000100"; -- Ramped FSK
end if ;
end process;
:

```

5 实验结果

硬件系统设计和仿真工作完成以后,对系统进行测试。将 MASTER RESET 置高最少 10 个系统周期对 AD9854 进行初始化,对控制寄存器(0X1D~0X20)进行写操作设置工作模式、系统时钟以及节电工作状态等。分别对 0X04~0X09 和 0X0A~0X0F 单元分写入控制字“31253567”和“90474099689767”(十进制表示),由 DDS 频率合成关系式 $f_{\text{out}} = 280MK/2^{48}$ 得到扫频范围为 30 Hz~90 MHz,对 0X10~0X15 频率步进字“31253567”,频率步进为 30 Hz。对 0X1A~0X1C 写入时间步进字“452”(十进制表示),时间步进为 1.6 μs 。三角扫频周期 9.6 s。写入的控制字首先被存入到 I/O 缓冲器,由 Update 脉冲刷新进入各自寄存器,从而保证了系统工作的同步性。

在第一个 Update 触发脉冲之后,设置控制寄存器 CLR ACC2 位为高电平,将频率累加器和相位累加器清零,之后由系统时钟再产生下一个 Update 信号,设置控制寄存器 CLR ACC2 位为低电平,系统恢复扫频状态,此时系统扫频输出为 0~90 MHz。

图 8、图 9 和图 10 分别为扫频输出信号、低频(180 Hz)输出和高频输出(90 MHz)时的频谱图,可以看到,实验结果与理论分析保持一致。通过上位机和 FPGA 的通信过程以及编程控制,可以很方便地对 AD9854 进行功能扩展,如输出点频、方波、三角波、BPSK 等波形,如在 singal tone 模式下,通过变更频率控制字形成点频信号输出,如图 11。由于 FPGA 自身的丰富资源,还可以增加锁频模块和显示模块设计成扫频仪。

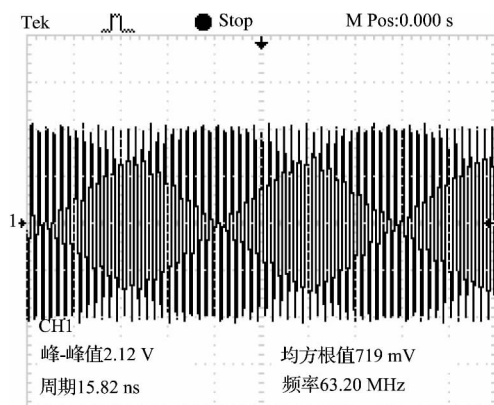


图 8 示波器显示的扫频信号瞬时截图

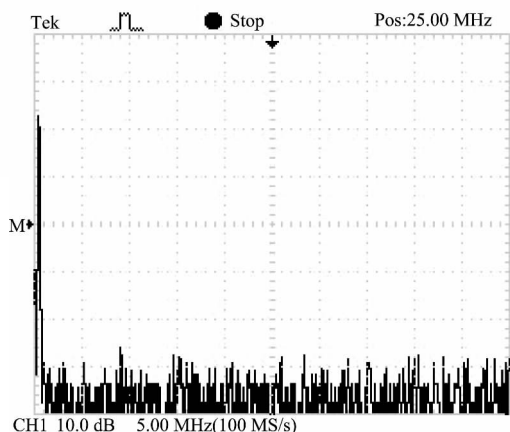


图 9 $f_{\text{out}} = 180 \text{ Hz}$ 时的频谱

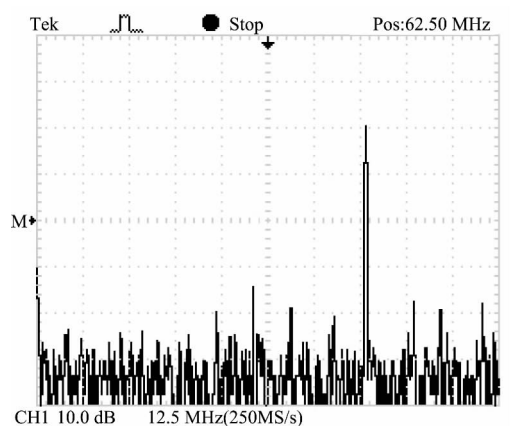


图 10 $f_{\text{out}} = 90 \text{ MHz}$ 时的频谱

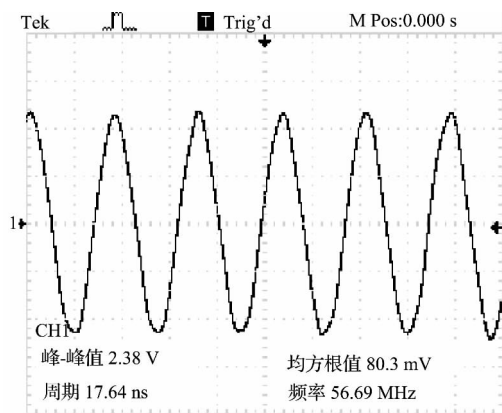


图 11 singal tone 模式下的点频输出波形

在某些测量应用时,由于各个频率段对系统的作用程度不同,为了减小测量时间或者提高测量精度,需要采用非线性扫频方式。对于本系统而言,可对频率步进寄存器,时间步进寄存器等进行编程设置,改变扫频斜率,从而实现分段式非线性扫频,如图 12(b)所示。

图 12(a)图为本例中的三角式扫频输出曲线,在 0~

90 MHz 整个带宽表现为线性扫频;将扫频带宽划分为 0~45 MHz 和 45~90 MHz 2 个频率段,通过编程设置 delta 频率寄存器和边沿速率寄存器,改变 0~45 MHz 频率段内频率步进为 120 Hz 和时间步进 $3.2 \mu\text{s}$, 45~90 MHz 保持原来的扫频斜率不变,扫频曲线如图 12(b)。分段式扫频在某些应用场合可有效地提高效率或者精度,频率分段区间和扫频斜率可根据需要灵活控制。

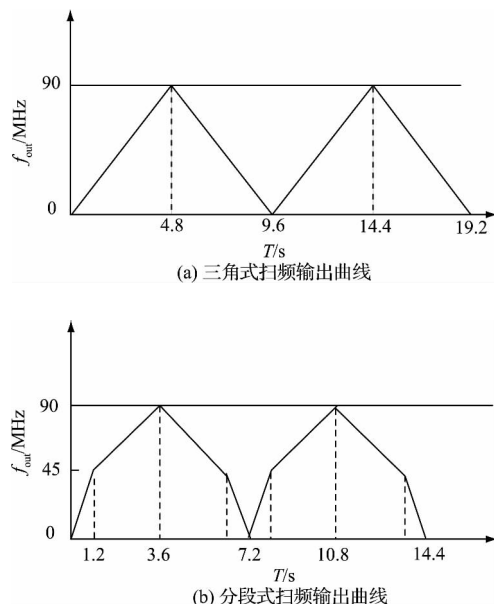


图 12 三角式和分段线扫描输出关系

6 结 论

设计实现了基于 FPGA 和 DDS 芯片 AD9854 的宽带扫频源,扫频范围可在 0~90 MHz 任意设定,并可实现非线性扫频。测试结果表明,该系统达到了分布式光纤布里渊传感测量系统对扫频源的基本要求。并且可以很方便地进行功能扩展,满足不同情况的需求,具有很大的应用空间。

参 考 文 献

[1] TIERNEY J, RADER C, GOLD B. A digital frequency synthesizer[J]. IEEE Transactions on Audio and Electroacoustics, 1971, 19(1): 48-57.

- [2] 陈迪,刘旺锁,姚直象. 基于 DDS 的声响信号发生器设计与实现[J]. 国外电子测量技术, 2012, 31(5): 74-76.
- [3] 王全洲,裴东,杨志民,等. 基于 FPGA 的扫频信号源的研究与设计[J]. 现代电子技术, 2008, 31(14): 164-166.
- [4] 梁孟享,胡聪,盘书宝,等. 基于 FPGA 的高性能信号源模块设计[J]. 国外电子测量技术, 2012, 31(4): 64-65.
- [5] 蒋涛,唐宗熙,张彪. 一种基于 DDS+PLL 结构的频率合成器的设计[J]. 电子测量与仪器学报, 2009, 23(10): 91-95.
- [6] 杜占龙,谭业双,姚振亚. 基于 AD9954 的信号源设计与实现[J]. 电子测量技术, 2011, 30(2): 53-56.
- [7] 吴银标,谢华,付在明. 基于 AD9854 的 DDS+PLL 的时钟源设计[J]. 电子测量技术, 2011, 34(8): 60-62.
- [8] 万亮,许鼎,何国瑜. 基于线性扫频源的 X 波段快速幅相测量系统[J]. 仪器仪表学报, 2012, 33(7): 1647-1652.
- [9] 蒋政波,洪伟,杨广琦,等. GSM/TD-SCDMA 双模扫频仪的研制[J]. 仪器仪表学报, 2012, 33(10): 2364-2370.
- [10] 黄民双,黄军芬. 光纤移频分布式布里渊光纤传感技术[J]. 光子学报, 2011, 40(9): 1428-1432.
- [11] 李楚瑞,王超,肖倩. 基于全光纤干涉的新型光纤长度测量系统[J]. 仪器仪表学报, 2011, 32(2): 415-419.
- [12] Analog Devices. AD9854. pdf[S/OL]. www.icpdf.com
- [13] 李春剑,吉望西,刘达伦. 基于 DDS 椭圆型低通滤波器的设计[J]. 国外电子测量技术, 2009, 28(1): 36-38.

作 者 简 介

董建晶, 1987 年出生, 工学硕士, 主要研究方向为光电检测技术及信号处理。

张晓青, 1967 年出生, 工学博士, 副教授, 主要研究方向为光纤传感技术及先进信号处理。

E-mail: djianjing@126.com