

## 基于 FPGA 的数字信号传输性能分析仪

孙 盼, 姚佳毅, 林阅斌

(山东大学 信息科学与工程学院, 山东 济南 250000)

**摘 要** 文中分析的 FPGA 系统以数字电路为核心, 由数字信号发生器、低通滤波器、加法器、伪随机信号发生器、数字信号分析电路组成。并通过对系统方案的对比, 以及电路、软件的分析与设计, 针对数据率误差、伪随机码误差、眼图和眼幅度均进行了实测, 检测结果显示误差值均在允许范围内。

**关键词** 曼彻斯特码; 数字锁相环; 同步信号; 眼图

中图分类号 TN919.6<sup>+</sup>4 文献标识码 A 文章编号 1007-7820(2012)08-032-03

## Analyzer of Transmission Performance for Digital Signals Based on FPGA

SUN Pan, YAO Jiayi, LIN Yuebin

(School of Information Science and Engineering, Shandong University, Jinan 250000, China)

**Abstract** The FPGA system analyzed in this paper has the digital circuit as its core. It is composed of the digital signal generator, low pass filter, adder, pseudo random signal generator and digital signal analysis circuit. The system scheme is compared and the circuit and software are analyzed and designed. To reduce the data rate error and pseudo random code error, eye and eye amplitude were measured. Test results show that error values are within the allowable range.

**Keywords** manchester code; digital phase-locked loop; synchronized clock signal; eye diagram

## 1 系统方案

## 1.1 系统原理框图与方案描述

系统由数字信号发生器、低通滤波器、加法器、伪随机信号发生器和数字信号分析电路 5 部分组成, 实现数字信号传输性能测试, 同时由低通滤波器和伪随机发生器模拟传输信道。 $V_1$  和  $V_{1-clock}$  是数字信号发生器产生的数字信号和相应的时钟信号;  $V_2$  是经过滤波器滤波后的输出信号;  $V_3$  是伪随机信号发生器产生的伪随机信号;  $V_{2a}$  是  $V_2$  信号与经过电容  $C$  的  $V_3$  信号之和, 作为数字信号分析电路的输入信号;  $V_4$  和  $V_{4-syn}$  是数字信号分析电路输出的信号和提取的同步信号。

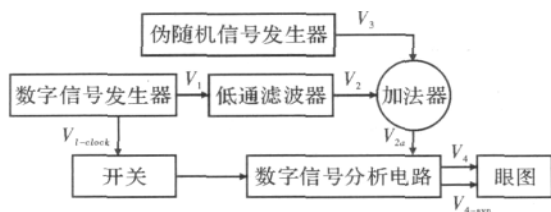


图 1 原理框图

## 1.2 方案论证与比较

## (1) 信号发生电路。

方案 1 采用数字芯片构建数字信号发生器, 伪

随机信号发生器采用 FPGA 实现数字信号分析。

方案 2 采用纯 FPGA 硬件电路方式。即分别用 3 块 FPGA 硬件电路来实现数字信号发生器、伪随机信号发生器。

方案 2 硬件电路简单, 利用了 FPGA 的强大性能, 但容易降低传输性能指标。相比之下, 方案 1 对该系统设计更加合理, 且并未降低指标。应用纯硬件电路进行信息处理和模块控制, 可有效提高设计效率和稳定性, 故采用方案 2。

## (2) 模拟电路。

方案 1 采用电感与电容搭建无源滤波器。

方案 2 采用运放 NE5532 搭建有源滤波器。

方案 1 电路简易但精度低。相比之下, 方案 2 达到了最大 10% 误差精度, 增益范围较大。因此采用方案 2。

## 2 电路分析与设计

## 2.1 低通滤波器的设计

双二阶巴特沃兹有源滤波器: 由两个积分器及一个单位增益反相放大器构成, 运放采用 NE5532。截止频率为 100 kHz 时, 电容为 159 pF,  $R_1$  为 7 k $\Omega$ ,  $Q$  为 0.707; 截止频率为 200 kHz 时, 电容为 80 pF,  $R_1$  为 7 k $\Omega$ ,  $Q$  为 0.707; 截止频率为 500 kHz 时, 电容为 31 pF,  $R_1$  为 7 k $\Omega$ ,  $Q$  为 0.707。增益分为衰减与放大两档, 采用电位器实现增益可调, 由 NE5532 搭建同相加法器抬高电平至 FPGA 输入信号范围。

收稿日期: 2012-03-13

作者简介: 孙盼(1992—), 男, 本科。研究方向: 通信技术。

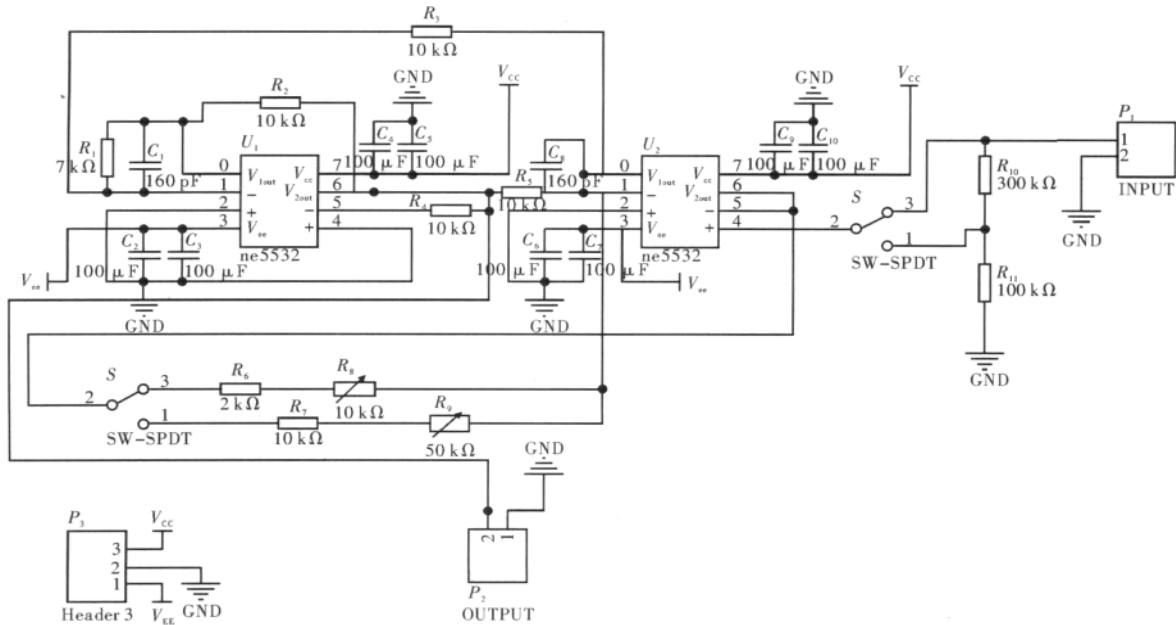


图2 低通滤波器

## 2.2 数字序列信号的产生

序列的产生需要完成以下几步操作: 时钟信号的产生 移位寄存器反馈异或。

(1) 时钟信号的产生。频率从 10 ~ 100 kHz, 步幅为 10 kHz 变化。首先是分频, 以 2 MHz 晶振搭的振荡电路为原频率, 采用分频芯片 cd4017 进行 100 分频得到 20 kHz 的脉冲, 再通过 T 触发器得到占空比为 50% 的 10 kHz 频率。再将 10 kHz 的信号利用锁相环进行

倍频 将锁相环的反馈电路接入一分频器,有如下关系:  $w_0/N = w_1$ , 所以  $w_0 = N \times w_1$ , 因此可实现对  $w_1$  的倍频。其中分频器采用分频芯片 cd4017 与模拟开关 cd4051 搭成可实现 10 分频的分频器。至此得到了 10 ~ 100 kHz 步幅为 10 kHz 的 10 种频率的信号。

(2) 由移位寄存器产生曼彻斯特序列。结合曼彻斯特编码原理及序列定义,采用移位寄存器 74ls194 和 74hc86 异或门结合搭成的带特定反馈的序列产生电路。

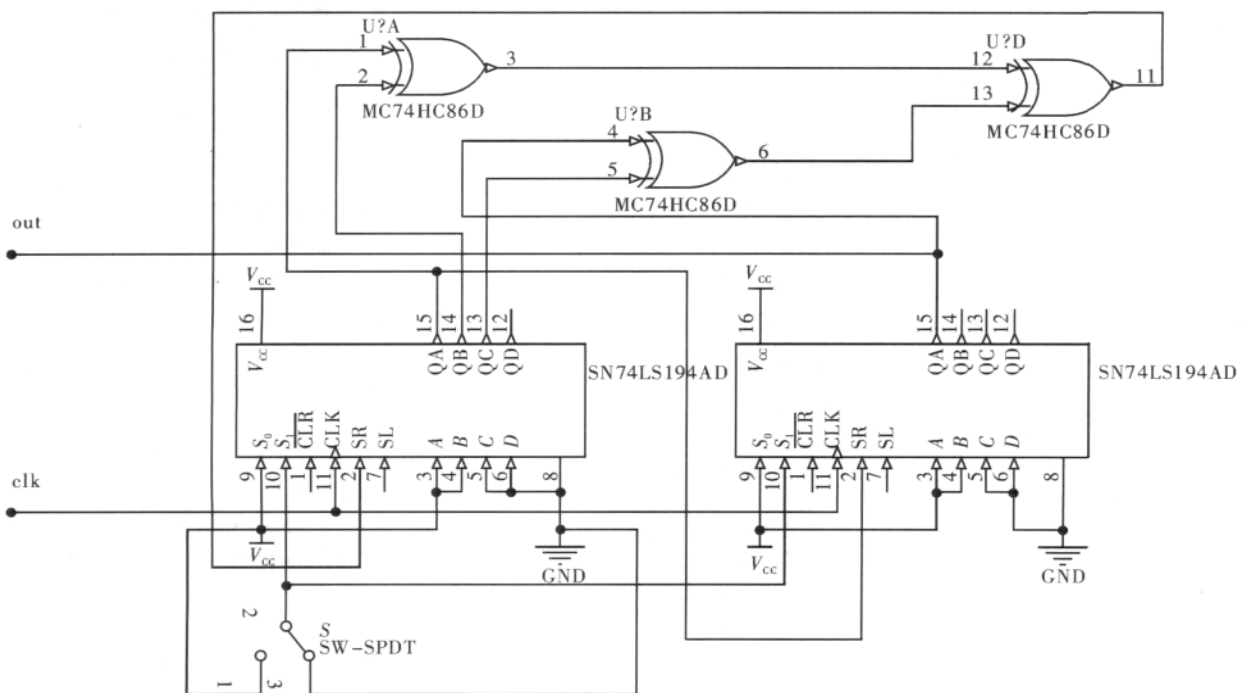


图3 序列产生电路

### 2.3 眼图显示方法

眼图指通过用示波器观察接收端的基带信号波形,从而估计和调整系统性能的一种方法。具体做法为:用一个模拟示波器跨接在抽样判决器的输入端,然后调整示波器水平扫描周期,使其与接收码元的周期同步。此时可从示波器显示的图形上,观察码间干扰和信道噪声等因素影响的情况,从而估计系统性能的优劣程度。在该设计中利用位同步时钟信号或从曼彻斯特码流中分离出的时钟信号作为模拟示波器的外触发输入,而信号作为普通信号在  $x$  轴或者  $y$  轴输入,利用模拟示波器的余辉效应可得到该信号的眼图。

## 3 软件分析与设计

### 3.1 同步信号提取流程设计

信号发送端采用的编码是曼彻斯特编码,故通信系统采用自同步方法进行时钟和相位同步。该设计利用 FPGA 设计微分型数字锁相环实现位同步信号的提取。

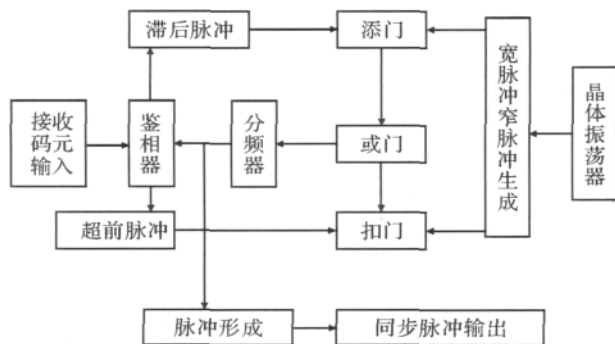


图4 设计流程图

### 3.2 FPGA 硬件模块设计

FPGA 设计的数字锁相环由微分鉴相模块、双向高频时钟源模块、超前-滞后控制电路模块和分频器模块构成。其中鉴相器的功能是比较接收码元与分频器输出的本地时钟信号的相位,若本地时钟超前于接收码元的相位,鉴相器向超前门电路输出一个超前脉冲,若本地时钟滞后于接收码元的相位,鉴相器向滞后门电路输出一个滞后脉冲,整个数字锁相环路按上述方式,反复调整本地时钟相位,以实现位同步。

## 4 测试方法与结果

伪随机信号峰峰值范围 100 mV ~ 4.6 V。

### 4.1 数据率误差检测

10 kbit · s<sup>-1</sup> 数据率标准下,实测 10.001 0 kbit · s<sup>-1</sup>,误差 0.010%; 30 kbit · s<sup>-1</sup> 数据率标准下,实测 30.123 9 kbit · s<sup>-1</sup>,误差 0.401%; 70 kbit · s<sup>-1</sup> 数据率标准下,实测 69.450 0 kbit · s<sup>-1</sup>,误差 0.781%。

### 4.2 伪随机码误差检测

检测方法:示波器探头直接跨接在数据率两端。结果:10 Mbit · s<sup>-1</sup> 数据率标准下,测得 9.99 Mbit · s<sup>-1</sup>,误差达到 0.1%。

### 4.3 眼图和眼幅度测试

检测方法:用示波器的同步输入通道接收码元的时钟信号,用另一个通道接在接受滤波器的输出端,因其与接收码元同步,所以在荧光屏上可以看到显示的眼图。改变噪声,观察眼图并且读数可得到当前噪声的眼幅度。码间串扰和噪声干扰越严重,眼皮越厚。

结果:输入噪声 100 mV 时,眼幅度 3.6 V,眼皮厚度 0.7 V; 输入噪声 250 mV 时,眼幅度 2.6 V,眼皮厚度 1 V; 输入噪声 500 mV 时,眼幅度 2.3 V,眼皮厚度 1.3 V; 输入噪声 1 000 mV 时,眼幅度 1.2 V,眼皮厚度 2.4 V。

## 5 结束语

文中对 FPGA 系统进行了分析,并对系统原理框图与此次论证的方案进行了描述。同时,还针对低通滤波器的设计方法、数字序列信号的产生以及眼图显示的方法均作出了分析。随后对 FPGA 硬件模块设计和同步信号提取流程进行了设计。最终对数据率误差、伪随机码误差、眼图和眼幅度均进行了实测,检测结果令人满意。

## 参考文献

- [1] 夏宇闻. Verilog 数字系统设计教程[M]. 2 版. 北京: 北京航空航天大学出版社, 2008.
- [2] 樊昌信. 通信原理[M]. 北京: 国防工业出版社, 2009.
- [3] 靖文, 李斌, 屈薇, 等. 一种快速位同步时钟提取方案及实现[J]. 电子设计应用, 2007(12): 82-85.
- [4] 严冬. 基于 VHDL 语言的数字锁相环的设计与实现[J]. 中国科技论文在线, 2007, 2(6): 52-61.
- [5] 刘雁飞, 吴进. 基于 CPLD 的曼彻斯特编译码实现[J]. 西安邮电学院学报, 2003(1): 52-55.
- [6] 谢方乐, 张红雨, 文维. 基于 USB 接口 ID 读卡器的设计[J]. 电子设计工程, 2009(11): 30-32.