

## 一种基于 AD9854 的 BPSK 信号产生设计

裴少俊<sup>1</sup>, 胥嘉佳<sup>2</sup>, 黄克平<sup>2</sup>

(1. 南京模拟技术研究所 科技处, 江苏 南京 210016; 2. 南京模拟技术研究所 科研处, 江苏 南京 210016)

**摘 要** 利用 FPGA 控制 AD9854, 实现了 BPSK 信号的调制, 包括外部电路构建、各个寄存器设置、对幅度、相位、频率控制字的计算等。最后给出了产生 BPSK 信号的实例, 并验证文中给出的设计方法的正确性。

**关键词** 通信系统; AD9854; 现场可编程门阵列; 二项移相键控

中图分类号 TN914.3 文献标识码 A 文章编号 1007-7820(2013)01-074-03

## Design of BPSK Signal Generation Based on AD9854

PEI Shaojun<sup>1</sup>, XU Jiajia<sup>2</sup>, HUANG Keping<sup>2</sup>

(1. Department of Research Equipment, Nanjing Research Institute on Simulation Technique, Nanjing 210016, China;

2. Department of Scientific Research, Nanjing Institute of Simulation Technology, Nanjing 210016, China)

**Abstract** In this paper, a method for generating the BPSK signal by using AD9854 controlled by FPGA is proposed, including the construct of the periphery, the configuration of each register, the calculation of the amplitude, the phase, and the frequency tuning word. Finally, an example of BPSK signal generation is given, and the correctness of the design in this paper is also verified.

**Keywords** communications system; AD9854; FPGA; BPSK

当前通信系统的软、硬件日趋模块化、标准化和通用化,其主要功能由软件确定并完成,工作参数具有可编程特性。软件无线电技术已成为通信系统的主要设计平台<sup>[1]</sup>。

在通信系统中,需要将基带通信信号通过中频混频器调制为中频信号,之后通过射频混频、滤波以及放大等工作将信号调制为射频信号,并通过天线以电磁波的形式发射出去。在采用软件无线电技术处理通信信号时,常用数字混频加 DAC 来实现基带信号到中频信号的调制。中频信号的频率约为 70 MHz,信号带宽一般 < 10 MHz,根据采样定理, DAC 时钟至少设置在 150 MHz。在软件设计时,需要考虑高速数字上变频的实现,采用中、低档次的数字器件将数字信号的工作时钟调到 150 MHz 以上也存在一定难度;在硬件设计时,在电路 PCB 上设计 150 MHz 数据传输线,需要考虑数据线的信号差分特性、微波衰减特性以及电磁兼容特性,并当 DAC 的位数较高时,数据线的走线问题相当复杂。

由于通信系统中采用的数据调制方式多为 FSK, BPSK, AM 等方式,而 ADI 公司的 DDS 芯片 AD9854

能够对基带信号直接进行常用调制,因此与数字混频加 DAC 的传统解决方案相比,采用 AD9854 处理中频信号混频的问题具有优势。

## 1 AD9854 简介及其应用

直接数字式频率合成技术(Direct Digital Synthesis, DDS)采用全数字技术,基于相位的线性性质以及相位与幅度的对应关系实现频率合成,是一种新的频率合成方法<sup>[2]</sup>。AD9854 是 ADI 公司推出的一款高性能 DDS 芯片<sup>[3-4]</sup>,系统时钟频率最高为 300 MHz,可以工作于 FSK, BPSK, AM 等常用的调制方式,包含两个集成 12 位 DAC,一个超高速比较器、4~20 倍可编程参考时钟倍频器、两个 48 位可编程频率寄存器、两个 14 位可编程相位偏置寄存器,并具有 12 位幅度调制和可编程功能。它采用 0.35  $\mu\text{m}$  CMOS 工艺,可以产生输出频率高达 150 MHz 的同步正交信号,每秒能够产生百万新频率。输出的正弦信号经过滤波后,可以再通过内部比较器转化为方波。其内部的幅度、频率、相位寄存器,可以对输出信号的幅度、频率和相位进行控制。

由于 AD9854 支持 BPSK 方式,因此可以用它作为 BPSK 信号的混频器使用。当配置成 BPSK 工作方式时,只需要给 AD9854 输入基带 BPSK 信号,就可以输出所需频点的中频调制信号。由于控制信号和输入的基带信号均为低频信号,其硬件设计比采用 DAC 大为简化,而软件设计部分也因为绕开了高速的数字上变

收稿日期: 2012-06-29

作者简介:裴少俊(1964—),男,高级工程师。研究方向:电子工程。胥嘉佳(1981—),男,博士,工程师。研究方向:信号与信息处理。E-mail: pp\_xx\_bb@163.com

频工作而得到相应的简化。

2 用 FPGA 控制 AD9854 产生 BPSK 信号

对 AD9854 进行控制,首先搭建硬件电路。将 AD9854 的 S/P Select 管脚拉高,则 AD9854 工作于并行配置方式,它与 FPGA 的硬件连接示意图如图 1 所示。图中管脚的解释如下: A[5:0]是 6 位并行编程地址总线输入; D[7:0]是 8 位并行编程数据总线输入; WRB 是将并行数据写入寄存器的控制信号输入; I/O UD 是双向频率更新信号,如果设置为输入,那么 AD9854 将在 I/O UD 上升沿时刻刷新,并按寄存器中的设置工作; BPSK 为相位选择信号输入,也就是 BPSK 基带信号输入,输入 '0' 时芯片输出选择 1 号相位,输入 '1' 时芯片输出选择 2 号相位; REFCLK 是外部参考时钟输入,从软件无线电的角度考虑,选择用 FPGA 控制输出该时钟信号,以达到中频频率软件可调的要求。

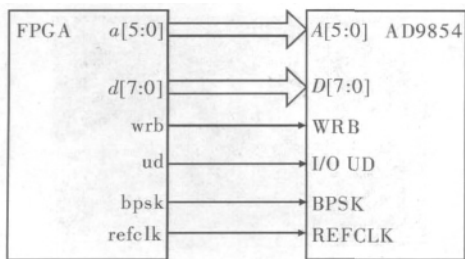


图 1 FPGA 与 AD9854 的硬件连接示意图

硬件电路搭建完毕之后,需要考虑 AD9854 中寄存器的配置问题。当 AD9854 工作于 BPSK 方式时,需要配置的寄存器如表 1 所示。

表 1 AD9854 工作于 BPSK 模式下需要配置的寄存器

AD9854 中的寄存器	并行配置方式地址	默认值
1 号相位寄存器 13 ~ 8 bit, 忽略 15 ~ 14 bit	00h	00h
1 号相位寄存器 7 ~ 0 bit	01h	00h
2 号相位寄存器 13 ~ 8 bit, 忽略 15 ~ 14 bit	02h	00h
2 号相位寄存器 7 ~ 0 bit	03h	00h
1 号频率寄存器 47 ~ 40 bit	04h	00h
1 号频率寄存器 39 ~ 32 bit	05h	00h
1 号频率寄存器 31 ~ 24 bit	06h	00h
1 号频率寄存器 23 ~ 16 bit	07h	00h
1 号频率寄存器 15 ~ 8 bit	08h	00h
1 号频率寄存器 7 ~ 0 bit	09h	00h
控制寄存器 31 ~ 24 bit	1Dh	00h
控制寄存器 23 ~ 16 bit	1Eh	64h
控制寄存器 15 ~ 8 bit	1Fh	01h
控制寄存器 7 ~ 0 bit	20h	20h

相位寄存器配置值的计算公式为  $(\varphi/2\pi) \times 2^{14}$ , 其中  $\varphi$  为需要配置的相位值,对于 BPSK 信号,一般 1 号相位寄存器表示的相位值与 2 号相位寄存器表示的相位值相差  $\pi$ 。频率寄存器配置值的计算公式为  $(f/f_s) \times 2^{48}$ , 其中  $f$  是需要输出的 BPSK 载频,即中频频率;  $f_s$  为系统时钟频率,它由从 REFCLK 得到的外部参考时钟频率经可编程参考时钟倍频器倍频后得到。需要考虑的控制寄存器各比特的定义和配置值如表 2 所示。

表 2 需要考虑的控制寄存器各比特的意义

比特位	意义
<28>	比较器禁止工作控制, 设为 '1' 禁止
<26>	Q 路 DAC 禁止工作控制, 设为 '1' 禁止
<25>	DAC 禁止工作控制, 设为 '0' 开启
<24>	数字部分禁止工作控制, 设为 '0' 开启
<22>	锁相环范围控制, 如果系统时钟频率大于 200MHz, 则设为 '1'
<21>	锁相环禁止工作控制, 设为 '1' 时, REFCLK 输入作为系统时钟
<20:16>	可编程参考时钟倍频器倍频系数, 取值为 4 ~ 20
<11:9>	芯片工作模式, 设为 '100' 时工作在 BPSK 模式
<8>	I/O UD 管脚方向选择, 设为 '0' 时作为输入脚
<6>	辛格滤波器禁止工作控制, 设为 '1' 禁止
<5>	幅度键控功能禁止控制, 设为 '1' 时开启, 可以输出脉冲信号
<4>	幅度键控功能产生控制, 设为 '0' 时由 SHAPED KEYING 脚提供

AD9854 工作于并行配置方式下的写时序,如图 2 所示,图中最大时延  $T_{WRHIGH}$  为 7 ns,在编写程序时需要注意时延量。

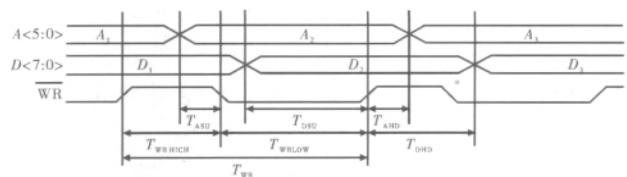


图 2 并行配置方式下 AD9854 的写时序

最后的控制步骤就是编写软件,用 FPGA 对 AD9854 进行控制可以通过状态机的方式实现。

(1) 采用 Verilog HDL 语言定义 FPGA 的管脚如下

```
modulate AD9854_Control(  
    input clk10MHz ,  
    output reg [5:0] a = 6'h00 ,  
    output reg [7:0] d = 8'h00 ,  
    output reg wrb = 1'b1 ,  
    output reg ud = 1'b0 ,  
    output reg bpsk = 1'b0 ,
```

output wirerefclk);

(2) 给出 refclk 的频率为 10 MHz

assign refclk = clk10MHz;

(3) 用状态机的方式配置 AD9854 内部的寄存器,使之工作于需要的 BPSK 参数方式,配置流程如图 3 所示。

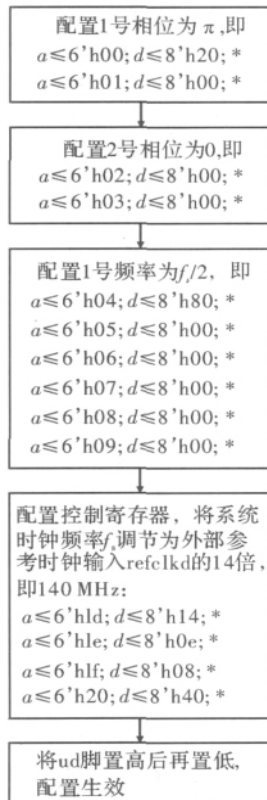


图3 FPGA对AD9854的配置流程图

图3中,“\*”表示对AD9854进行写入操作,就是将wrb脚置低,再置高。这时AD9854的系统时钟设置为140 MHz,而波形频率设置为系统时钟的1/2,也就是70 MHz。从BPSK管脚输出一个码速率设置为9.6 MHz的0、1码流,即得到需要的载波频率70 MHz的BPSK信号。

### 3 实验结果

用示波器和频谱仪分别观测AD9854芯片的输出,如图4和图5所示。

由于BPSK信号的相位差为 $\pi$ ,因此其码元‘0’和‘1’所对应的信号相位完全取反,从图3所示的示波器

观测图可以看出,AD9854的输出波形由相位完全相反的两组正弦波在时域相互叠加,形成了眼图的效果,眼图匀称,说明BPSK信号的输出稳定,无抖动。从图4所示的频谱仪观测图可以看出,AD9854的输出信号载频为70 MHz,观测带宽(Span)设为96 MHz,因此可以看出信号的主瓣宽度为19.2 MHz,副瓣宽度为9.6 MHz,说明BPSK信号的码速率为9.6 MHz,这与软件设计中的参数完全一致。

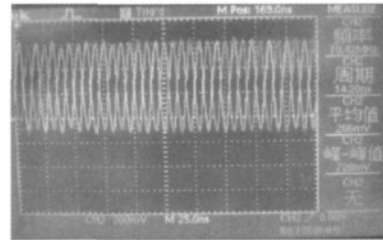


图4 用示波器观测AD9854的时域输出波形

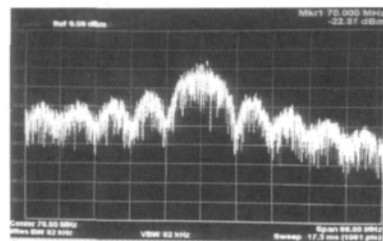


图5 用频谱仪观测AD9854的频域输出波形

### 4 结束语

文中利用FPGA对AD9854进行控制,产生了BPSK信号,并给出了软、硬件设计方法,实验结果证明了设计的正确性,为通信系统中的中频处理提供了一个有效的方法。

### 参考文献

- [1] 粟欣,许希斌.软件无线电原理与技术[M].北京:人民邮电出版社,2010.
- [2] 徐丹燕,甘志银,梁观平,等.16位单片机对AD9854控制的实现[J].计算机与数字工程,2007,35(3):182-184,189.
- [3] 张玉梅,陈健,傅丰林.用DSP控制AD9854实现跳频通信[J].世界电子元器件,2003(9):64-65.
- [4] 詹艳艳.基于DDS的波形信号发生器的设计[J].沈阳理工大学学报,2008,27(3):52-56.