

## 简易逻辑分析仪（D 题）

### 一、任务

设计并制作一个 8 路数字信号发生器与简易逻辑分析仪，其结构框图如图 1 所示：

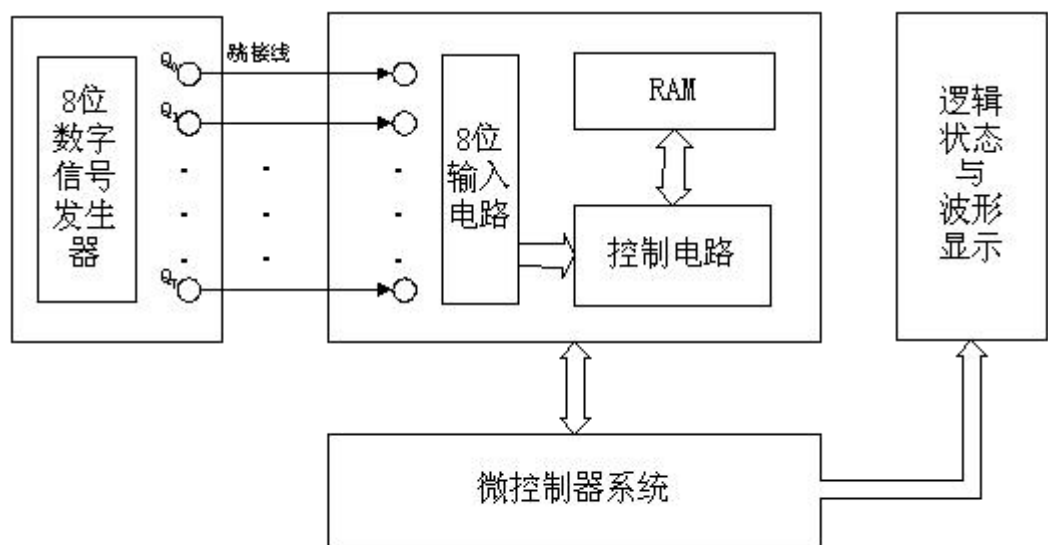


图1 系统结构框图

### 二、要求

#### 1、基本要求

##### （1）制作数字信号发生器

能产生 8 路可预置的循环移位逻辑信号序列，输出信号为 TTL 电平，序列时钟频率为 100Hz，并能够重复输出。逻辑信号序列示例如图 2 所示。

## (2) 制作简易逻辑分析仪

- a. 具有采集 8 路逻辑信号的功能，并可设置单级触发字。信号采集的触发条件为各路被测信号电平与触发字所设定的逻辑状态相同。在满足触发条件时，能对被测信号进行一次采集、存储。
- b. 能利用模拟示波器清晰稳定地显示所采集到的 8 路信号波形，并显示触发点位置。
- c. 8 位输入电路的输入阻抗大于  $50\text{k}\Omega$ ，其逻辑信号门限电压可在  $0.25\sim 4\text{V}$  范围内按 16 级变化，以适应各种输入信号的逻辑电平。
- d. 每通道的存储深度为 20bit。

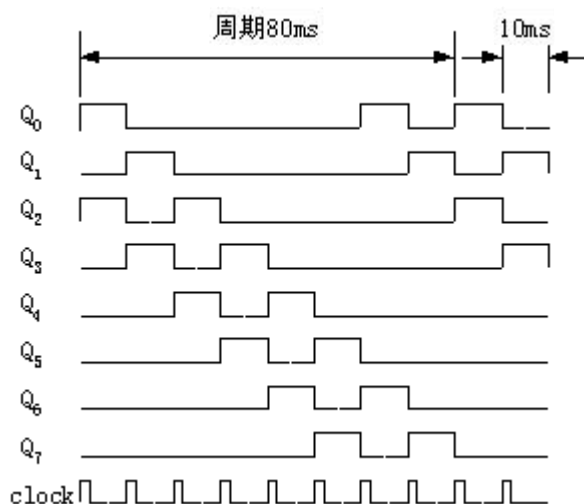


图 2 重复输出循环移位逻辑序列 00000101

## 2. 发挥部分

- (1) 能在示波器上显示可移动的时间标志线，并采用 LED 或其它方式显示时间标志线所对应时刻的 8 路输入信号逻辑状态。
- (2) 简易逻辑分析仪应具备 3 级逻辑状态分析触发功能，即当连续依次捕捉到设定的 3 个触发字时，开始对被测信号进行一次采集、存储与显示，并显示触发点位置。3 级触发字可任意设定（例如：在 8 路信号中指定连续依次捕捉到两路信号 11、01、00 作为三级触发状态字）。
- (3) 触发位置可调（即可选择显示触发前、后所保存的逻辑状态字数）。
- (4) 其它（如增加存储深度后分页显示等）。

## 三、评分标准

	项目	满分
基本要	设计与总结报告：方案比较、设计与论证，理论分析与计算，电路图及有关设计文件，测试	50

求	方法与仪器，测试数据 及测试结果分析	
	实际制作完成情况	50
发挥部 分	完成第（1）项	18
	完成第（2）项	18
	完成第（3）项	5
	其它	9

#### 四、说明

1、系统结构框图中的跳接线必须采取可灵活改变的接插方式。

2、数字信号的采集时钟可采用来自数字信号发生器的时钟脉冲 clock。

3、测试开始后，参赛者不能对示波器进行任何调整操作。

4、题中涉及的“字”均为多位逻辑状态。如图 2 中纵向第一个字为一个 8 位逻辑状态字（00000101），而发挥部分中的 3 级触发字为 2 位逻辑状态。

参加全国大学生电子设计大赛的同学们加油了！

整理者 Robin QQ 群：74417301

2011-7-17