

2003年全国大学生电子设计竞赛一等奖

低频数字式相位测量仪(C题)

·北京师范大学 陈 硕 吴 娜 余 吉·

摘要 本系统以51单片机以及可编程逻辑器件为核心,由模拟移相网络、数字式相位测量仪(含测频功能)、数字式移相信号发生器三个独立模块组成。相位测量仪的核心为数字鉴相器及高速计数器,频率计采用高精度恒定误差测频法。信号发生器使用直接数字频率合成(DDFS)技术,并使用汉字液晶显示模块,操作界面友好。系统的测量精度及其它指标均达到了设计要求。

方案论证与比较

1. 移相网络(方案比较从略)

题目中要求移相网络输入信号频率为100Hz、1kHz、10kHz,为了在这三个频率点都能产生 $\pm 45^\circ$ 相移,需用3组RC移相网络。我们在图1中的P1点和P2点处接入两个双刀双掷继电器,根据输入信号的频率,控制继电器的组态,将相应的那一组RC移相网络接入电路。调节电

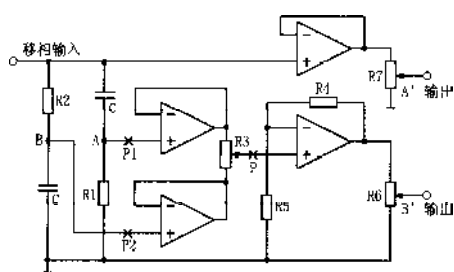


图 1

位器R3,可从抽头P处获得(相对于输入信号)相位连续变化的移相信号,经同相放大后从B'点输出。

2. 相位测量仪

方案一 将两路输入的正弦信号A和B分别通过电压比较器整形为方波,然后送数字鉴相器(二输入异或门)鉴相,再经过RC电路积分后进行A/D转换。根据相位差与电平成正比的关系,由单片机计算得到相位差值。

方案二 仍然采用异或门鉴相,用两个高速计数器分别记录信号周期和超前时间,从而计算出相位差。设经过整形后的两路方波信号分别为IN1和IN2,鉴相器的输出信号为PDout。

我们用一个上升沿触发的D触发器判断IN1超前还是滞后IN2。图2为相位测量仪原理图,图中IN1接D触发器的时钟,IN2接D触发器的数据端。当IN1正跳变时,若IN2为1,表明IN1落后于IN2;

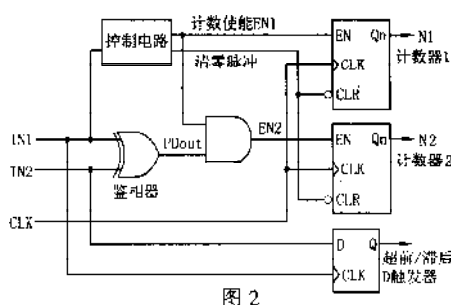


图 2

若IN2为0,表明IN1超前于IN2。于是该D触发器的Q端就表明了两路信号的超前/滞后关系。

计数器1的使能信号EN1由“控制电路”产生,EN1与鉴相器的输出信号PDout相与后得到EN2,EN2接到计数器2的使能端。两个计数器的计数时钟CLK均为36MHz。当单片机发出“开始测量相位”命令后,控制电路先输出一个清零脉冲,将两个计数器清零。随后,IN1的上升沿使得计数器1的使能信号EN1有效(由“控制电路”实现),计数器1开始计数;IN1的下一个上升沿到来时,EN1翻转,计数器1停止计数;这样就完成了一次测量过程。图3为相位测量仪时序图。计数

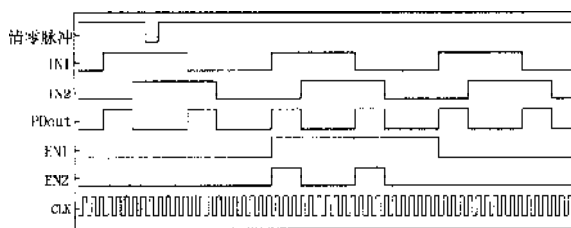


图 3

器1的计数值N1乘以计数时钟CLK的周期等于IN1的周期(也等于IN2的周期),计数器2的计数值N2乘以时钟周期等于超前时间的二倍(PDout在一个信号周期内的脉冲宽度)。PDout的脉冲宽度与输入信号周期的比值等于IN1与IN2的相位差值(以弧度计),若按角度计算,则相位差 $PD = N2 / N1 \times 180^\circ$,PD范围为

($0 \sim 180^\circ$)。PDout等于IN1异或IN2,若IN1与IN2同相,那么PDout将一直为低电平,EN2也为低电平,导致N2=0,这样计算得PD=0°。若IN1与IN2反相(相位相差180°)那么PDout将一直为高电平,N2=N1,计算得PD=180°。这就初步验证了以上公式的正确性。算出PD之后,再根据“超前/滞后”信号,还原出0~360°的相位差。

方案三 事实上,只要能确保计数使能信号EN1的持续时间是输入信号周期的整数倍,那么相位差PD就可利用公式 $PD = N2 / N1 \times 180^\circ$ 计算(EN1的边沿无需与IN1的上跳沿对齐)。方案二对一个信号周期进行计数,这就要求每个信号周期中IN1只能有一个上跳沿。若在一个信号周期中IN1有多个上跳沿,那么EN1的持续时间便不足一个信号周期,测量结果无意义。这对波形整形电路提出很高的要求,我们希望,IN1恰好在输入信号(一般为正弦信号)的每个过零点处翻转一次。如果直接采用过零比较器,那么电压比较器在零点电位附近极有可能振荡(因为输入电压位于电压比较器的线性区)这样得到的IN1在跳变沿会有许多抖动,使得方案二根本无法工作。

我们知道迟滞型电压比较器可以很好地消除抖动。然而从迟滞比较器获得的IN1与原始输入正弦信号存在相位差,就是说IN1的上跳沿滞后于输入信号的过零点,输入信号幅度越小,滞后越多。如果两路输入正弦信号幅度基本相等,而两个迟滞比较器的门限又很接近的话,迟滞比较器引入的相位差不会对测量精度造成多大影响。但是,如果两路输入信号的幅度相差较大的话(例如一路信号峰-峰为5V,另一路为0.5V),两路迟滞比较器引入的相位差可能有较

大影响。但是,如果两路输入信号的幅度相差较大的话(例如一路信号峰-峰为5V,另一路为0.5V),两路迟滞比较器引入的相位差可能有较

大影响。但是,如果两路输入信号的幅度相差较大的话(例如一路信号峰-峰为5V,另一路为0.5V),两路迟滞比较器引入的相位差可能有较

大差值(十余度)这使得相位计的误差大得难以接受。另外比较器的输入失调电压也会引入一定的误差。

减小电压比较器引入的相位误差的一个直接办法是对输入信号进行放大,将两路信号放大到幅度大致相等后再送入迟滞型电压比较器(可使用自动增益控制技术),但是进行信号放大可能引入难以预测的附加相移,使得相位计的精度下降。

为了达到较好的精度,我们想出了一种使用双电压比较器的波形整理及相位测量办法。简单地说,我们将两路输入信号经普通过零比较器整形得到的方波信号(边沿可能存在抖动)送入异或鉴相器,并将两路输入信号经过迟滞比较器得到的方波信号传给控制电路及“超前/滞后”判断电路。电路的工作时序与方案二基本相同,相位差也用上面求PD的公式计算得出。这样的好处是,控制电路得到的方波信号没有抖动,不会产生误动作。因为使用迟滞比较,计数使能信号EN1的跳变沿略滞后于信号的过零点。由于EN1的上跳沿和下跳沿的滞后时间相同,那么EN1的持续时间恰好为一个信号周期,可保证测量精度不受影响。异或鉴相器的输出PDout可能会有抖动,但由于抖动只在边沿处才有,对其脉冲宽度受到的影响不大。实测表明,即便两路输入信号的幅度有较大差异,也不会影响测量精度。通过测量多个周期后取平均值,也可减小误差。

方案一在低频段,积分电路输出波动会很大,不能保证题目要求的相位精度。方案二相位测量精度基本不受输入信号频率影响。方案三在方案二的基础上增强了电路的可靠性。方案三采用双电压比较器进行波形整理,利用CPLD实现高速计数,单片机软件执行高精度浮点运算并显示,易于控制,便于实现,能达到题目要求的精度,因此我们选用方案三。

3. 频率测量方案

方案一 根据频率的定义,即单位时间内周期信号的发生次数,将被测频率信号经脉冲形成电路后加到闸门的一个输入端,只有在闸门开启时,测量信号进入计数器进行计数,闸门关闭时,停止计数。闸门开启时间为 T_g ,计数值为 N ,则被测频率 $f = N / T_g$ 。该方案在低频段的相对误差较大,对于高频信号适合用此方法。

方案二 为克服方案一的缺点,在低频段利用计时直接测周期,取倒数可获得频率,在高频段用方案一。此方案需要确定最佳分测点(使得测频率与测周期两种方法的量化误差相等时的信号频率),这点实现很难,而且电路较为复杂。

方案三 采用高精度恒定误差频率测量技术,基本原理见图4。计数器1和

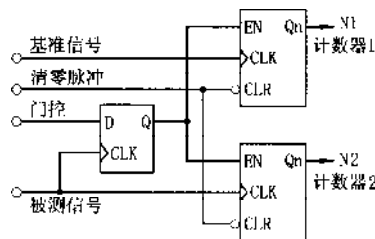


图4

计数器2均有使能端和清零端。控制电路产生的门控信号接到D触发器的数据端D,触发器的Q端接两个计数器的使能端。输入信号经过迟滞比较器转换为同频率的方波,即被测信号。门控信号是宽度为 T_g 的脉冲。

当单片机发出“开始测量相位”命令后,控制电路先输出一个清零脉冲,将两个计数器清零,随后并将门控信号置为高电平。这时D触发器的Q端为低电平,两个计数器尚未开始计数。被测信号的上沿到来时,D触发器翻转,其Q端变为高电平,同时启动两个计数器。计数器1和计数器2分别对标准频率方波信号(频率为 f_0)和被测信号(频率为 f_x)同时计数。自门控信号被置为高电平起,经过 T_g 时间,控制电路将门控信号置为低电平。被测信号的下一个上升沿到来时,两个计数器同时停止计数。这样一来,两个计数器的工作时间 T_w 恰好为被测信号周期的整数倍。工作时序见图5,图中可以看出,实际闸门时间 T_w 与预置闸门时

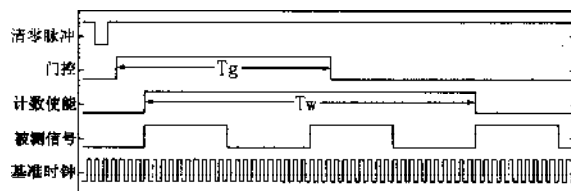


图5

间 T_g 并不相等,但差值不超过被测信号的一个周期。设 T_w 时间内被测信号计数值为 N_2 ,标准频率信号的计数值为 N_1 ,由 $f_0 = N_1 / T_w$ 和 $f_x = N_2 / T_w$ 可得: $f_x = N_2 / N_1 f_0$ 。这种方法又称等精度测频法,精度与待测信号的频率无关,无论低频和高频信号,其相对精度均为 $1 / (T_g f_0)$ 。因此

增加 T_g 可提高测量精度。本设计中 T_g 取100 ms, f_0 为10MHz,可以精确测量频率大于10Hz的信号,误差不大于10~5。我们用CPLD来做高速计数器,单片机用软件实现高精度浮点运算并负责显示输出。

比较以上三种方案,方案三实现较容易,同时可做到高精度测量,因此舍弃前两种方案。

4. 数字式移相信号发生器

方案一 使用锁相环频率合成实现信号发生器,频率稳定精确,并且在较大范围可变,但由于锁相环本身是一个惰性环节,锁定时间较长,故频率转换时间较长。而且,由模拟方法合成的正弦波的参数,幅度和相位都很难控制。

方案二 采用直接数字频率合成器(DDFS),它主要由相位累加器、波形表、D/A输出、低通滤波器四部分组成。采用这种纯数字化的方法,产生信号的频率准确、频率分辨率高,输出相位连续,频率、相位和幅度均可实现程控,因此选用该方案。

AD9833是基于DDFS原理的波形发生器专用芯片,内置正弦波形表(4096项)和10-bit DAC,可直接输出正弦波、三角波、方波。AD9833的频率步进为0.1Hz,相位预置精度为 0.1° ,非常适合用在这里。可惜我们没有买到该款芯片,功能相近的AD983x / AD985x系列芯片也不易购得。因此需要我们自制DDFS。

DDFS原理如图6所示,相位累加器在时钟信号MCLK驱动下,不断地对相位进行累加,频率控制字Freq决定每次累加的相位增量。每当相位累加器产生一次溢出,就完成DDFS合成信号的一个周期。输出信号波形的频率表示为: $f_0 = \text{Freq} \times f_{\text{clk}} / 2^N$,式中 f_{clk} 为时钟频率, N 为累加器位数。若频率控制字Freq很小,累加器将一步一步经过每个SINE ROM(正弦波形表)地址;若频率控制字Freq较大,累加器将跳过某些ROM地址。ROM输出的数据经D/A转换,再经低通滤波器滤波

就得到所需的正弦信号波形。为了产生相位测量仪所需的两路正弦信号,我们将相位寄存器的值加上用户预置的相位差值,取其高位10位送入第二块正弦波形表。

我们使用一片CPLD实现相位累加器及周边数字逻辑,单片机依据用户输

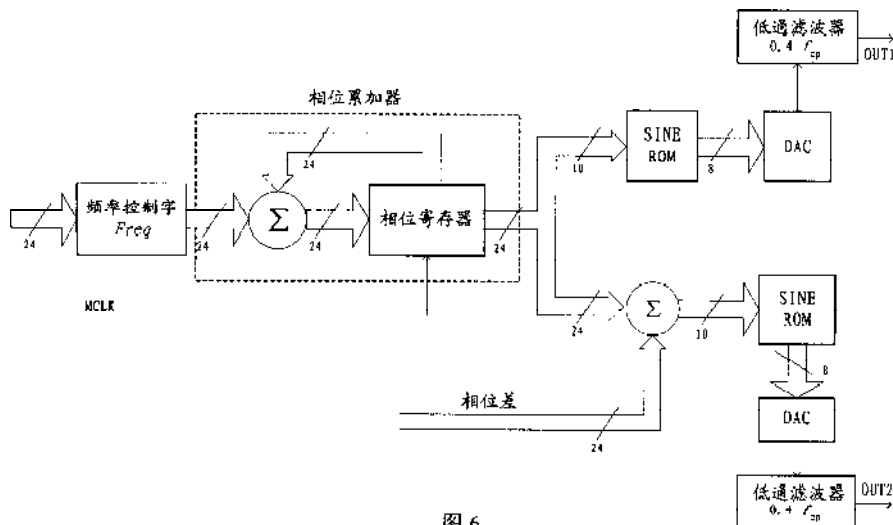


图 6

入算出频率控制字和相移控制字 图中的“相位差”送入CPLD。为了减小输出波形的毛刺 我们在CPLD中增加了同步措施。用两片 EPROM 存储波形数据,输出级用两套数模转换和幅度控制模块。

电路分析与设计

图7为总体设计框图。

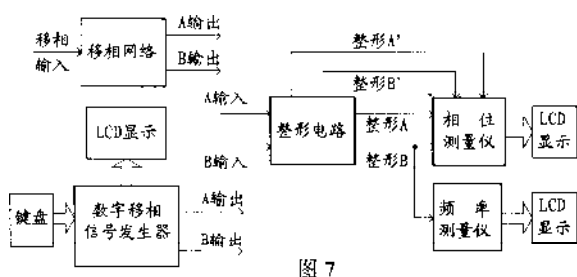


图 7

1. 移相网络参数确定

相位超前 RC 网络 (图 8)。

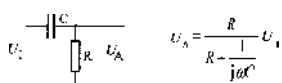


图 8

相位滞后 RC 网络 (图 9)。

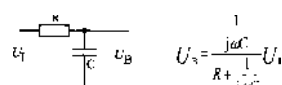


图 9

其中 U_A 、 U_B 、 U_i 均用相量表示,它们对应的频特性分别为:

$$\phi_A(\omega) = \tan^{-1} \frac{1}{\omega RC}$$

$$\phi_B(\omega) = -\tan^{-1} \omega RC$$

理论上要实现相移范围为 $-45^\circ \sim 45^\circ$, 则要求 $A=45^\circ$, $B=-45^\circ$ 。就是说 $R2C$ 、 $1/R1C$ 均为 1, 为留有裕量, 取 $R2C$ 、 $1/R1C$ 均为 1.2, 则相移范围约为 $-50^\circ \sim 50^\circ$ 。

先选出三对容量接近的涤纶电容, 再根据公式由 C 算出电阻值 R , 计算结果见表 1。我们串联两个固定电阻以获得所需的阻值。移相网络电压特性如图 10 所示。

图 10 表示输入峰-

峰值为 1V 正弦信号, 经过移相网络后, 输出电压随相移的变化特性。可以看到调节相移时, 电压会随之变化, 所以输出电压不宜采用程控 D/A 调节。本设计采用电位器手动调节。

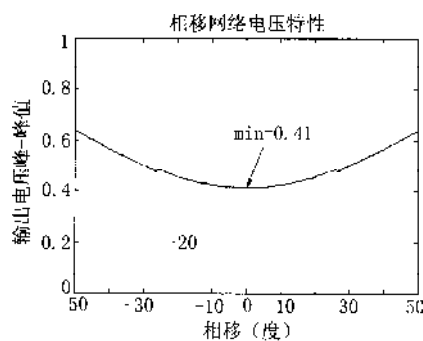


图 10

在图上同时可看到电压值在相移为 0 时最小, 约为输入信号电压幅值的 41%, 因此后级反相放大器 (图 1 右下方) 的增益取 2.5。

2. 相位测量仪

相位测量仪主要由波形整形电路、数字式相位测量电路两部分组成。其中波形整形电路将输入的正弦信号变为同频同相的方波信号, 送入后级的数字相

位计进行相位测量 (同时送入频率计测量信号频率)。本系统波形整形所采用迟滞比较器和普通过零比较器均用 LM393 搭成。迟滞比较器电路如图 11 (两通道皆同)。

这里 V_{ref} 接地, V_{in} 接输入信号, 输入阻抗大于 100k。改变 $R1$ 、 $R2$ 的值, 可以调整电压翻转门限, 公式如图 11 所示。输出信号 V_o 为方波, 经施密特反相器 74LS14 整形后送入 CPLD 中的鉴相器。

普通过零比较器电路从略。

高速计数器时钟的确定 数字移相信号发生器的频率范围为 20Hz~20kHz, 相位测量仪的分辨力为 0.1° , 相位差测量范围为 $(0 \sim 180^\circ)$, 因此要求计数器 (此处为一片 CPLD) 的时钟频率至少为 $f_{clk} = 20kHz \times 1800 = 36MHz$ 。我们选用 36MHz 的有源晶体振荡器。受 CPLD 资源

表 1

输入信号频率	移相网络电容值	相位超前网络 R1 (Ω)	相位滞后网络 R2 (Ω)	R1 实际取值 (Ω)	R2 实际取值 (Ω)
100Hz	355nF	3738	5382	3.6k+100	5k+360
1kHz	33.5nF	3961	5703	3.6k+360	5.6k+100
10kHz	3.57nF	3717	5352	3.6k+100	5k+360

限制, 相位测量和频率测量功能无法在一片 EPM7128S 中完成。因此我们使用两片 EPM7128S, 其中一片做相位计, 时钟频率为 36.00MHz; 另一片做频率计, 为便于单片机计算, 时钟频率取 10.00MHz。为了方便分工制作, 相位计和频率计各有自己的配套控制单片机, 显示相位差值和频率的液晶板也用了两块。

单片机根据计算 PD 的公式计算出两路输入信号的相位差, 再由“超前/滞后”信号确定显示的内容。当相位超前时, 显示相位差为 PD, 若相位滞后, 显示相位差为 $360 - PD$ 。

3. 数字式移相信号发生器

移相信号发生器输出波形的频率为: $f_o = Freq \times f_{clk} / 2^n$ 。因输出级 D/A 转换器 DAC0800 的建立时间为 100ns, 那么时钟频率不应大于 10MHz。我们将时钟频率 f_{clk} 定为 8.388608MHz, 相位累加器为 24-bit, 那么频率分辨率 $f = f_{clk} / 2^{24} = 0.5Hz$, 可以做到 1Hz 的步进。因为输出 DAC 是 8-bit, 那么波形表的位数应比 DAC 的位数多 2, 即 10bit, 1024 项。这样当输出 20kHz 的最高频率时, 一个周期内采样点数为 400, 保证了相位差步进为 1° 。

数模转换 在输出级, 我们采用转换速度为 100ns 的 8-bit 数模转换芯片 DAC0800, 该芯片具有快速的稳定时间,

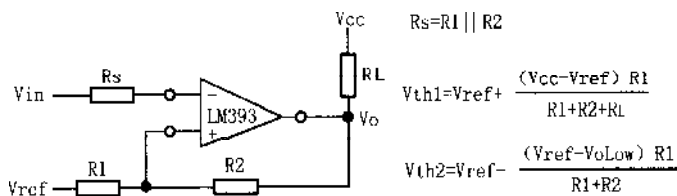


图 11

输出波形的频率可达5MHz(按最高转换频率的一半计算)完全满足信号发生器的要求。DAC0800的数据口直接接到SINE ROM(存放正弦波形表的EPROM)的数据口,从而将波形表内存储的正弦波数据转换为模拟量。输出级接一个运放作为电流/电压转换器,获得双极性电压输出。电路图见图12,图中R2和R3为0.5%精度的电阻,Vref=5.12V,由TL431提供。

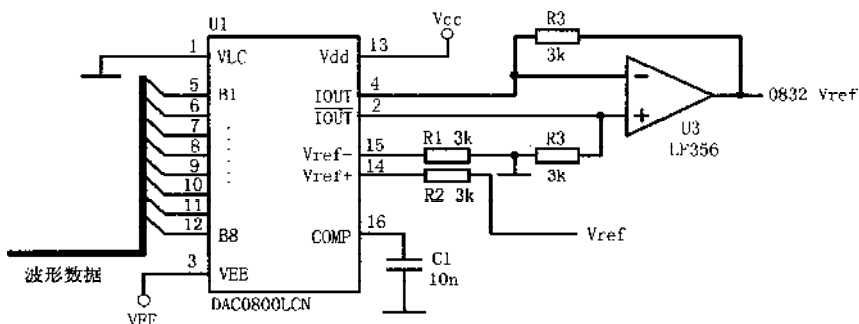


图 12

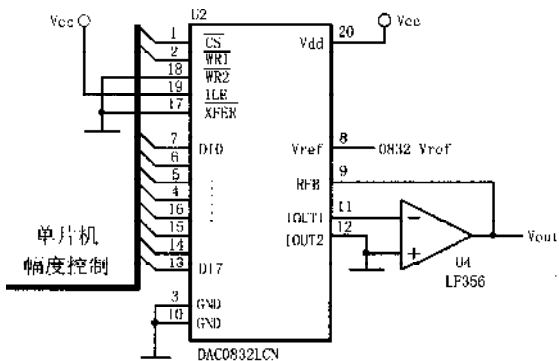


图 13

幅度控制 使用转换时间1μs的DAC0832实现。利用DAC0832内部的电阻分压网络,将DAC0800的输出作为DAC0832的基准电压。由单片机控制

0.0~359.9。频率计LCD显示输入信号的频率(以赫兹计),有5位有效数字。移相数字信号发生器LCD显示:
频率:100Hz 相位差:152°
通道A:4.5V 通道B:3.6

1Hz 输出频率可预置;输出的两路正弦信号峰-峰值可分别在0.1~5V范围内变化;相位差预置范围为0~359° 步进为1°。相位差的设置独立于频率;采用汉字液晶显示,人机界面友好。

系统软件设计

CPLD的内部逻辑用Verilog语言描述。51单片机程序用C51编写,主要功能是控制相位测量仪、频率计的操作,处理用户的键盘输入,控制液晶显示,控制移相信号发生器的输出频率、幅度和相位差。

系统测试及结果分析

使用自制数字移相信号发生器校验自制相位测量仪,结果如表2。

相位测量仪的指标:频率范围为20Hz~20kHz;频率计测量范围为10.000Hz~999.999kHz,5位有效数字,误差<±1字;输入阻抗100k;两路输入信号峰-峰值可分别在0.3~5V范围内变化;相位测量分辨率0.1°,绝对误差2°。

移相网络的指标:在输入信号频率分别为100Hz、1kHz、10kHz时,连续相移范围可达到-50°~50°;输出的两路信号峰-峰值可分别在0.1~5V范围内变化。

数字式移相信号发生器的指标:频率范围为10~30000Hz;频率步进为

表 2

频率 (Hz)	数字移相信号发生器		相位测量仪		绝对误差 (度)
	幅度 通道 A (V)	通道 B (V)	预置相位差值 (度)	实测相位差值 (度)	
20	1.0	5.0	178	178.9	0.9
	2.3	4.5	68	68.3	0.3
78	3.3	2.8	256	256.0	0.0
	4.5	1.2	356	355.2	0.8
650	4.0	2.1	164	163.5	0.5
1k	3.9	4.3	288	288.2	0.2
6k	1.0	5.0	84	85.7	1.7
12k	2.0	3.0	134	134.4	0.4
20k	5.0	1.0	176	174.4	1.6

专家点评 该作品是全国专家组抽测的作品之一,测试性能全面达到设计要求,界面友好,操作方便。方案中采用双比较器较好地解决了鉴相精度和控制稳定的矛盾,是本文的特点。报告的不足之处有两点:(1)测试数据不全。用

自制的相位信号发生器校正自制的相位测量仪是不严谨的,应有一台标准仪器的测量数据作为参考。(2)报告不够完整。软件的流程图和整机的电原理图是报告的重要部分,不宜缺少。



点评专家 朱茂镒 北京信息工程学院研究员,2003年全国电子设计竞赛专家组成员。