

数字示波器

参赛队编号

摘要：本系统基于等效采样原理，以单片机为控制核心，充分利用 FPGA 资源，实现了从 10Hz 到 10MHz 波形实时采样和输出，同时可对波形进行实时存储和连续显示；以实用数字示波器为参照，实现了频率，峰峰值的测量和显示，其频率测量误差 $<0.1\%$ ，电压测量误差 $<3\%$ ；同时实现了最高 200MSa/s 的等效采样速率。

关键词：数字示波器、等效采样

一、方案论证与比较

1. 采样方式

方案一：等效时间采样法。采用中高速模数转换器，对于频率较高的周期性信号采用等效时间采样的方法，即对每个周期仅采样一个点，经过若干个周期后就可对信号各个部分采样一遍。而这些点可以借助步进延迟方法均匀地分布于信号波形的不同位置。其中步进延迟是每一次采样比上一次样点的位置延迟 Δt 时间。只要精确控制从触发获得采样的时间延迟，就能够准确地恢复出原始信号，如图 1.2 所示。

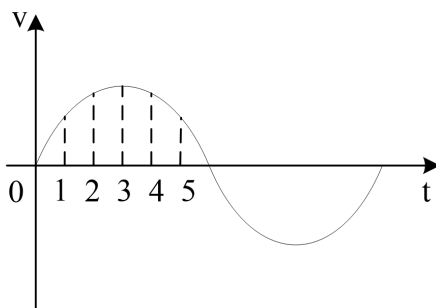


图 1.1 实时采样示意图

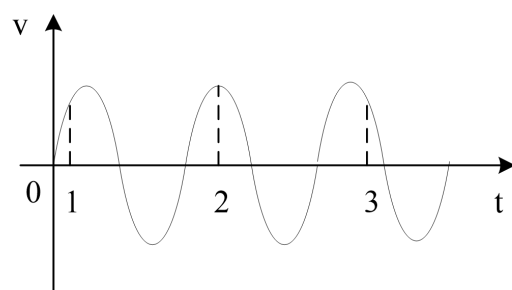


图 1.2 等效时间采样示意图

方案二：实时采样。实时采样是在信号存在期间对其采样，如图 1.1 所示。根据采样定理，采用速率必须高于信号最高频率分量的两倍。对于周期的正弦信号，一个周期内至少应该有两个采样点。为了配合高速模数转换器，必须用 FPGA 代替单片机准确的定时控制 ADC 的采样速率。以实现高速实时采样。

题目要求 A/D 实时采样率 $<1\text{MHz}$ ，输入信号范围 10-10MHz，所以我们在 50KHz 以下时采用实时采样的方法；50KHz 以上采用等效采样的方法。

2. 触发方式

方案一：采用外部硬件电路触发。其核心器件为比较器，当信号大于所设比较触发电平时，即产生一次触发。但专用 IC 比较器在低频段上升沿有较大毛刺，使触发很不稳，

导致波形的晃动。

方案二：采用内部软件触发，通过软件设置触发电平，软件设置的施密特触发器参数容易修改，可以很好的抑制比较器产生的毛刺。当所采样值大于该触发电平时，产生一次触发。

由于方案二可排除硬件毛刺产生的干扰，触发和波形较稳定，且易实现触发电压的调整，故采用方案二。

3. 频率的测量

方案一：等精度测量法

在预定的闸门时间 T_0 内，分别用计数器 1 和计数器 2 同时对被测信号 f_x 和基准信号 f_0 进行计数，设所得值为 N_x 和 N_0 ，则被测信号的频率为：

$$f_x = (N_x / N_0) * f_0;$$

参考计数器的最高计数频率的限制，选取合适的基准信号频率和恰当的闸门开启时间，便可以在 0.1Hz~16MHz 的范围内使测频精度不变，即等精度测量。

方案二：测周法

即以待测信号为门限，用计数器记录在此门限内的高频标准时钟脉冲数，从而确定待测信号的频率。当选定高频时钟脉冲而被测信号频率较低时可以获得很高的精度，而被测信号频率过高时由于测量时间不够会有精度不够的问题，适用于中低频信号的测量。

本系统频率上限为 10MHz。因此我们将此频率段分为两段，10KHz 以下，采用方案二。10KHz 以上，采用方案一。以缩短测量时间。

二、系统设计

整个系统由前级信号处理与采集单元、控制系统、存储模块、输出显示模块和控制面板等组成。阻抗变换电路实现 1M 欧姆输入阻抗，信号经信号调理模块（程控，加法器等），将模拟信号调理到 0—5V，然后通过 max114 对信号采样；另一方面，系统根据测频模块输出调整可控分频模块，输出采样率为 CLK 的时钟给 A/D 进行实时采样，这是一个动态的跟踪过程，可实现实时采样；采样的数据一方面送入 RAM_Y1 作列扫描用，另一方面可在外部锁存信号下送入 RAM_Y2 存储，并在需要时调出显示。波形显示模块实现波形输出；A/D 采入的数据经过 FPGA 内的比较器可检测出一个周期内幅度的最大最小值之差，可求得峰峰值；键盘模块为系统对外界接口，显示模块在单片机控制下显示系统状态。

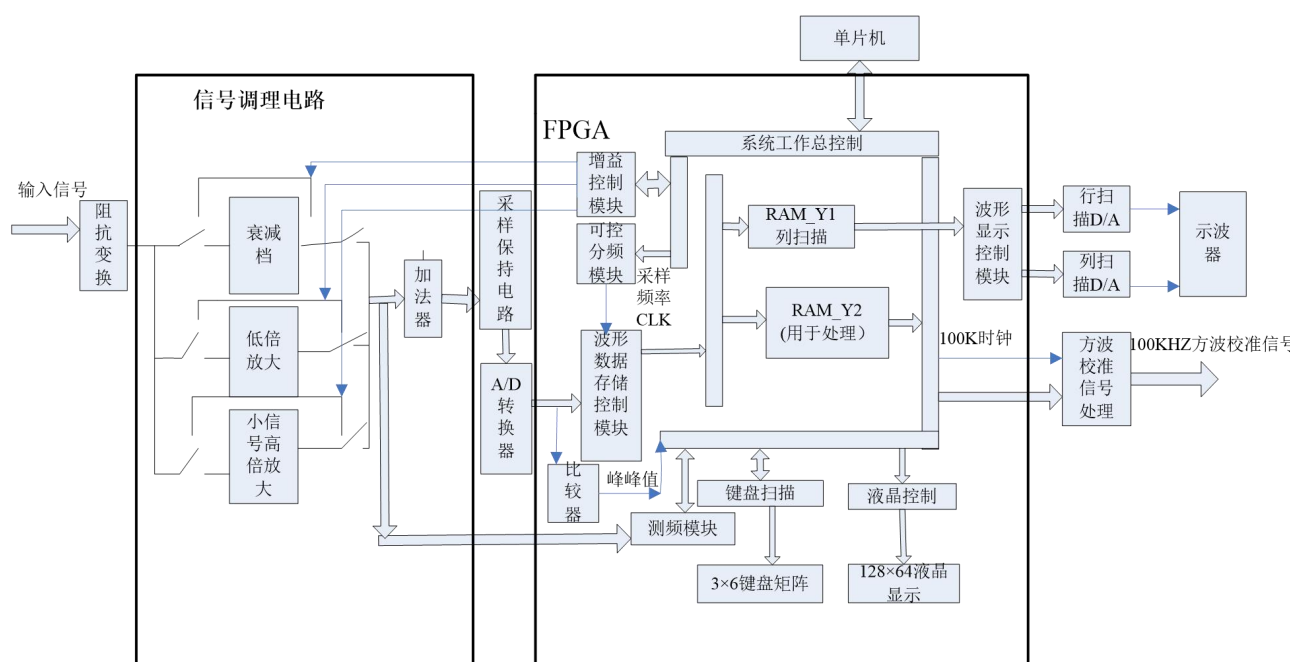


图 2.1 系统总体框图

三、理论分析与计算

1、等效采样分析

等效采样是用低频时钟采高频信号的一种信号采集方法，设被测周期信号 $f(t)$ 的周期为 T ，若将 $f(t)$ 的一个周期 T 以 Δt 等分，则在采样时钟周期为 T_c ，且 $T_c = m \times T + \Delta t$ (m 为正整数) 时，有 $f(kT_c) = f(m \times k \times T + k \times \Delta t) = f(k\Delta t)$ ，即在 kT_c 时刻可实现对 $f(t)$ 一个周期内的第 $k\Delta t$ 等分点的采集。显然，只要增大 m ，即使 T 很小 (信号频率大)，也可用比输入信号低得多的频率实现较好的采样。按照这个理论，设此数字示波器扫描频率为 f_c 输入信号频率为 f_i (一个周期内采样点数为 f_c/f_i)，计算可得采样时钟周期为 $m \times T + T/(f_c/f_i)$ ，调整 m 的值，便可使采样时钟频率 $< 1\text{MHz}$ 。同时，由于最高输入频率为 10MHz ，假设我们对 10MHz 信号一个周期采样 20 个点，就可实现题目要求的 200MSa/s 的等效采样率。但上面分析之 Δt 必须 $\leq 5\text{ns}$ ，由于我们的采样时钟是在 FPGA 内实现的，故 FPGA 至少要有频率 $\geq 200\text{MHz}$ 的参考时钟。

2、垂直灵敏度和前端放大倍数的实现

垂直灵敏度和前端放大倍数成反比例关系，题目要求垂直灵敏度为 1V/div ， 0.1V/div ，发挥部分要求为 0.002V/div ，垂直刻度为 8div，垂直分辨率为 8 级/div。对于不同的垂直灵敏度，示波器满度显示时输入信号的幅度为

$$V_m = \text{垂直灵敏度 (V/div)} \times \text{垂直刻度 (div)}$$

由于ADC的输入电压的峰峰值 $V_{p-p}=5V$,因此需要通过程控放大器将输入电压调整到ADC的输入电压范围内。我们针对3个档位分别设计放大或者衰减电路,档位之间的切换使用继电器实现。

表 3.1 垂直灵敏度量程

垂直灵敏度 (V/div)	1V/div	0.1V/div	0.0002
放大倍数	0.625	6.25	312.5

3、扫描速度与 ADC 芯片的选取

ADC 的选取涉及以下两个参数,ADC 的位宽和转换速率。根据题目要求,应该根据垂直分辨率来选取位宽,根据扫描速度选择采样频率。垂直分辨率为 8 级/div,垂直刻度为 8div,则要求信号的量化级数 $N=8 \times 8=64$ 。因此,应采用至少 6 位的 ADC。同时题目要求实时采样率 $<1MSa/s$,选用 max114 可满足条件。本设计中我们取水平分辨率 20 点/div。则对应的扫描时间 SCAN 和等效采样率关系为 $f_c=20/SCAN$ 。我们设置的扫描档位如下。

表 3.2 扫描时间 T(/div)和采样率(Sa/s)关系表

T	100ns	200ns	400ns	2us	4us	<u>20us</u>	40us	200us
Fc	200M	100M	50M	10M	5M	<u>1M</u>	500K	100K
T	400us	2ms	4ms	20ms	200ms	400ms		
Fc	50K	10K	5K	1K	100	50		

4、波形数据的处理

峰-峰值的测量 用单片机扫描 RAM 中的波形数据,查找数据的最大值和最小值。再根据如下公式计算波形的峰-峰值:

$$V_{pp} = [(D_{max}-D_{min}) / (255/8)] \times A$$

其中, D_{max} 为波形数据的最大值; D_{min} 为波形数据的最小值; A 为垂直分辨率,单位为 V/div。

四、主要功能电路设计

1. 阻抗变换电路

如附录图 4.1,MAX477 是带宽为 300MHZ 的高速运放,输入阻抗为 1M 欧姆,将其接成为射随形式,可实现 1M 欧姆输入阻抗要求。

2. 程控放大电路

程控放大是通过切换继电器实现的,针对 3 个不同的垂直灵敏度,分别实现 3 个档位的放大倍数。

(1) 图 4.2 对应这 1V/div,是 0.625 倍的放大电路

(2) 图 4.3 对应 0.1v/div,实现了 6 倍放大

(3) 题目要求实现对几毫伏信号的采集与实现,必须使用宽带放大电路实现放大。如下

图 4.4, 用 OPA637 与 AD844 级联实现约 300 倍的放大。

3. 加法器电路

程控放大后的信号需经过加法电路将电平移动到 0—5V 的范围内, 如图 4.5 所示, 所使用的宽频带集成运放 LM7171 具备 4100V/us 的摆率, 可将输入的大幅度方波信号以较小的失真输出。

4. 取样保持电路

取样保持电路的原理图如图 4.4 所示, 时钟 CLK 控制开关的通断, 当 S 导通时, 输入信号经 S 向电容充电, 充电结束后, $V_{out}=V_{in}$; 当 S 断开时, 电容的电压值在一段时间内保持不变, 取样结果也被保存。电容的漏电越小, 运放的输入阻抗越大, V_{out} 保持的时间越长。

如图 4.6 所示, 选用高输入阻抗的运放 LM7171 以射级跟随器的形式实现信号的隔离, 模拟开关 S 选用 TI 公司的模拟开关 TS12A4515, 此芯片在 12V 供电时的最大导通电阻为 $R_{on}=50$ 欧姆, 电容选用低漏电型 100pF 聚苯电容, 于是 S 和电容组成的低通滤波器的截止频率为 $1/(2\pi \cdot C \cdot R_{on}) > 10M$, 即 10M 的输入信号经取样保持电路后幅度不会下降。

5. 整形电路

分两段设计整形电路, 整形电路将输入的周期信号整成同频的方波输入 FPGA 进行测频。如图 4.7, 信号进入 LM311 滞回比较, 可较好消除边缘毛刺, 实现 1HZ—10K 整形。

如图 4.8, MAX912 是高频比较器。输入信号经 MAX477 开环放大后送入 MAX912 进行滞回比较, 可获得较为理想的方波整型信号。

6. 方波校准信号产生电路

如图 4.9 所示, FPGA 分频出 100K 的占空比 50% 的时钟信号, 经过反相器后再经过电阻分压便可将其输出幅度稳定在 0.3V 的幅度内。

五、系统软件设计

1. 内部触发功能

采用内部软件触发, 通过软件设置触发电平, 当所采样值大于该触发电平时, 产生一次触发。

2. 采样时钟输出模块

采样时钟的实现是系统软件设计的关键。我们在 FPGA 内部利用数字锁相环倍频出 200MHZ 的参考时钟, 同时利用 DDS 技术实现了占空比可调的采样时钟信号。

3. 软件流程图

如图 5.1 所示, 单片机实现人机交互。系统以键盘为控制信号输入端, 单片机获取控制信息后驱动 FPGA 中相应模块实现各功能输出, 同时将各种状态信息显示在液晶显示器上。

六、系统测试

1. 使用的仪器及型号

开发平台：Athlon64 2800, Windows XP;
直流稳压电源：SG1733SB3A
60M 示波器：Tektronix TDS1002
数字信号源：Tektronix AFG310

2. 测试方法

- (1) 将系统各模块分开测试，调通后再整体调试。
- (2) 系统整体测试。
FPGA 及单片机程序擦写好后，依据设计要求分别测试输出波形峰值、频率等。

3. 测试数据

表 6.1 幅度（输入 Vi，实测 Vc），频率测量(输入 Fi，实测 Fc)
周期测量（Tc） (Vi,Vc 都是峰峰值)

Fi(HZ)	1	10	50	100	500	1K	2K	5K
Fc(HZ)	1. 000	10.000	50.000	100.000	500.000	999.99	2.0000K	4.9998K
Tc（us）	999.99K	99.999K	19.999K	10.000K	1.9999K	1.0000K	499.99	200.00
Vc	Vi=8mv		7.919	8.170	8.044	8.421	8.421	8.170
	16mv	15.208	15.460	15.460	15.330	15.711	15.460	15.208
	400mv	391.707	396.484	396.484	401.261	401.261	401.261	401.261
	800mv	788.192	792.969	792.969	797.746	797.746	797.746	802.523
	4v	3.9602	3.9602	4.0070	4.0070	3.9602	4.0070	4.0070
	8v	7.8901	7.9369	7.8901	7.8901	7.8901	7.8901	7.8901
Fi(HZ)	10K	50K	100K	500K	1M	5M	10M	15M
Fc(HZ)	9.9997K	49.9998K	99.997K	500.000K	1.0001M	5.0000M	10.0000M	15.000M
Tc（us）	100.00	20.000	9.9995	1.9999	0.9998	0.1999	0.0999	0.0666
Vc	Vi=8mv	8.421	8.170	8.169	8.044	8.295		
	16mv	16.088	15.962	15.711	15.837	15.711		
	400mv	401.261	401.261	401.261	401.261	406.038	410.815	339.161
	800mv	797.746	797.746	797.746	797.746	797.746	764.308	702.207
	4v	4.0070	4.0070	4.0070	4.0538	4.0538	4.1941	4.0538
	8v	7.8901	7.8901	7.8901	7.8901	7.8901	7.7965	7.9369

表 6.2 方波校准信号频率测量

98. 999KHz	100. 001KHz	99. 995KHz	98. 999KHz	100. 001KHz
------------	-------------	------------	------------	-------------

4. 测试效果分析

- (1) 测量信号范围：10Hz—15MHz；
仪器输入阻抗：1M 欧姆
水平分辨率：20 点/div
垂直分辨率：25 点/div
- (2) 垂直灵敏档位：1v/div, 0.1v/div, 0.002v/div 均实现
电压测量误差：<3%
- (3) 实时采样率<1MHz, 等效采样率最大 200MHz；
扫描速度：共 16 档，包含 20ms/div, 2us/div, 100ns/div 三档；
周期测量误差：<0.1%
- (4) 在 FPGA 内实现了内触发，触发电平可调
- (5) 波形无明显失真
- (6) 实现了存储及单次触发功能
- (7) 能够输出幅值<0.3V 的方波校准信号；频率误差<0.1%；对小信号，在输入信号频率>5MHz 时无法检测到其峰峰值及频率。

七、参考文献

- [1] 李朝青编，<<单片机原理及接口技术>>，北京：北京航空航天大学出版社，1999 年 3 月第一版
- [2] 谢自美编，<<电子线路设计·实验·测试>>，武汉：华中科技大学出版社，2000 年 7 月第二版

附录 系统硬件电路图

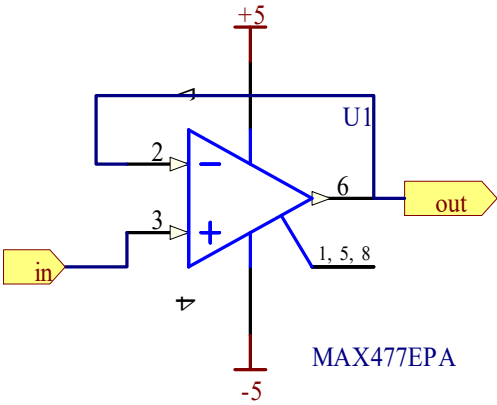


图 4.1 阻抗变换电路

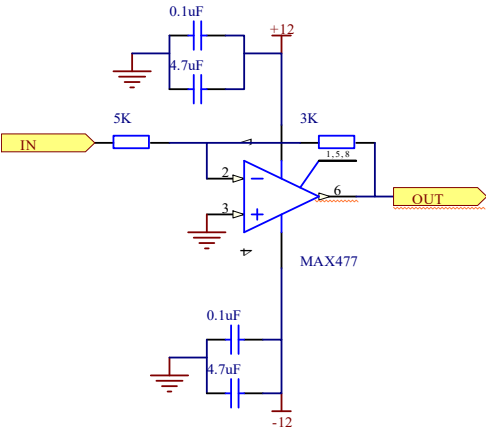


图 4.2 0.625 倍放大电路

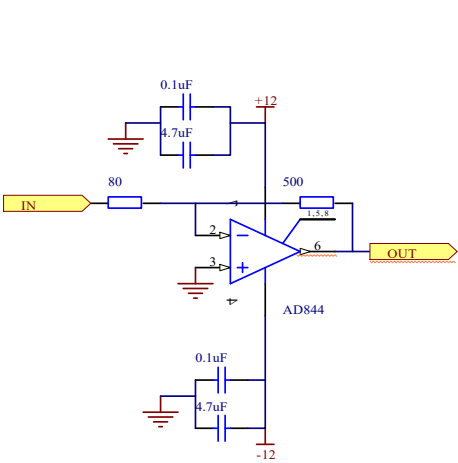


图 4.3 6 倍信号放大电路

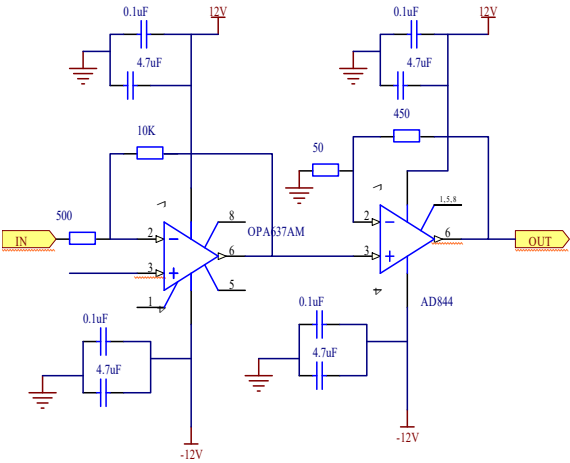


图 4.4 300 倍（49.5dB）小信号放大

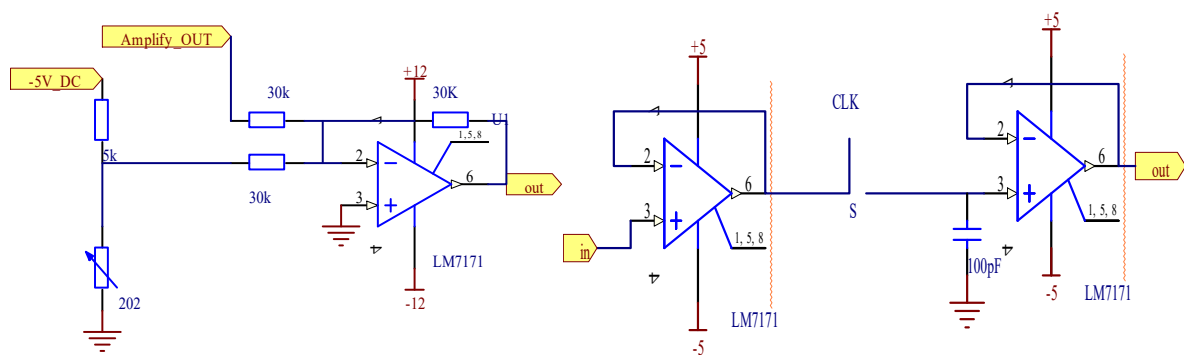


图 4.5 加法器电路

图 4.6 采样保持电路

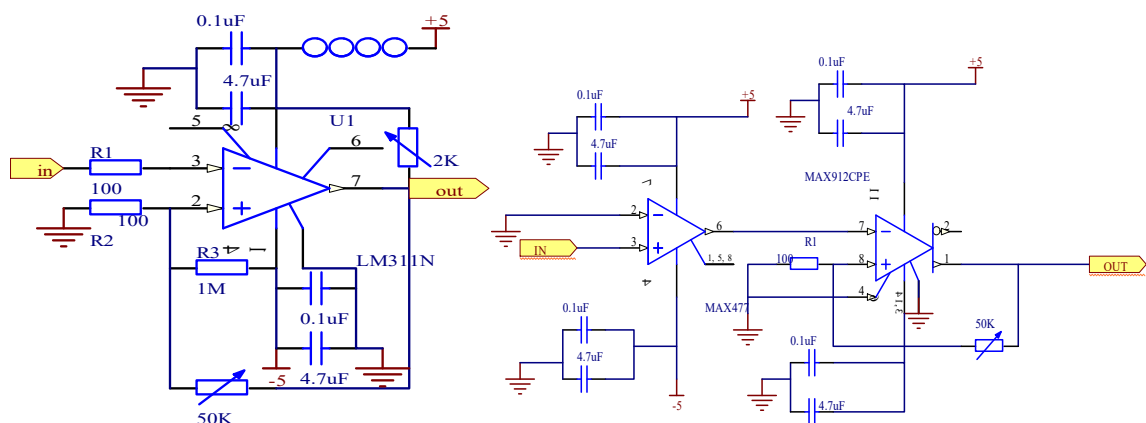


图 4.7 10HZ-10K 整形

图 4.8 10KHZ-10MHZ 整形

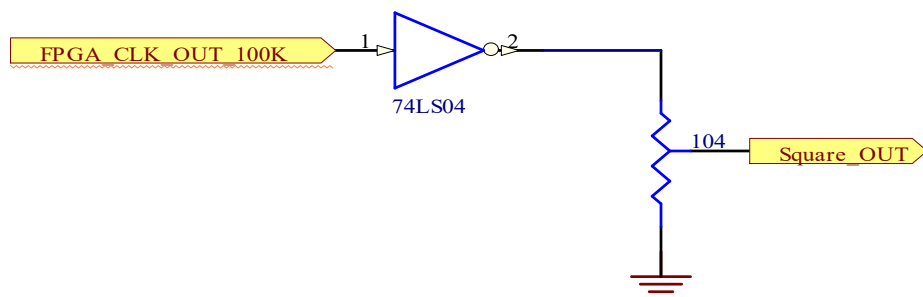


图 4.9 方波校准信号产生电路

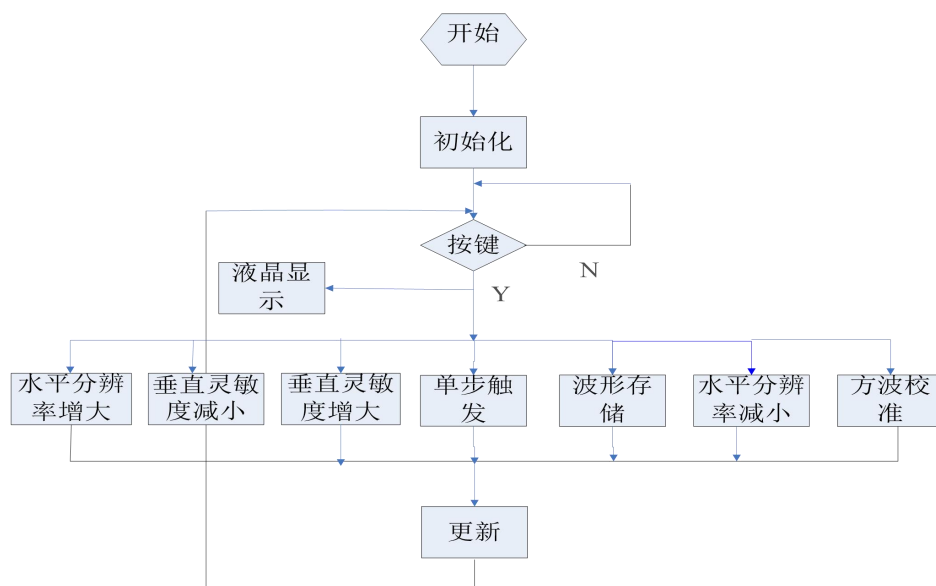


图 5.1 软件流程图