

# 基于DDS和FPGA的频率特性测试仪

杜英<sup>1</sup>, 郝茂森<sup>2</sup>

(1.山西农业大学, 山西 晋中 030801; 2.总装备部工程兵军代局驻西安和兰州地区军代室, 陕西 西安 710086)

**摘要:** 针对传统频率特性测试仪价格昂贵、体积大、使用不方便等问题提出了基于DDS和FPGA的正弦信号频率特性测试仪。该测试仪由信号源模块、频率相位检测模块、数据处理与控制模块、显示模块4部分组成。该设计采用FPGA控制DDS芯片产生两路相互正交的信号,被测信号与之相乘,经滤波器后检测输出频率、幅度和相位,最后通过显示模块显示。实验结果证明,该频率特性测试仪设计正确可行,且硬件结构简单、体积小、重量轻,能广泛应用于正弦信号的测量,具有较高的应用价值。

**关键词:** 频率特性测试仪; DDS; FPGA; 正弦信号测量

**中图分类号:** TN762-34

**文献标识码:** A

**文章编号:** 1004-373X(2014)04-0112-03

## Frequency characteristic tester based on DDS and FPGA

DU Ying<sup>1</sup>, HAO Mao-sen<sup>2</sup>

(1. Shanxi Agricultural University, Taiyuan 030801, China;

2. The Military Representative Office Stationed in Xi'an and Lanzhou, Engineer Military Representative Bureau, Xi'an 710086, China)

**Abstract:** In view of the issues of the expensive price, big volume and inconvenient use of the traditional frequency characteristic tester, a sinusoidal signal frequency characteristic tester based on DDS and FPGA is proposed in this paper. The tester consists of a signal source module, frequency and phase detection module, data processing and control module, and display module. In the design of this tester, FPGA is used to control the chip DDS to generate two mutually orthogonal signals, which is multiplied with the measured signal for the detection of frequency, amplitude and phase of the measured signal through filter. The parameters of the signal are finally displayed by the display module. The experimental results show that the design of the frequency characteristic testing instrument is correct and feasible, has the advantages of simple hardware structure, small size and light weight, can be widely applied to the measurement of sinusoidal signals, and has high application value.

**Keywords:** frequency characteristic tester; DDS; FPGA; sinusoidal signal detection

## 0 引言

在雷达、通信、自动化等领域中,正弦信号是工程实践中应用最多的电信号,因此正弦信号频率特性测试仪在系统联调测试阶段和排查错误过程中起着举足轻重的作用。随着现代电子技术的发展,频率特性测试仪不断向小型化、数字化、智能化、低功耗方向发展,直接数字合成(DDS)技术是新一代的频率合成方法,具有精度高、稳定性强的特点<sup>[1]</sup>。DDS技术的日益成熟,为频率特性测试仪实现数字化开辟了道路。本设计采用高性能直接数据频率合成芯片AD9854,结合FPGA技术,实现正弦信号频率、幅度和相位三要素的测量和显示。文中

主要介绍了正弦频率特性测试仪的整体设计方案、设计原理、硬件设计和软件设计。

## 1 系统总体设计方案

频率特性测试仪主要有信号源模块、频率相位检测模块、数据处理与控制模块、显示模块4部分组成,其整体设计方案如图1所示。

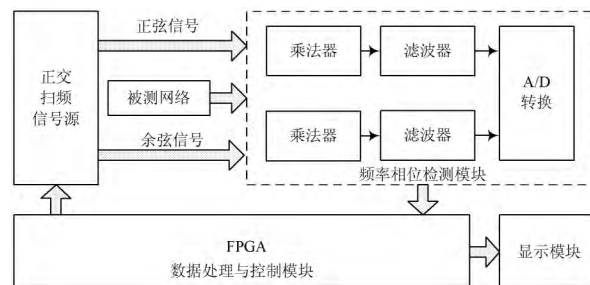


图1 系统整体设计方案

收稿日期:2013-12-29

基金项目:山西农业大学科技创新基金(201321)

其中信号源产生频率、相位和持续时间均可控的两路扫频信号,其中一路为正弦信号,另一路为余弦信号。频率相位检测模块由乘法器、滤波器和A/D转换器组成,其中正弦信号与被测网络产生的信号经乘法器相乘,并经过低通滤波器处理实现被测网络信号频率检测功能;余弦信号与被测网络信号经乘法器相乘并经过低通滤波器处理实现被测网络信号相位检测的功能,两路滤波处理后的信号经A/D转换器将模拟信号转换成数字信号,便于后续数据处理。数据处理与控制模块由FPGA组成,一方面控制信号源工作,实现对相互正交信号的相位、频率以及扫频时间的控制;另一方面控制A/D转换器实现模/数转换,并将A/D转换的数据采集到FPGA中进行处理,最终通过显示模块将被测网络信号的频率和相位显示出来,便于用户的读取。

## 2 系统硬件设计

### 2.1 信号源模块

目前实现信号源的技术主要有直接频率合成、锁相式频率合成和直接数字频率合成(Direct Digital Synthesizer, DDS)。DDS具有频率分辨率高、频率切换速度快且在频率切换过程中相位连续的特点。本设计中采用DDS技术进行信号源设计,选择AD9854作为信号发生器。频率合成芯片AD9854是ADI公司生产的性能优异的DDS系列芯片,采用CMOS制造工艺,具有48位频率字,能输出高精度、高稳定度的单频信号或调制信号,具有I、Q两路12位DAC输出,能够方便实现正交调制上的变频功能;其内部时钟最高工作频率能达到300 MHz<sup>[2-5]</sup>。通常情况下,为保证信号输出不失真,DDS实际输出波形的最高频率为时钟频率的40%,所以AD9854输出波形的最高频率可达120 MHz。

AD9854的两路DAC满量程输出信号的幅度可以采用内部寄存器控制,也可以通过改变DAC RSET引脚的外围硬件电路控制,从而使得输出波形幅度达到后续模块中需要的值。AD9854输出电流值与DAC RSET引脚所接电阻有如下关系:

$$I_{out} = \frac{39.9}{R_{SET}} \quad (1)$$

式中  $I_{out}$  为输出电流。通常,  $I_{out}$  最大值不超过20 mA,满量程电流输出设置为最大值20 mA,当输出高频信号时,总谐波失真明显,为使输出信号相位噪声最小,本设计中AD9854的DAC RSET引脚所接的电阻  $R_{SET}$  采用3.9 k $\Omega$ ,同时采用写内部幅度控制字寄存器的方法。

鉴于AD9854输出信号有严重的谐波分量和相位干扰,本设计在信号输出端接一椭圆低通滤波器。椭圆滤波器是一种零、极点型滤波器,在通带和阻带都具有

等波纹特性,因此通带、阻带逼近特性良好,对于同样的性能要求,椭圆滤波器比Butterworth滤波器、chebyshev滤波器所用的阶数低,过渡带窄。本设计采用七阶低通椭圆滤波器,其电路拓扑结构如图2所示。

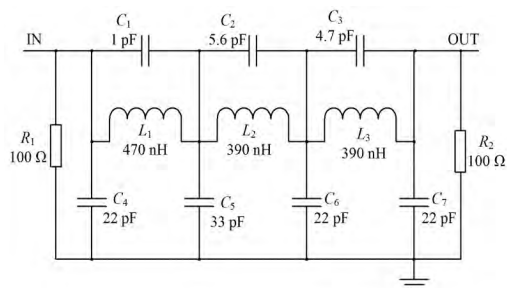


图2 椭圆滤波电路拓扑结构

其中,截止频率为150 MHz,阻带起始频率为165 MHz,通带纹波系数小于0.3 dB,截止频率时衰减为3 dB,阻带衰减为60 dB。该滤波器具有边沿陡峭、通带内失真小的特点,信号经过该滤波器可以得到平滑的正、余弦波。

AD9854的读写方式有串行和并行两种,通过S/P SELSET引脚的电平设置,本设计中将其接高电平,使DDS工作在并行模式。

### 2.2 频率相位检测模块

频率相位检测模块有乘法器、滤波器和AD转换器组成。假定被测网络输出的信号为:

$$x = A \sin(\omega t + \phi) \quad (2)$$

正交扫频信号源输出的正弦波为:

$$x_1 = B \sin(\omega_0 t) \quad (3)$$

余弦波为:

$$x_2 = B \cos(\omega_0 t) \quad (4)$$

正弦信号与被测信号经乘法器后得到:

$$y_1 = \frac{AB}{2} [\cos(\omega x + \phi - \omega_0 t) - \cos(\omega x + \phi + \omega_0 t)] \quad (5)$$

余弦信号与被测信号经乘法器后得到:

$$y_2 = \frac{AB}{2} [\sin(\omega x + \phi - \omega_0 t) + \sin(\omega x + \phi + \omega_0 t)] \quad (6)$$

当  $\omega = \omega_0$  时,乘法器的输出为:

$$y_1 = \frac{AB}{2} [\cos \phi - \cos(2\omega_0 t + \phi)] \quad (7)$$

$$y_2 = \frac{AB}{2} [\sin \phi + \sin(2\omega_0 t + \phi)] \quad (8)$$

进一步,经过低通滤波器,滤除高频信号,可以得到输出结果为:

$$y_1 = \frac{AB}{2} \cos \phi \quad (9)$$

$$y_2 = \frac{AB}{2} \sin \phi \quad (10)$$

滤波器采用由集成运放AD824搭建的二阶有源低

通滤波器。其电路如图3所示

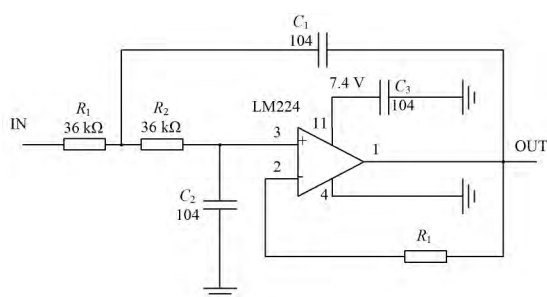


图3 二阶有源低通滤波电路

其中截止频率为  $f_c = \frac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}}$ 。

A/D转换器选用TI公司生产的6通道输入、16位高精度模数转换芯片ADS8365,该芯片工作在5 MHz时钟频率时,采样率最高可达250 kHz,足可以满足系统的实时性要求。

### 2.3 控制及处理模块

频率特性测试仪的控制和处理模块采用XC2S30,该芯片是Xilinx公司生产Spartan 2系列的FPGA,具有丰富的门阵列资源,32 Kb的缓冲资源,可以实现复杂的逻辑控制。测试仪中主要用其进行时序控制,实现DDS信号源频率和相位控制、相位检测模块信号采集、显示模块控制等功能。DDS、ADC、显示模块数据和控制引脚均与XC2S30相连,为FPGA作为系统控制核心提供硬件保障。

FPGA控制AD9854的数据和地址输入通道,实现信号源输出信号频率和相位的变化,使得DDS芯片输出两路正交信号,其中IOUT1输出相位为0的正弦信号,IOUT2输出相位为0的余弦信号,且频率从1~40 MHz连续扫频输出,一次扫描时间为2 s,步进为100 kHz。

FPGA控制ADC采集滤波器输出的两路信号,将模拟信号转换成数字信号,并将结果通过16数据线传输到FPGA中。

## 3 系统软件设计

### 3.1 DDS芯片的操作与控制方式

AD9854工作在并行模式下时,首先将并行数据从FPGA写入I/O端口缓冲寄存器中,然后在数据更新管脚(I/O UD CLK)出现上升沿时,将数据由缓冲寄存器传送到DDS内核中,进而实现DDS输出更新参数后的信号。FPGA控制AD9854工作流程如图4所示。

从图4中可以看出,具体操作步骤:

(1) 复位AD9854,即通过71管脚(MASTER RESET)保持10个系统时钟周期的高电平;

(2) 写控制寄存器。设置数据更新方式、工作模式、锁相环倍数(相应的具体参数)、开启和屏蔽相应的功能;

(3) 写数据寄存器。设置扫频的起始频率和终止频率分别为1 MHz和120 MHz,扫频步进为100 kHz,扫频斜率为XXX;

(4) 控制DDS芯片开始扫频。

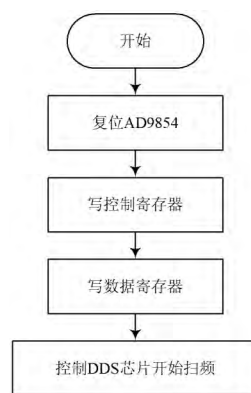


图4 工作流程图

### 3.2 AD芯片的操作与控制方式

XC2S30向ADC提供5 MHz的输入时钟,并与ADC的16位并行模式的输出数据线及相关控制管脚相连接,通过程序对相关管脚高低电平的设置为该芯片提供控制信号,实现控制模/数转换和数据的读取。XC2S30通过控制HOLDX信号触发一次数据转换,转换完成后,新的数据被锁存至输出寄存器,经过转换结束信号EOC判读后,通过并行16位数据线A15-A0将数据读入XC2S30,同时XC2S30也可以通过BYTE引脚选择ADC数据输出模式。根据实际应用情况,本设计采样率设置为5 kHz。

## 4 实验结果

采用AFG-3051信号发生器提供正弦信号,通过本文设计的正弦信号频率测试仪进行幅值、频率和相位三要素的测量,实验结果表明:幅频测量误差的绝对值 $\leq 0.5$  dB,相频测量误差的绝对值 $\leq 5^\circ$ 。

## 5 结语

本文设计的正弦信号频率测试仪信号源基于DDS技术构成,具有高性价比、低相噪低杂散数字化的特点,能够实现扫频信号快速而精确地控制;数据处理和控制采用FPGA技术,具有成本低、开发时间短、易于系统功能扩展等优点。该频率测试仪能体积小、重量轻,能广泛应用于正弦信号的测量,具有较高的应用价值。

(下转第117页)



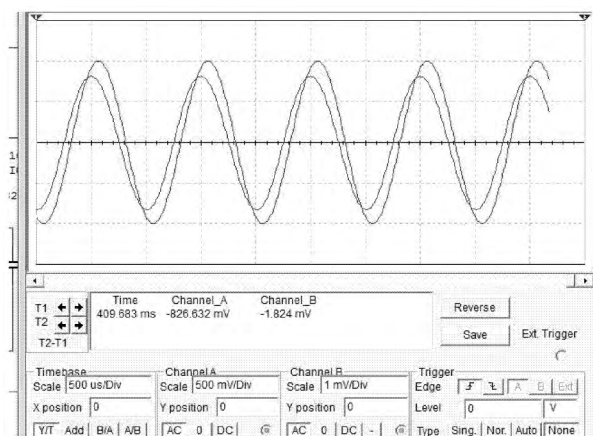


图4 去掉负反馈的仿真波形

观测负反馈对幅频特性的影响,反馈的幅频相频图如图5所示。设电阻 $R_9$ 开路状态,重新测试,测得无反馈时的幅频相频特性仿真结果如图6所示。比较可以看出,有负反馈时放大倍数降低了,但频带得到了扩展。

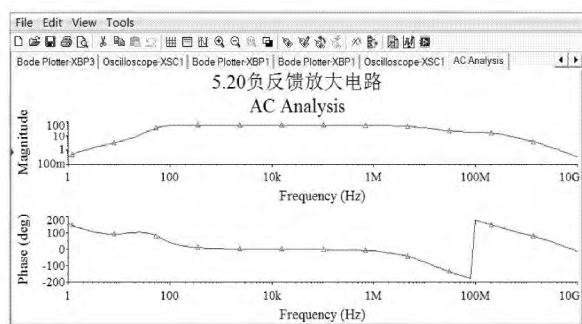


图5 反馈的幅频相频图

在实际电路中一般都是引入负反馈,牺牲放大倍数换取性能的稳定,负反馈是改善放大电路性能的重要技术措施,广泛应用于放大电路和反馈控制系统之中。

作者简介:徐经纶,女,硕士,助讲。研究方向为电子与通信工程。

(上接第114页)

### 参 考 文 献

- [1] 徐丽燕.正弦信号测试仪的设计[J].计算机测量与控制,2009,17(12):2564-2567.
- [2] 王成华,叶佳.基于AD9854的多功能信号源设计[J].解放军理工大学学报,2006,7(2):126-129.
- [3] 吴银标,谢华,付在明.基于AD9854的DDS+PLL的时钟源设

作者简介:杜 英(1985—),山西太谷人,硕士,助教。研究方向为智能控制。

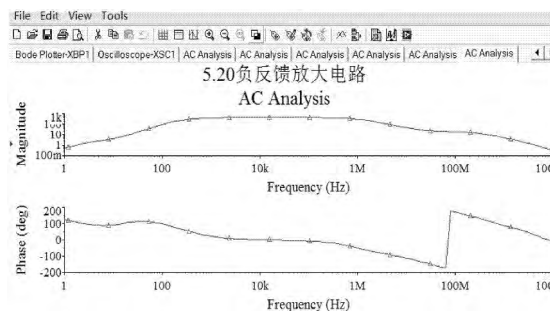


图6 不加入反馈的幅频相频图

### 3 结 语

负反馈的多级放大电路是模拟电路中比较经典的电路,借助 Multisim 10 仿真平台,分析电路静态工作点和动态参数的变化以及加入负反馈后对电路放大倍数的影响,说明负反馈电路能稳定电路的静态工作点,放大倍数降低了,但频带得到了扩展,在实际设计电路时具有深远的现实意义。

### 参 考 文 献

- [1] 李建兵,周长林.EDA技术基础教程-Multisim与Protel的应用[M].北京:国防工业出版社,2009.
- [2] 王廷才,陈昊.电工电子技术Multisim 10仿真实验[M].2版.北京:机械工业出版社,2011.
- [3] 付扬.Multisim仿真在电工电子实验中的应用[J].实验室研究与探索,2011,30(4):120-122.
- [4] 李鹏.仿真教学在高职业教育中应用研究[D].山东:山东师范大学,2008.
- [5] 王锁萍,龚建.EDA技术及发展趋势[J].电子世界,2002,22(2):23-25.
- [6] 张新喜.Multisim 10电路仿真及应用[M].北京:机械工业出版社,2011.

计[J].电子测量技术,2011,34(8):60-62.

- [4] 梁睿.基于DSP和DDS的信号发生器硬件设计及可靠性研究[D].武汉:武汉理工大学,2012.
- [5] 栗明.基于单片机的多功能DDS信号源的设计[J].数字技术与运用,2012(10):53-55.
- [6] 黄志林.基于FPGA的并行DDS技术研究[J].现代电子技术,2013,36(7):54-56.