2003年全国大学生电子设计竞赛一等奖

低频数字式相位测量仪(C题)

·天津大学电子信息工程学院 姚 远 王丽婷 郭佳静·

本设计用单片机以及 CPLD 实现了低频数字式相位测量仪系统的设计。该系统分为相位检测装置、移相网络以及数字式移相信号发生器 DDS 三个模块。

相位测试及显示模块由单片机和 CPLD 实现。为了测试系统的性能,我们对频率从 20Hz~150kHz、峰峰值在 300mV~10V 的不同相移的正弦信号进行多次测试,从测试结果可得出此系统的精度在 0.5°以内,相位分辨率为 0.01°,频率范围从16Hz - 150kHz,绝对误差都不超出 1°,大大扩展了普通相位系统的频率范围和精度范围;系统适应峰峰值为 250mV~10V的信号,扩展了幅度范围;另外,它还可以测试不同波形的信号,扩展了幅度范围;另外,它还可以测试不同波形的信号,除正弦波外,还可以测试三角波、方波的相位差,并且和正弦波达到同样的精度。

DDS(直接频率合成)技术,产生频率范围为20Hz~20kHz的正弦波,频率精准步进20Hz、相位步进1°,且峰峰值可调。由于使用了4.096MHz的晶振、使频率步进为准确的20Hz。我们对该子系统进行了测试,最后,又用它校验相位测量仪,在多个频点均得到精确的测量结果。

设计方案的论证与选择

1.相位测量子系统的实现原理的分析与选择

(1)相位差测量的基本原理 相位差测量的基本原理归结 起来有通过对三角函数的运算、通过对傅氏级数的运算及通过 对信号波形的变换和比较三种。下面,就对上述三种实现方法 进行比较和论证;

方案一: 矢量法。 任何一正弦函数都可以用矢量来表示,如两个正弦信号幅度相等、频率相同,运算器运用减法器则合成矢量的模: $V=2E\sin\frac{\Phi}{2}$ 。这种方法用于测量小角度,灵敏度较好,可行度也较好;而在靠近 180° 附近灵敏度降低,读数困难也不准确。由于输出是一余弦或正弦函数,因此这种方法适用的频带范围是较宽的。

方案二: 倍乘法。 任何一周期函数都可以用傅氏级数表示,在这里运算器是一个乘法器,两个信号是频率相同的正弦函数,相位差为一个角度Φ,运算结果再经过一个积分电路,得到一直流电压V=keosΦ,电路的输出和被测信号相位差余弦成正比例,因此其测量范围在45°以内,欲使测量范围扩展到360°,需要附加一些电路才能做到。这种方法由于应用了积分环节,可以滤掉信号波形中的高次谐波,抑制了谐波对测量准确度的影响。

方案三:通过零点检测法。 过零检测法是将基准信号正向通过零的时刻与被测信专通过零的时刻进行比较,由二者之间的时间回隔,即可推算出两信号之间的相位差。

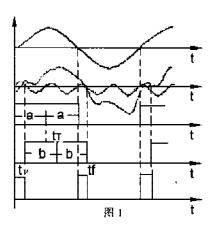
上述几种测量相位的方法,各有其优缺点,从灵敏度、准确度、频率特性和谐波的敏感性等技术指标来看,过零点检测

法比较好,它还易于实现数字化和自动化,又可以给出两种形式的输出;输出正比于相位差的直流电压和相位差的脉冲数。现代的数字相位表多采用这种原理构成。经过对三种方案的比较,为了便于数字化和集成化,本设计采用方案三的过零检测法。

(2) 数字相位测量仪工作原理 过零检测法,从变换方式来分,有将相位差变换成直流电压的,有将相位差变换成时间的。后者又可以分为瞬时值相位法和平均值相位法。为达到较高的精度且便于数字集成,本设计采用将相位差变换为时间的相位测量法。

通常测量两个频率相同的正弦信号之间相位差的方法,首先是将输入的两个正弦信号经过过零比较器变换成方波,然后测量两个方波过零点的时间差 τ ,其时间差 τ 与相位差 Φ 的关系为: $\Phi = \frac{\tau}{T} \times 360^{\circ}$ 。但当输入信号有失真时,则不可避免地要产生测量误差。为此采用测量两个方波脉冲中心时间差的方法,

则测量结果更为准确。其测量失真信号的波形如图1所示。

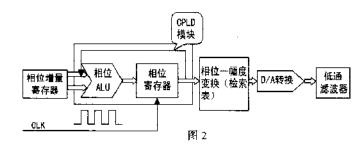


2.波形生成子系统的实现原理的分析与选择

- (1)模拟技术与数字技术的选择 现有的波形生成原理有模拟技术和数字技术两大类,应当选用哪个呢?由于任务书中明确提出频率步进和相位步进,而且要求数字键盘显示,不难判断应采用波形的数字合成技术才是合理和易于实现的。
- (2)任意波的数字合成原理 其基本思想是将准备产生波形一个周期的数字化样本存放在一个波形存储器中(又称波形数据查找表),然后通过一个地址发生器对检索表的波形数据周而

复始地读出 再经过D/A变换和滤波后就可获得所需要的模拟 波形。

根据检索表地址发生器的构成方案的不同 形成了两大类任意波形发生器(AWG)。第一类是传统型 AWG,其地址发生器由二进制计数器构成;另一类是DDS型的AWG,其地址发生器由相位累加器构成。由于传统型的AWG一个周期输出的样本数是固定的 所以样本点数多 输出波形质量好。但是其输出的低通滤波器的截止频率必须随输出频段的切换而改变 还需要一个频率步进量精细可调的时钟源 因而增加了硬件的复杂性;DDS型的 AWG则没有传统 AWG的两个缺点,使硬件可以简化。DDS型AWG输出波形的频率是通过改变送到相位累加器的相位增量来控制的。由于是数字调变 实现起来非常方便 而且可以达到非常微小的频率步进量。但它的输出波形在一个周期内的样本数随输出频率的增高而减小 从而导致输出波形的相位噪声增加 并表现为波形失真增大。本设计采用DDS波形



发生器,其基本原理框图如图2所示。其中,数字累加部分由 CPLD实现,再由单片机实现顶层控制,预置频率字和相位字。

3. 模拟移相网络的选择

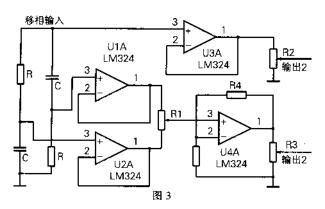


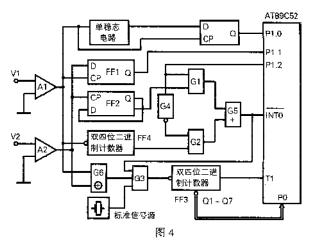
图3是RC移相电路的参考电路,输入信号经过两个RC网络后一路超前于输入信号,一路滞后于输入信号。并分别输入给两个运放构成的射随器,当变阻器调到顶端时,滞后信号占主导地位;当变阻器调至底端时超前信号占主导地位。理论分析可以得到: RC=1,于是,我们通过选择不同的RC值,适应三个频率点的相移要求(见附表)使得在三个频率点上相位在±45°范围内变化。

			附表
類率值	运放型号	R	С
100Hz	LM324	1.592kΩ	1µF
1kHz	LM324	1.592kΩ	0.1µF
10kHz	OP27	1.592kΩ	0.01 µ F

系统的具体设计

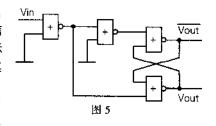
1.相位测量子系统

(1)硬件电路设计 硬件 电路的组成原理框图如图4所



示。由图可见、硬件电路由输入信号整形、输入信号频率段鉴别、相位差超前及滞后判别、标准信号源、控制及计数显示五部分组成。其中,输入信号整形部分由过零比较器A1、A2组成。为了提高其稳定性,本设计增加了一个时钟脉冲边沿整形电路。使用 2 输入 4 或非门 CD4001A,将脉冲上升沿缩小到100ns。其电路如图5所示。输入信号频率段鉴别部分由单稳态触发电路和D触发器FF1组成;相位差超前及滞后判别部分由D触发器 FF2组成;

标准信号源可输出 30MHz稳定脉冲信 号;控制及计数显示 部分由89C52和其 余芯片组成。



输入信号频率 的鉴别 相位检测电

路的输入信号频率范围为20Hz~20kHz。为了提高测量精度,将检测频率分为两段:一段为20Hz~2kHz,一段为2kHz~20kHz。利用频率转换电路和89C52单片机,可方便地实现频率段的鉴别。频率段鉴别电路由单稳态芯片MC14538和D触发器74LS74来承担。MC14538是可重触发单稳态触发器(带清除),选择其外接定时元件Ccxt和Rcxt使其暂态定时时间为500µs。当输入信号频率大于2kHz时,D触发器输出高电平,则89C52的P1.0位为1。通过查询P1.0位的高低,即可知输入信号的频段。输入信号的频段不同,采用的检测方法也有区别。

相位差超前或滞后的判别 用D触发器可检测两个同频信号的超前、滞后关系,由此决定相位差的符号。由图4中FF2输入可知 若D触发器输入端信号相位超前于CP输入端输入信号,则D触发器的输出Q端为高电平,反之,则Q端为低电平。检测结果送到P1.1口由软件查询。

相位差的测量 若输入信号频率在20Hz~2kHz频段内 则采用单周期测量方式 即在一个周期内测量相位差。此时单片机 P1.2位输出高电平,与门G1打开,与门G2封锁。FF3输出方波脉宽为信号周期 此信号输出一端给到单片机 INTO,另一端去控制与门G3。G3导通的条件是FF3输出高电平及G6输出高电平。这时与门G3打开,标准信号脉冲由单片机内部16位计数器T1及串联2°进制外部计数器FF5计数。这一过程实质上就是在一个周期内对 t 、tith。定时器T0对出现在INTO的周期T计时。单片机晶振12MHz对1μs的机器周期计数。当

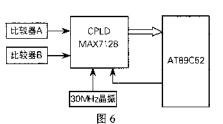
INTO变为低电平时 单片机发出中断。

当 $\overline{\text{INTO}}$ 变为低电平时,与门G3也被封锁,单片机在中断处理中,可从PO口读取外部计数器计数值N1及单片机内部计数器计数值N2, $N_{\text{fk}}=N_{\text{lk}}\times N_{\text{lk}}\times 2^{\text{lk}}$, N_{fk} 个标准脉冲所对应的时

间为:
$$T_0 = N * \times \frac{1}{30} \times 10^{-5}$$
 则相位差为: $\varphi = \frac{1}{2} T_1 \times \frac{360^{\circ}}{T} = \frac{T_1}{T} \times 180^{\circ}$

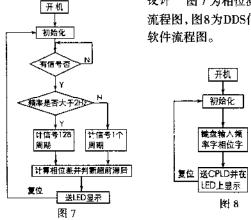
若输入信号在2~20kHz范围内,由于输入信号频率较高,所以在128个脉冲宽度中测量相位差,这实质是一种平均相位差测量方法。此时,单片机P1.0输出低电平将与门G2打开,与门G1封锁。输入方波经FF4分频;FF4为双四位二进制计数器;当第128个脉冲下降沿到来时FF4输出高电平,INTO开始计数。同时与门G3打开,标准信号脉冲在t、ti期间被单片机T1及FF5计数,当第256个脉冲下降沿到来时,INTO变为低电平,单片机进行中断处理。

上述硬件电路由两种方法实现:用CPLD(MAX7128)实现和用分立芯片直接实现。



本设计将上文 所述的系统全部写 人一片 MAX7128 中,使得外围电路 十分简单。使用 CPLD后的系统框图 见图6。

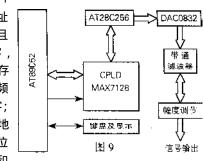
(2)系统软件设计 图7为相位测量系统软件流程图,图8为DDS信号发生系统软件流程图。



2.DDS波形发生器的设计

通过第一部分对DDS波形发生器的原理讨论 可以明确波形生成子系统的设计方案。本设计采用了依照DDS原理图的最简结构的DDS波形发生器,单片机的外围接口电路也在一片CPLD内统一实现。由于需要高速运行的电路均由CPLD实现了从而大大减轻了对单片机速度的要求 89C52就可以实现要求的处理速度。为实现发挥部分频率步进和相位步进的要求,外部硬件采用两片E²POM的AT28C256来存储正弦查找表。系统框图如图9所示。

恰好选取 N = 11 位,单片机的11位地址 完全由P0口给出,而且 还要给出11位相位字, 于是需要四片数据锁存 器74LS373,两片锁存板 率字,两片锁存低八位地 址,另一片锁存低八位地 址,另一片锁存。



相位字同时给出,再用四片三态缓冲芯片74LS244控制输出。另外,当P0口做I/0口时驱动能力不够必须加上5.1k 排阻才能正确给出逻辑电平值。CPLD计算频率和相位字后,分别输出移相和非移相的两组11位地址来选中EPOM的相应位,并查找出相应的八位数据输出给D/A变换器。D/A变换器经带通滤波后即可输出平滑的正弦波,我们采用低通和高通相串联的方式来实现带通滤波器,其中低通滤波器采用开关电容芯片MAX7403来实现,它具有外围电路简单、性能优越的特点。而高通我们用有源滤波器设计软件fwp3230f来计算,大大节省了时间,且得到了满意的效果。

特色与总结

综上所述 本设计具有较高的精度和稳定性。除此之外,设计中还具有一些特色和创新:

- (1)集成化 相位测试部分由CPLD代替全部外围数字电路 实现相位测试部分的高精度要求;
- (2)波形扩展 相位测试仪不仅能测试正弦信号 而且能测试三角波和方波信号;
- (3)高精度 本设计对正弦波、三角波、方波信号均能达到0.5°的测量精度,分辨率可达0.01°;
- (4) 频率扩展 本系统频率测试范围在16Hz~150kHz之内 均可达到精度要求;
 - (5) 幅度扩展 本系统可以测试幅度在0.25~5V之间信号。

专家点评:文中对频率测量仪的分析较好。频率分段处理 20Hz~2kHz采用单周期测量 2~20kHz采用多周期平均测量法 是一个比较好的想法。这样可以在同等测量精度情况下,缩短了测量时间。但有两点不足:

- (1)相位测量仪两路输入通道的性能和对称性是影响相位测量精度的重要因素 特别是在两路信号幅度差别较大时 影响更为明显。如何做到严格的过零 报告中缺少分析。
- (2)数字移相信号产生器中DDS的设计考虑不周 相位累加器的字长和时钟频率选择缺少分析。选择的参数也不能满足



系统的精度的要求。D/A变换器的字长、两路 带通滤波器的性能都对性能指标有较大影响。 在频率的高端产生的样点数过少 波形失真必 然很大 性能不可能达到要求。

点评专家 朱茂镒 ,北京信息工程学院研究员 2003年全国电子设计竞赛专家组成员。