2 基于 TLC5510 的数据采集设计

2. 1 两级 采样

TLC55 10 虽采样率高 ,但受干扰严重。基于上述 特点 ,将 TLC5510 运用于宽频数字示 波器的数据采 集。为了提高抗干扰能力 ,专门设计一个有源晶振 模块为 TLC5510 提供 采样 时钟 ,但导致采样率不可 调 。为了解决这个问题 ,采用两级采样。第一级采样 为控制 A / D 转换器对外 围的电信号高速采样 ,并将 其采样保存到 FPGA 内部寄存器 ,该级采样率恒定 不变 ,并 由硬件设计实现 ;第二级采样为软件采样 . 即 由 FPGA 样 控制模块从寄存器中提取第一级采 集结果 ,该级采样率是可调 的。

2. 2 等效采样

根据奈奎斯特定律 , 采样频率高于信号频率 的 两倍就可恢复原波形。当采样频率等于或小于信号 频率可采用等效采样 , 在不 同周期 获取不 同相位 的幅值 . 根据相位将幅值连续排列即可复原波形。 采用 内触发采样 . 即由被测信号的某相位点位 为触发 . 然后存储。其实现过程 : 每一个完整的采样 需采集 256 个点 ,每一个采样点都是由相同电平触发,触发后启动 FPGA 内部 的计数器 ,对高频脉冲应加入一个记数 ,脉冲数不同 ,代表相位也不相同。经过 256 个周期 . 就可采集 256 个不同的相位点。

3 基于 FPGA 的等效采样

3. 1 实现 方 案

该 系统设计采用延迟法来实现等效采样 。如图 3 所示 ,设输入信号 f(t)的周期为 (频率为 ,若将 f(t)的一个周期 以 $\triangle t$ 等分 ,在时间 t1 进行第一次 取样 ,为了采集到下一个相位点 . 在 时间 t2 进行第 二次采样 , $1\sim 2$ 可相 隔多个信号周期。假设 m 个 ,则相邻两个采样脉 冲的时间间隔为 mT+ $\triangle t$ 。如此 类推 ,以下 3 个采样点则分别在 t3,t4,t5 时刻采样。 在每个触发位置延 时 N $\triangle t$ (N=O,1,2,3?)后存储采 样 ,即可合成一个完整波形。这种方法控制方便 ,通 过 FPGA 完成整个触发 、延 时 、采样和存储功能,但 对触发电路和延时电路要求很高 。

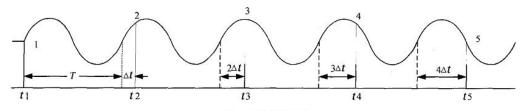


图 3 等效采样时序

3. 2 硬件电路设计

3. 2. 1 整形触发电路

由于每一次采样都要 由某一事件触发. 所 以该系统设计采用内触发 , 即触发源为被采样信号 , 并 由硬件触发 电路实现 。该电路可把各种波形的周期信号整形为与原信号周期相同的方波信号。

由于采用等效采样技术,其被测信号频率较高。假设被采样信号的最高频率约为 10 MHz,则整 形器件选用 Maxim 公司的电压比较器 MAX912。当 输入信号电压高于预置的触发电平时,输出高电平;反之输出低电平。图 4 所示为整形触发电路。

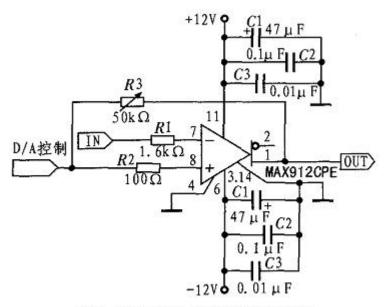


图 4 MAX912 整形触发电路图

采样保持电路:

在采样时刻到来之前该模块的输出电压随输入电压变化。当到达采样时刻时,输出电压保持不变 ,以供 TLC5510 采样。

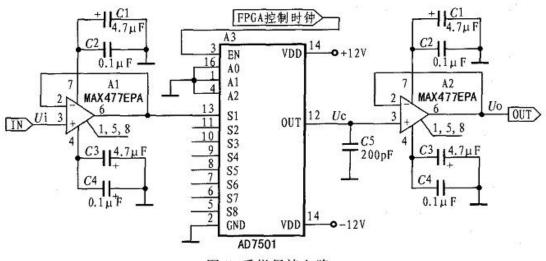


图 5 采样保持电路

其具体电路如图 5 所示 。 该采样保持电路由两片运算放大器 A1, A2 和模拟开关 A3 构成 ,采样时通过 FPGA 控制时 钟使 A3 的通道 S1 导通 。A1, A2 为 单 位 增 益 的电压 跟 随 器 ,故 Ui=Uc=Uo(导通),此 时电容充电至 Ui 。因电压跟随器 的输 出电阻很小,故电容快速充电。断开 S1 即触发而且延时以后已经要开始采样的时刻,由于无放电通路,其电压基本不变,故保持不变 ,即保存采样结果 。

3. 3 软件编程控制

等效采样 的软件控制实 际上是指对采样时刻 的控制和对外围采样保持电路时序的控制 , 该控制 可以在 FPGA 内部编程实现 , 对应的实现模块如图 6 所示, 主要由两部分组成。 其一为数字锁相 PLL), 用于产生频率足够高的脉 冲信号 。由于采样率与△t 有关 , 因此

将原来 FPGA 自带的 40 MHz 时钟信号送人数字锁相环使之 5 倍频 ,进而提高至200 MHz。其二为控制模块 ,采用 同步开启异步复位 的编程思想。它有两个时钟输入端 : clkce2 是被测信 号经整形电路后的脉冲信号,该信号为同步信号 , 也 为触发源。每次采样都 由该信号触发开始计数 ; clk-200 是数字锁相环产生的高频采样脉冲,计数开 始 后内部计数器对 clk-200 计数 ,当计数到 m 后(即 m△ £ 时间),计数完毕 ,马上控制采样保持电路进入 保持状态 ,然后在经过若干个 clk-200 时钟周期后 (为了使信号完全进入保持状态 电平达到稳定),采 样该数据点(每一数据点代表一个相位的数据值)。 若每一个采样周期需要采样 256 个点 ,则最大延时 为 256△t=256 / 200=1.28uS,而被测信号为 10 MHz, 其周期为 0. 1 us,所以两采样点之间至少要间隔 13 个周期(最大延时<两采样点的时间差)