

电 子 科 技 大 学

UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA

专业学位硕士学位论文

MASTER THESIS FOR PROFESSIONAL DEGREE



论文题目 取样示波器等效采样系统设计与实现

专业学位类别 工 程 硕 士

学 号 201122250459

作 者 姓 名 张 君 禹

指 导 教 师 马旭飏 研究员

分类号_____密级_____

UDC^{注1}_____

学 位 论 文

取样示波器等效采样系统设计与实现

(题名和副题名)

张君禹

(作者姓名)

指导教师

马旭飏

研究员

电子科技大学

成 都

(姓名、职称、单位名称)

申请学位级别 **硕士** 专业学位类别 **工 程 硕 士**

工程领域名称 **电子与通信工程**

提交论文日期 **2014.05.20** 论文答辩日期 **2014.05.22**

学位授予单位和日期 **电子科技大学** 2014 年 6 月

答辩委员会主席_____

评阅人_____

注1：注明《国际十进分类法 UDC》的类号。

DESIGN AND IMPLEMENTATION OF THE EQUIVALENT SAMPLING SYSTEM OF SAMPLING OSCILLOSCOPE

A Master Thesis Submitted to
University of Electronic Science and Technology of China

Major: **Electronics and Communication Engineer**

Author: **Zhang Junyu**

Advisor: **Ma Xubiao**

School: **School of Aeronautics and Astronautics**

独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

作者签名：_____ 日期：_____ 年 _____ 月 _____ 日

论文使用授权

本学位论文作者完全了解电子科技大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权电子科技大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后应遵守此规定）

作者签名：_____ 导师签名：_____

日期：_____ 年 _____ 月 _____ 日

摘 要

随着电子科学技术的迅猛发展，电子信号传输的复杂性和多样性的特征愈加明显，对这些信号的测量的要求也越来越高。取样示波器作为一种测量高速信号的仪器，利用其独特的采样结构，采用等效采样的原理，能够达到普通实时示波器的十倍以上采样率和系统带宽。

本论文所设计的取样示波器等效采样系统依托同样采用等效采样原理进行采样的特性阻抗分析仪平台。由于现有平台无法进行多通道测量，因此重新设计了多通道采集电路和差分处理电路。由于现有电路没有对信号进行滤波，因此有必要增加滤波电路。为了增加偏置处理和增益处理这两项功能，设计了 DAC 来实现可由 FPGA 控制的偏置电路和增益电路。重新设计了系统的时钟电路，提供了更稳定的时钟信号。在此基础上，通过编写 FPGA 控制程序来实现基于“粗延时+细延时”的等效采样功能、平均测量功能、多通道测量功能、差分测量功能、可调偏置功能以及可变增益功能。

最终取样示波器等效采样系统实现了顺序等效采样。采用 100GSPS 的等效采样率对 100MHz 正弦波采样， SNR 达到了 64.68dB，实现了对高速信号的采样。双通道测试时数据一致性得到改善，新加的平均测量功能、多通道测量功能、差分测量功能、可调偏置功能以及可变增益功能也得到实现。测试中，AD9251 对 100KHz, 400mV_{p-p} 正弦波信号进行采集，信噪比 SNR 达到了 70.16dB，总谐波失真 THD 为 -74dB，成功实现了数据采集。当前所设计的等效采样系统的硬件平台和程序已经在最新的特性阻抗测试中得到应用。

关键词：取样示波器，等效采样，FPGA，多通道采集

ABSTRACT

Since the rapid development of electronic science and technology, the complexity and diversity of the characteristics of electronic signal transmission becomes more obvious, and thus these signals are increasingly demanding measurement conditions. As a measure instrument of the high-speed signals, sampling oscilloscope, which adopts its unique sampling structure and the principle of equivalent sampling, can reach ten times sampling rate and system bandwidth more than the real time oscilloscope.

In this dissertation, the design of sampling oscilloscope is based on characteristic impedance analyzer platform which uses the same principle of equivalent sampling. Due to the existing platform can not conduct a multi-channel measurement, therefore multi-channel acquisition circuit and a differential processing circuit should be redesigned, and designed a differential processing circuit and filter circuit. Since there is not a signal filtering circuit on the existing circuit, it is necessary to increase a filter circuit. In order to increase the two functions of offset process and gain process, bias circuit and gain circuit performed by DACs which are controlled by FPGA are designed. Meanwhile, the system clock circuit is redesigned to get a more stable clock signal. On this basis, the control code of FPGA is programmed to realize the sequential equivalent sampling based on the theory of "coarse delay + fine delay", the average measurement function, multi-channel measurements, differential measurement, adjustable bias function and variable gain function.

The final design of the sampling oscilloscope sampling system can achieve the equivalent sequential equivalent-time sampling. In the test, the signal-to-noise rate reaches 64.68dB, at the condition of using 100GSPS equivalent sampling rate to sample a 100MHz sine waveform, this means that high-speed sampling of the signal is achieved. In the Dual-channel test, data conformance is improved; the newly added average measurement function, multi-channel measurement, differential measurement, adjustable bias function and variable gain function has also been achieved. On the test of the acquisition of AD9251 for 100 KHz, 400 millivolt peak-to-peak value sine wave signal input, the Signal Noise Ratio reaches 70.16dB, and total harmonic distortion is -74dB, this means the ability of data acquisition is better than before. The current design of the hardware platform of the equivalent sampling system and

procedure have been applied in the latest instrument.

Keywords: sampling oscilloscope, equivalent-time sampling, FPGA, multi-channel acquisition

目 录

第一章 绪论	1
1.1 研究背景	1
1.1.1 研究意义	1
1.1.2 课题背景	2
1.2 取样示波器数据采集概述	3
1.2.1 取样示波器发展简述	3
1.2.2 取样示波器数据采集简述	4
1.3 研究内容及论文安排	6
第二章 取样示波器等效采样技术基础	9
2.1 信号采样基础理论	9
2.1.1 奈奎斯特采样定理	9
2.1.2 ADC 原理	10
2.1.3 DAC 原理	12
2.2 信号采样方式	13
2.2.1 实时采样	13
2.2.2 等效采样	13
2.2.2.1 随机等效采样	13
2.2.2.2 顺序等效采样	14
2.3 本章小结	16
第三章 取样示波器等效采样系统方案设计	17
3.1 等效采样系统总体方案设计	17
3.1.1 基于等效采样的 TDR 数据采集系统简介	17
3.1.2 取样示波器等效采样系统总体方案设计	18
3.2 等效采样系统硬件方案	19
3.3 等效采样系统程序方案	20
3.4 本章小结	22
第四章 取样示波器等效采样系统电路设计	23
4.1 采样硬件系统设计	23
4.2 采样电路硬件设计	24
4.2.1 ADC 硬件设计	24

4.2.1.1 现有 ADC 电路	24
4.2.1.2 低带宽 AD9243	25
4.2.1.3 选用 AD9251	26
4.2.2 通道切换硬件设计	27
4.2.3 偏置硬件设计	28
4.2.4 增益硬件设计	30
4.2.5 差分硬件设计	32
4.2.6 滤波硬件设计	33
4.2.7 差分时钟硬件设计	33
4.2.8 输出缓冲硬件设计	35
4.3 步进延时电路设计	35
4.3.1 时钟处理模块	35
4.3.2 延时取样触发电路	38
4.4 本章小结	39
第五章 取样示波器等效采样系统程序设计	40
5.1 程序载体 FPGA 简介	40
5.1.1 取样示波器所用 FPGA 介绍	40
5.1.2 下载配置电路	41
5.2 等效采样逻辑控制流程	42
5.2.1 通信接口模块设计	44
5.2.2 步进延时程序的设计	47
5.2.3 两路同时测量程序设计	49
5.2.4 差分测量程序设计	49
5.2.5 平均测量模式设计	52
5.2.6 ADC 测量控制程序设计	53
5.3 本章小结	55
第六章 测试结果	56
6.1 测试方案	56
6.1.1 高速信号等效采样测试	56
6.1.2 时域反射波形测试	58
6.1.2.1 差分测试	61
6.1.2.1 平均测试	62
6.1.2.3 增益测试	62

6.1.2.4 偏置测试	64
6.1.2.5 偏置增益测试	67
6.2 本章小结	69
第七章 全文总结与展望	70
7.1 全文总结	70
7.2 后续工作展望	70
致 谢	71
参考文献	72

第一章 绪论

1.1 研究背景

1.1.1 研究意义

随着电子科学技术近些年迅猛的发展，电子信号传输的复杂性和多样性的特征愈加明显。在高速互连领域，串行总线的速率正从过去 USB2.0、LVDS 及 FireWire1394 的几百 Mbps，提升到当前 PCI-Express G1/G2、XAUI/2XAUI、SATA G1/G2、XFI 的数 Gbps^[1]。这些高速传输信号本身信号频率大大升高的同时，也将极大的提升处理这些信号的速度，这就极大的减小了数字信号的上升沿和下降沿，信号的建立时间和保持时间也不断降低。随着信号频率的不断上升，随之信号也将变得更为复杂。这就给这类高速互连领域的数字信号的测量就给电子信号的测量带来了更高的挑战，但同时，这也是电子测量设备蓬勃发展的机遇。示波器作为测量电信号最常用的电子测量仪器，已广泛用于军事、检测与维修、教育等诸多领域。

数字示波器的测量带宽比模拟示波器要高很多，这也是现在测量仪器中大量使用数字示波器的重要原因。在实际测量应用中，普通实时数字示波器在测量高频重复信号时会面临着无法通过一次实时测量得到重构显示波形所需要的样本的问题，采用数字取样示波器可以完成这样的测量任务。取样示波器采用了与数字存储示波器和数字荧光示波器的不同的采样结构，改变了衰减器/放大器相对于取样电路的位置^[2]，如图 1-1。取样示波器在衰减或者放大之前对信号进行采样，避免了降低系统带宽的衰减器/放大器的问题，从而实现更高的采样带宽和速度。取样示波器的测量带宽能做到其他数字示波器的数倍。

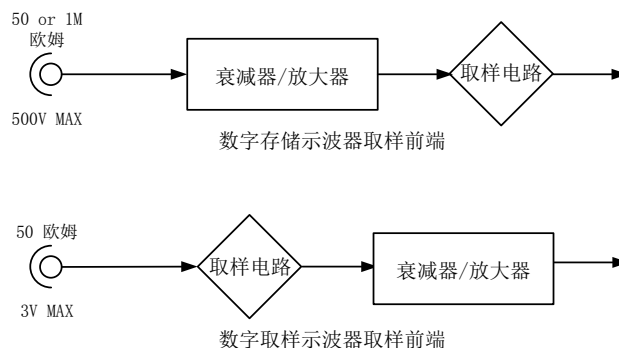


图 1-1 取样示波器和数字存储示波器的取样前端的区别

取样示波器正是由于取样示波器在对高速周期信号测量上拥有的优势，它被广泛应用于科研和生产测试。在数字通信系统中，码间串扰现象很难消除，对其进行性能评判时需要用到眼图功能，而取样示波器可以用来对这种现象进行测量以便后续进行调整减小码间串扰，改善通信系统的传输参数。同样在数字系统中，时钟信号的抖动已经成为系统性能的瓶颈，取样示波器所具备的抖动分析的功能能够对其抖动进行测量来更好的评判系统的性能。而伴随着信号的高速传输，信号完整性正变得愈发重要。PCB 电路板中阻抗的不连续有可能会造成电路板上传输的信号的反射和吸收，进而导致所要传输的信号的各项参数发生改变。运用取样示波器的 TDR 功能可以对 PCB 的轨线的特性阻抗进行测量，帮助解决信号完整性问题^[3]。

取样示波器的带宽取决于其前端的取样电路，而高采样率则由其数据采集控制系统实现。数据采集控制系统的最重要功能是实现等效采样。等效取样方式适合对快变周期信号进行测量。在这样的背景下，对取样示波器等效采样系统进行研究是很有意义的。

1.1.2 课题背景

当前，市场上的 TDR 时域反射仪主要由美国的泰克（Tektronix）公司、安捷伦（Agilent）公司和英国的 Polar 公司。泰克和安捷伦公司的时域反射功能是通过取样示波器主机外加时域反射模块来实现。这种方法测量虽然效果较好，但是不能适用于 PCB 厂商的 PCB 生产线，造价也非常昂贵。这就导致市场上需要一种低成本、适用于生产线的在线测量仪器的出现，这就是时域阻抗测试仪。取样示波器跟时域阻抗测试仪在进行阻抗测试时有很高的相似度，特别是两者都采用了等效采样原理进行采样，这就让我们在时域反射测试仪的系统平台上进行取样示波器的等效采样系统的研究成为可能。

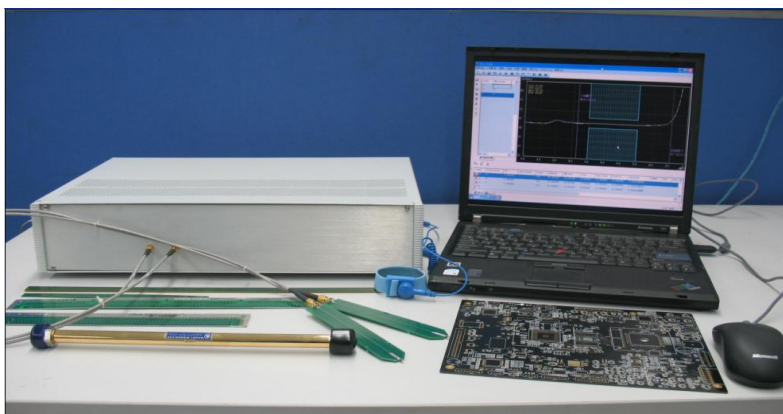


图 1-2 ZK2010 TDR 智能阻抗测试系统

图 1-2 所示是现有的 ZK2010 TDR 阻抗测试仪,在这一平台基础上,通过重新设计数据采集电路,改变 FPGA 程序代码,来实现取样示波器等效采样系统的设计,其中采样前端电路沿用现有的取样门电路,其系统带宽和输出信号的幅度等保持一致,数据后端处理平台 DSP 和 PC 软件对于采集的数字信号的处理也不会发生改变。所设计的多通道数据采集板能够实现多通道的数据采集,同时,新增对输入采样信号的偏置处理和增益处理,形成更丰富的示波器功能。这些功能将在新的 TDR 阻抗测试仪平台上应用。

现有的 ZK2010 TDR 阻抗测试仪一次只能测量一个通道的数据,且不能对输入信号进行采样前的处理。而阻抗测试仪中差分测量模式需要至少同时测量两个通道的数据,取样示波器要求能够实现可以控制的偏置功能和缩放功能,这就要求重新设计数据采集电路以满足这些要求。

1.2 取样示波器数据采集概述

1.2.1 取样示波器发展简述

取样示波器的四大功能离不开它独特的采样原理及数据采集控制系统。与实时示波器的采样原理不同,取样示波器的数据采集系统采用的是等效采样技术。实时采样与等效采样的区别将会在后续章节详细阐述,这里只简要地总结为:实时采样为一次触发,采集很多个样值,形成一个波形;等效采样为一次触发,采集一个或少数几个点,下一次触发后再采集同样多的点,但采集时刻较上一次有一个小的延时,经过多次触发,重构出一个波形。取样示波器数据采集控制系统的发展和取样示波器的发展是密切相关的。

任何事物的发展莫不是从探索中前进,取样示波器也不例外。取样示波器发展到现在,可以分为四个时期^[4]:第一个时期是上世纪五十年代到六十年代,可以称之为摸索期;第二个时期是摸索期之后的十年时间,可以称之为性能提升期;第三个时期是上世纪七十年代到八十年代,这是取样示波器转入实际规模应用的重要时期;之后到现在是第四个时期,进入发展平缓期。1950 年研制成的是差频式电子管取样示波器,其带宽达到了 50MHz,是当时其他类型示波器的五倍,这给研究示波器的人提供了提高带宽的另一种思路。迫于五十年代对于示波器带宽实际应用的需求,同其他很多重要产品一样,这款示波器的出现并未引起轰动。直到 1957 年第一台电子触发式取样示波器的出现,取样示波器才算真正开始体现它的价值。这款示波器带宽达到了 2GHz,采用现代仍然使用的等效采样的采集数据,其射频取样前端采用晶体二极管。进入第二时期之后,取样示波器的取样前端电路开始采用了阶跃恢复二极管、肖特基二极管以及对称金属结构的微带门和对称

双锥腔结构来完成采样，大大提高了取样示波器的性能，进入迅猛发展期。性能得到很大提升的取样示波器也很快得到推广和应用。在步入第四时期之后，借鉴现代工业的自动化测量理念，取样示波器也开始进入简化示波器测量操作，进行自动化测量的研究时期，发展较为平稳。

1.2.2 取样示波器数据采集简述

尽管经过 60 余年的发展，但取样示波器的基本框图仍然可以用图 1-3 来描述。由于实现等效采样的具体方法不同，图中的步进模块的实施也不尽相同，因此数据采集控制系统也有所区别。取样示波器数据采集控制系统的基本构成是由其采

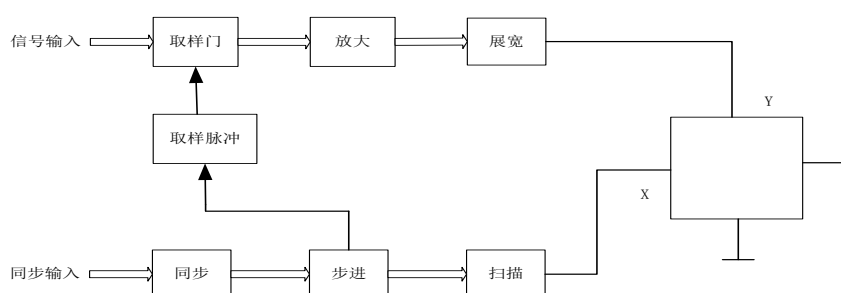


图 1-3 取样示波器的简单框图

样方式决定的。取样示波器的取样方式的发展可大致分为两个阶段：五十年代初的取样示波器采用的是差频式取样；六十年代及以后的取样示波器继续出现了顺序式取样和随机式取样。下面对这三种取样方式作以以下简单介绍。

早期的差频式取样，由于其在对脉冲信号观测很不方便，这种方法已经不再采用了。差频式取样只适用于频率相近或近似为整数倍的两个信号，它的取样方式就是频闪效应的过程。从频域角度看，能够实现这个变换的采样就是由于采样信号与被采信号的频率微小的差值。如图 1-4， F_s 为被测信号， F_q 为取样脉冲，两者周期之差即为取样步进 t 。从取样原理来看，这种取样对自身的采样频率的稳定度有较高的要求，而当时频率合成技术并不能提供这样精确的采样信号。所以这取样方式的取样示波器的实用性大打折扣。但随着新的频率合成技术的发展，到七八十年代直接数字频率合成技术，即 DDS (Direct Digital Frequency Synthesis) 的出现，使得输出的信号具有极高的频率分辨率和稳定度，极快的频率切换时间和极低的相位噪声。这都使得差频式的取样示波器得到了有利发展。

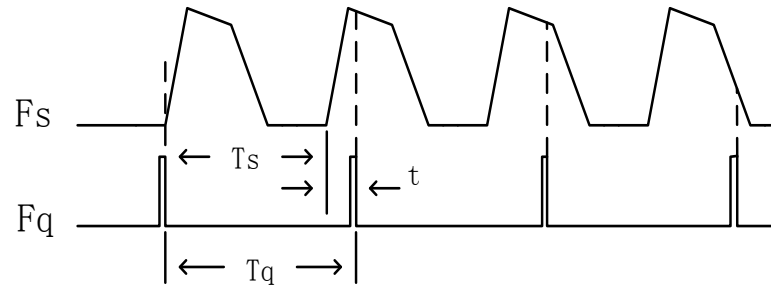


图 1-4 差频取样原理图

在上个世纪六七十年代，随机等效取样技术被部分取样示波器所采用。随机等效取样示意图如图 1-5。随机等效采样采用了一个系统内部时钟，它与输入信号及触发信号不同步，采样值不断被获得并记录。通过这个时钟，可以获得采样时刻与触发时刻的时间间隔，如图 1-5 中的 t_1 至 t_4 ，这些时间会作为对应取样点在

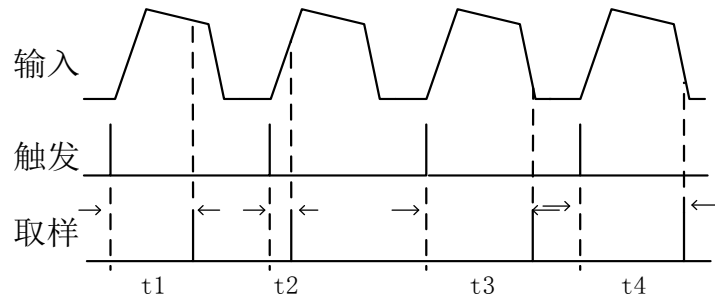


图 1-5 随机采样原理图

重构波形的位置依据，这些时间的准确测量是其实现的主要问题，一般采用时间内插电路来对这个时间进行测量。所以图 1-3 中的“步进”模块，在随机取样示波器中是一个时间测量模块。从这个过程来看，随机等效取样需要记录两组数据：一组数据为 ADC 采样之后离散的波形幅度值，另一组数据为每个幅度值对应的时间值。所以数据量较大。此外还需对幅度值进行重排，处理的难度较大，处理的时间都较长。为了弥补速度上的缺陷，随机取样示波器，往往会在一次触发后连续地多次采样，以减少采样的次数来换取处理的时间。

与随机等效取样示波器在同一时期发展的还有顺序等效取样示波器，顺序等效取样示波器的取样原理与随机等效示波器相比相对简单，更符合人们的思维方式。其原理如图 1-6，其取样过程为：一次触发引起一次采样，然后示波器重新调整并等待下一次触发，同时调整下一次触发到下一次取样的时间间隔比本次触发到本次取样间隔时间增加一个微小的延时 t ，这样经过多次触发采样，重构出被测周期信号的波形。目前主流的对这个细小延时的实现有两种方式，一种是采用

斜坡法，另一种是采用高精度的可编程延时芯片法。斜坡法采用比较器和快速斜坡信号发生电路实现，在比较器一端施加用 DAC 芯片产生的基准信号，比较器的另一端施加斜坡信号。当快速上升的斜坡信号大于基准信号，比较器产生有输出。调整基准信号，就可以得到不同的延时，由于斜坡上升速度极快，就可以得到很细小的延

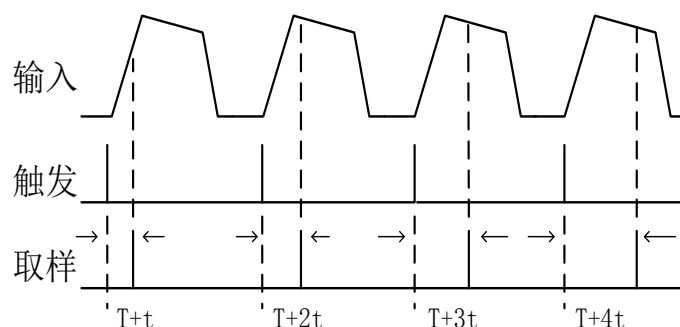


图 1-6 顺序等效采样原理图

时。可编程延时芯片法，是对延迟芯片进行编程控制以实现所需的延时。相比较斜坡法而言，它电路简单，操作简单但缺点是不能实现 10 皮秒以下的精确延时。顺序等效采样采集到的波形，较随机等效采样的波形更为稳定。而且顺序等效采样两个采样点之间的间隔在示波器设置完成后是固定的，采集完成后顺序不用再调整，这样在滤波插值等后续处理时更为方便。

综上所述，取样示波器数据采集控制系统的发展是与采样技术的发展密切相关。先后出现采用差频式采样技术，随机等效采样技术，顺序等效采样技术的取样示波器。顺序等效采样技术因其结构相对简单，信号处理较为方便，结果更加稳定而被广泛应用。后续设计的取样示波器数据采集系统也将采用顺序采样技术实现。

1.3 研究内容及论文安排

所设计的取样示波器的数据采集控制系统主要采用顺序等效采样方式，研究目标重在实现增加增益程控和偏置程控的四通道数据采集控制系统，并将其应用于同样采用顺序等效采样的 TDR 阻抗测试仪中，因此有必要对目前的这类仪器的数据采集系统进行分析，以确定具体的技术指标。表 1-1 是泰克和安捷伦的取样示波器中数据采集系统的指标对比。

表 1-1 取样示波器数据采集系统指标比对

生产商	Tektronix	Agilent	本课题
产品型号+TDR 模块	DSA8200+80E04	DCA86100C+54754A	CTS-320
差分测量方式	真差分	“伪”差分	伪伪差分
通道数	2	2~4	2~4
输入信号幅度	1.0 VP-P	0.2-1.5 VP-P	0.4 VP-P
偏置范围	± 500 mv	± 500 mv	± 500 mv
增益倍数	1-2-5 步进	1-2-5 步进	0.5-4
采样动态范围(AD 位宽)	14 位	14 位	14 位
测量精度	50 欧姆 $\pm 1\%$	50 欧姆 $\pm 1\%$	50 欧姆 $\pm 1\%$
采样速率	200K	50 K	100K
存储深度	4 K	4 K	10 K

泰克和安捷伦的取样示波器作为成熟的仪器，其功能已经较为完善。本课题中的取样示波器的等效采样系统对于它们的仪器有所借鉴，结合现有的第一代 TDR 测试系统 ZK2010 的硬件系统基础，确定通道数量为 2~4 通道，不仅是提供进行差分测量的硬件前提，也是为特性阻抗测试中进行后续的测量方式的改进提供支持。输入信号幅度由采样门电路提供，对于等效采集系统来说只是输入。偏置范围和增益倍数泰克和安捷伦均采用相同设置，对于本课题来说这两个指标都服务于对采样输入信号进行调整以最大限度达到 ADC 输入满量程的要求，因此确定为 ± 500 mv 和 0.5-4 倍的设置，同时也是可以进行更改。通过改进控制主板电路，重新设计数据采集 ADC 硬件电路、DSP 硬件电路、时钟硬件电路，通过编写 FPGA 采集控制 Verilog 代码，来实现对于高速周期信号的数据采集，并应用于同样采用顺序等效采样的第二代特性阻抗测试仪中。

总的来说，采用 FPGA 作为主控芯片接收上位机 DSP 的参数命令再对可编程延时芯片、偏置芯片 DAC、增益芯片 DAC、ADC 芯片等进行控制，实现顺序等效采样。同时 FPGA 把数据通过外部 FIFO 芯片上发给上位机进行后续数据处理。具体要求为：

(1) 完成垂直系统的方案设计。增加垂直系统的程序可控偏置和可控增益，采用四通道 ADC 来实现数据采样。

(2) 完成垂直系统的硬件设计。增加 DAC 来实现可由 FPGA 控制的可调偏置和可变增益，采用双通道 ADC 来实现双脉冲的顺序等效采样。

(3) 重新制定与上位机 DSP 的通信协议，并实现基于 EMIF 接口的通信方案。

(4) 编写新的 Verilog 程序来控制可编程延时芯片、DAC 和 ADC，实现垂直

可控的顺序等效采样系统。

(5) 完成同时测量两路信号的 Verilog 程序和 FIFO 电路改进。

(6) 完成对信号的平均测量功能。

(7) 完成对信号的差分测量功能。

(8) 设计高性能时钟电路。

本文的主要结构安排如下：

第一章介绍取样示波器的研究意义及发展概况，交代了研究背景。

第二章介绍信号采集理论，等效采集方式，ADC 转换原理和 DAC 转换原理。

第三章对本次设计的取样示波器等效采样系统的方案设计进行描述。在介绍现有平台的基础上着重介绍了新的等效采样系统的设计。

第四章给出了取样示波器等效采样系统各个模块硬件电路的具体设计。

第五章介绍取样示波器数据采集控制系统 FPGA 程序设计。这一章包括了 FPGA 与上位机 DSP 的通信模块设计，差分测量模块的设计，平均测量模式的设计，垂直系统中偏置和增益部分的设计，ADC 控制控制模块的设计，FPGA 内部时基模块的设计。

第六章对本次设计的取样示波器等效采样系统采进行高速信号的采集测试以及时域反射功能测试。

第七章对论文进行总结和展望，提出后续研究的重点和难点。

第二章 取样示波器等效采样技术基础

2.1 信号采样基础理论

随着互联网行业、计算机行业和通信行业的飞跃式发展，数字信号处理在现代数字系统中的作用越来越重要。作为将外界信息转化为数字系统所必需的数字信号的桥梁，数据采集的作用也愈加重要。数据采集的准确性是能够正确进行数字信号处理的前提，其性能能极大的影响数字系统的性能指标。下面将对信号采样基础理论、ADC 原理和 DAC 原理进行详尽的介绍。

2.1.1 奈奎斯特采样定理

采样是将时间上、幅值上都连续的模拟信号，通过一个周期性的采样开关将对应时间上的瞬时模拟值提取出来，从而转换成时间上离散、但幅值上仍连续的离散模拟信号。假设连续模拟信号为 $x(t)$ ，采样开关的周期为 T_s ，则经过采样后的离散模拟信号为 $x_s(nT_s)$ ，称为采样信号。 $x_s(nT_s)$ 的幅值在时刻为 nT_s 时与被采样的模拟信号的幅值成一定比例 A ，则采样信号的表达式如下：

$$x_s(nT_s) = Ax(t)\delta_{T_s}(t) \quad (2-1)$$

式中： T_s 为采样周期；

$x(t)$ 为被采样连续模拟信号；

$\delta_{T_s}(t)$ 为采样开关信号， $\delta_{T_s}(t) = \sum_{n=-\infty}^{+\infty} \delta(t - nT_s)$ ；

将 $\delta_{T_s}(t)$ 代入公式 (2-1)，可得式 (2-2)：

$$x_s(nT_s) = Ax_s(nT_s) \sum_{n=-\infty}^{+\infty} \delta(t - nT_s) \quad (2-2)$$

由于实际物理含义里时间不能为负，所以可以改写式 (2-2) 成式 (2-3)：

$$x_s(nT_s) = A \sum_{n=0}^{+\infty} x_s(nT_s) \cdot \delta(t - nT_s) \quad (2-3)$$

由式 (2-3) 可以看出采样开关信号的周期 T_s 会直接影响到采样信号 $x_s(nT_s)$ 。如果开关信号周期 T_s 过小，相同时间内所获取的采样信号数据量规模将会很大，这就给后续的数据量化、数据存储以及数据信号的处理提出更高的要求。如果开关信号周期 T_s 过大，相同时间内所获取的采样信号跳变较大，会丢失模拟信号的某些

信息，若将采样后的信号恢复成原始信号，将就会出现波形失真现象，影响数据处理的精度^[5]。由此，对于不同周期的被采样信号，采用周期合适的采样开关来完成采样是非常必要的。

对连续的模拟信号进行采样，如果要实现采样后的数据能够完整的恢复成该模拟信号，采样必须满足著名的奈奎斯特采样定理^[6]。采样定理提供了解决对时域连续模拟信号进行采样时，应选取多大的采样频率，才能完成不失真采样的问题的依据。

Nyquist 采样定理：在进行模数 A/D 信号的转换过程中，当采样频率 f_s 大于信号中最高频率 f_{\max} 的 2 倍时，即 $f_s \geq 2f_{\max}$ 时，采样后的数字信号完整地保留了原始模拟信号中的有效信息；如果 $f_s < 2f_{\max}$ ，则采样后会出现频谱混叠现象^[7]。

从信号处理的角度来看，奈奎斯特采样定理描述了两个过程：其一是采样，这一过程将连续时间信号转换成离散时间信号；其二是信号的重建，这一过程是将离散时间信号还原成连续时间信号。

从采样定理本身可以得到两个非常重要的前提。第一是被采样的模拟信号必须是个带限信号，即被采样信号的最高频率 f_{\max} 必须存在。对于时域连续模拟信号而言，最高频率都是存在的。美国科学家克劳德·香农（Claude Elwood Shannon）提出的香农采样定理指出连续的模拟信号 $x(t)$ 的频率范围是有限的^[8]，其信号的频率范围满足 $0 < f < f_{\max}$ 。第二，奈奎斯特采样定理只能适用于采样开关周期 T_s 不变的等时间间隔采样，不能用于采样间隔变化的非等时间间隔采样。

奈奎斯特采样定理解释了在信号采样过程中，采样信号的获取和被采样信号的恢复应该遵守的频率关系，提供了选择采样频率的理论依据。在实际的工程应用中，采样频率通常要大于信号最高频率的 5~10 倍，以获得较好的采样结果。

2.1.2 ADC 原理

模数转换器（Analog-to-Digital-Converter）简称 ADC，是一种将模拟信号 $x(t)$ 转换成相应的数字信号 $D[(n-1):0]$ 的装置或器件^[9]。ADC 转化的过程包括采样，量化及编码三步^[10]。如图 2-1 所示。

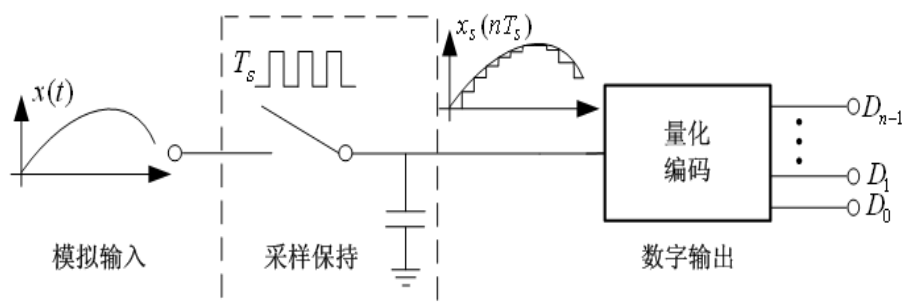


图 2-1 模数转换过程图

采样过程是将时域连续的模拟信号转换成时域离散的模拟信号。根据奈奎斯特采样定理，采样开关信号必须满足采样定理的要求。采样输出信号在时域上离散，其幅值与被采样信号具有特定的关系。而 ADC 输出的是幅度和时间都离散的数字信号，这就需要对采样输出信号进行量化处理。

量化过程是对采样输出信号的幅度进行量化分级取整为最小单位的整数倍，通常量化方式采用均匀量化。信号进行量化时产生的误差称为量化误差，最小单位被称为量化单位 Δ ，是一个带单位的常数。量化单位的值由被量化信号的幅度范围和量化的级数来决定。假设被量化信号的幅度范围是 $V_{\min} \sim V_{\max}$ ，量化的数量级为 Q ，则量化单位 Δ 可用公式 2-3 表示：

$$\Delta = \frac{V_{\max} - V_{\min}}{Q} \quad (2-3)$$

从信号处理的角度可以认为量化误差等效于在信号上叠加噪声，因此量化误差又被称为量化噪声。假设输入信号线性的由零点增至满度时，四舍五入法的量化误差电压呈现为峰峰值为 Δ 的锯齿波信号。显然，量化噪声 V_n 满足式 (2-5)

$$V_n = \sqrt{\frac{1}{T} \int_0^T \left(\frac{\Delta}{T} t - \frac{\Delta}{2} \right)^2 dt} \quad (2-5)$$

设 $u = \frac{\Delta}{T} t - \frac{\Delta}{2}$ ，代入式 (2-5)，可以得到式 (2-6)

$$V_n = \sqrt{\frac{1}{\Delta} \int_0^T u^2 du} = \frac{\Delta}{\sqrt{12}} \quad (2-6)$$

由式 (2-5) 可以得出，当量化级数 Q 确定，被采样信号范围确定时，量化单位也就确定不变，量化噪声 V_n 也就不变。

模拟信号经过采样过程和量化过程之后转变成量化单位的确定倍数，采用二进制编码对其进行描述。对于具体的 ADC 芯片针对不同的被采样信号，通常需要

对这个二进制数来进行编码模式的选择。ADC 常用的编码方式主要有偏移码、补码以及对应于输入信号只有单极性的二进制编码等三种。

2.1.3 DAC 原理

数模转换器 (Digital-to-Analog-Converter) 简称 DAC, 是一种将数字信号转换成模拟信号输出的器件, 通常这种转换都是线性的。DAC 其实就是一个译码器, 数字信号通过特定的编码形式送入, 通过电压基准源输出的基准电压参考, 转换成相应的连续模拟信号输出。假设 V_O 是输出电压, V_R 是基准电压源电压, D 是数字编码输入, b_n 代表数字电路中的低电平或者高电平, N 的 DAC 的位数, 有以下公式:

$$V_O = V_R * D \quad (2-10)$$

$$D = b_1 * 2^{-1} + b_2 * 2^{-2} + \dots + b_n * 2^{-n} = \sum_{n=1}^N \frac{b_n}{2^n} \quad (2-11)$$

将上式代入可得

$$V_O = V_R \sum_{n=1}^N \frac{b_n}{2^n} \quad (2-12)$$

可以看出, DAC 的输出与输入量成正比例关系, 模拟输出电压是由一系列二进制数字按照相应的权重系数叠加而成^[11]。其简单的基本原理结构图如图 2-2 所示:

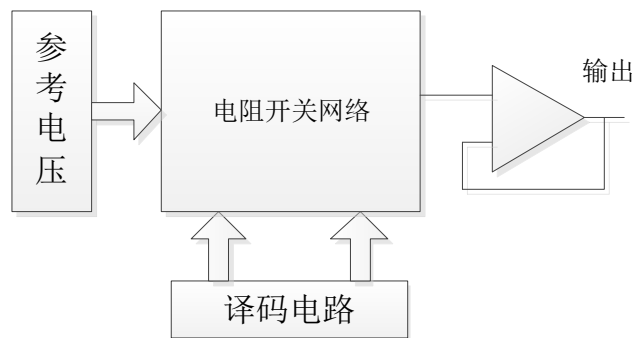


图 2-2 DAC 基本原理结构图

DAC 一般是通过控制译码电路, 对应于特定的参考电压, 进行某种形式的电阻分压之后通过输出缓冲电路来输出所要用的电流或者电压。译码电路的控制通常采用的是 FPGA、单片机等具备编程能力的器件以实现灵活的输出值的选择。

2.2 信号采样方式

随着数字系统迅猛发展，这就对系统的性能指标提出更高的要求，除了对数字信号进行算法优化处理之外，对原始信号的高精度无失真采集也是确保系统整体性能的关键因素。随着数字系统运行的频率越来越高，根据奈奎斯特采样定理，采样频率也将随着提高。考虑到高速 ADC 芯片本身价格昂贵，同时对于高速采样采用单片 ADC 有可能无法完成采样要求。这就出现了一种多篇 ADC 拼接组合的采样方式来实现很高的采样率。但这种方法除了价格高昂之外，系统本身稳定性也将降低，信号处理的难度也会加大。在这种情况下，就需要考虑其他的采样方法来解决这种问题。

2.2.1 实时采样

如果取样脉冲信号频率比被采样信号要高，能够在被采样的信号的一个周期内可以进行多次的取样，可以采用实时采样方式进行采样 (Real-Time Sampling)^[12]。实时采样在单次采样触发之后能够完成整个采样波形，采集出来的信号波形与被采样信号接近实时显示。在触发开始之后，采样开关按照预定的采样频率对原始信号进行采样，模数转换器进行量化编码之后输出的数字信号按照预先设定的触发条件来显示出来。实时采样的显示分为单次显示和连续实时显示；单次显示需要一次触发，而连续显示需要连续触发。尽管按照采样定理要求采样频率 f_s 必须满足 $f_s \geq 2f_{\max}$ ，但在实际应用中采样频率必须超过信号最大频率十倍以上才能较好的进行实时采样。如果信号频率较高，采用实时采样的话对于 ADC 芯片和后续数据处理部分的要求会更高。

2.2.2 等效采样

针对高频的周期信号，可以考虑采用等效采样 (Equivalent-Time Sampling)。等效采样采用多次采样，对采样出来的信号按照某种算法进行波形的重构之后进行波形的显示的一种采样方式^[13]。等效采样最大的优点是能够用采样率较低的数据采集器来完成高频信号的采集来降低对于超高带宽实时示波器的要求。等效采样只能适用于周期信号是由于只有周期信号才能通过多次采样之后的重构来正确显示被采样波形，多次采样是由多次触发来实现，每次触发所得样点信号来自于被测信号的一个周期中的不同位置。等效采样按照触发方式的不同和波形重构的不同可以分为顺序等效采样和随机等效采样两种方式。

2.2.2.1 随机等效采样

随机等效采样（Random Equivalent-Time Sampling）指的是多次触发后对被采样的周期信号进行采样，每次采样点到触发开始的时间间隔都是随机的，采集的数据序列尽可能的包含被采信号一个周期内的所有信息。相当于用多个随机的采样触发来采集一个周期的信号。记录下每次采样的时间间隔作为时间依据，并依据这个时间在波形重构时确定在时间轴上的位置^[14]。其原理如图 2-3 所示。

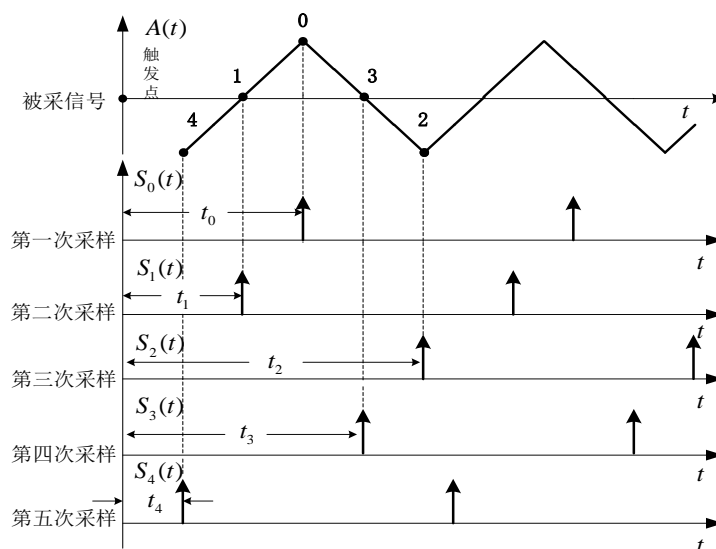


图 2-3 随机等效采样原理图

可以看出，每次触发到采样的时间间隔是随机的。采集的时候同时把这五次时间间隔 $t_0 \sim t_4$ 保存下来，按照 $t_0 \sim t_4$ 的大小排序来确定重构波形时每个采样点所处的位置。从随机等效采样的采集过程来看，除了 ADC 量化编码纸外，这种采样方式还需要解决采样时刻的保存以及采样时刻的大小排序这两个问题。这就需要硬件上增加相应的存储空间，软件上增加排序算法和存储算法，从而给随机等效采样的实际应用带来额外的问题。

2.2.2.2 顺序等效采样

顺序等效采样（Sequential Equivalent-Time Sampling）是等效采样的另一种方式。与随机等效采样相比，最大的区别在于随机等效采样的采样时刻是在一个周期内都是随机的，而顺序等效采样的采样时刻是按顺序等时间间隔增幅，每次采样时刻相对于采样触发时间都会比上一次采样时刻有一个相同的时间增量，这个增量就是等效出来的采样间隔^[15]。顺序等效采样具体的工作原理如图 2-4 所示。

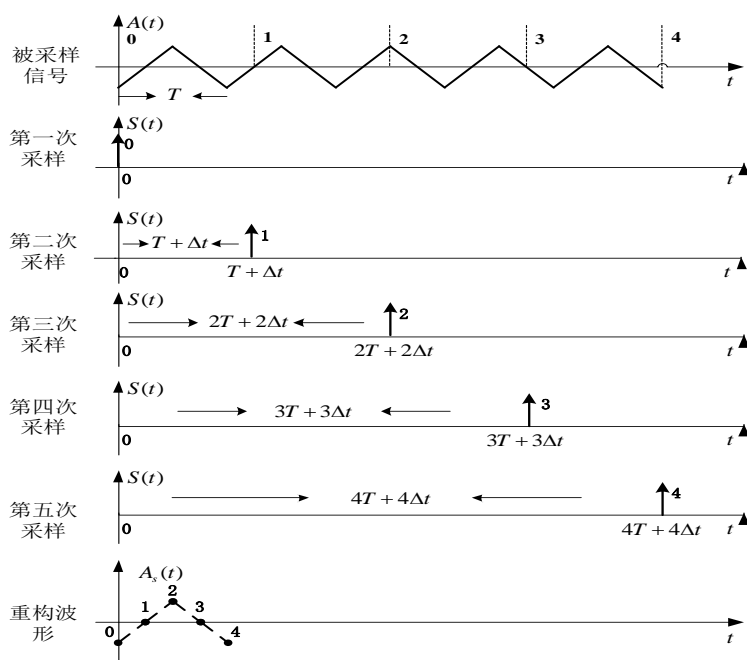


图 2-4 顺序等效采样原理图

图 2-4 中， $A(t)$ 为周期是 T 的被采样信号，设 $A(t)$ 的波谷为采样触发点，在触发开始之后采样信号 $S(t)$ 经过一个细小的延时增量 Δt 之后会产生取样开关打开信号。在接下来的下一次采样触发之后再经过一个延时增量 $2\Delta t$ 产生一个取样开关打开信号。每次的取样开关打开信号的延时增量都比上一次增加一个 Δt ，但是采样时刻相对于上一次增加 $T + \Delta t$ 。值得注意的是每一次的采样开关信号的采样时刻都是相对于同一个采样触发信号而言。通过这种采样得到的采样结果 $A(\Delta t)$ ， $A(T + \Delta t)$ ， $A(2T + 2\Delta t)$ ， $A(3T + 3\Delta t)$ 等重构形成的波形 $A_s(t)$ 相当于是采用一个周期为 $T_s = \Delta t$ 的低采样周期的采样获得。实际上，取样开关打开信号的周期却为 $T_s = T + \Delta t$ 。这种采样方式就实现了以低速的采样器来实现对高频周期信号的采集。

从信号处理的角度来看，顺序等效采样这种采样方式相当于在时间轴上把被采样信号扩展了 $(T + \Delta t) / \Delta t$ 倍后，再采用周期为 $T + \Delta t$ 的采样开关对其进行采样^[16]。输入信号 $A(t)$ 可以等效为：

$$U(t) = A\left(\frac{\Delta t}{T + \Delta t}t\right) \quad (2-13)$$

通过傅里叶变换公式可得：

$$U(\omega) = \int_{-\infty}^{\infty} A\left(\frac{\Delta t}{T + \Delta t}t\right) e^{-j\omega t} dt \quad (2-14)$$

将 $U(\omega)$ 用被采样信号的傅里叶变换表示：

$$U(\omega) = \frac{T + \Delta t}{\Delta t} A\left(\frac{T + \Delta t}{\Delta t} \omega\right) \quad (2-15)$$

取样开关打开信号 $S(t)$ 采用冲积函数 $\delta(t)$ ，则等效的输入信号采样后的频谱可表示为：

$$U_s(\omega) = \frac{1}{T + \Delta t} \sum_{n=-\infty}^{\infty} U(\omega - n\omega_s) \quad (2-16)$$

其中 ω_s 为：

$$\omega_s = \frac{2\pi}{T + \Delta t} \quad (2-17)$$

将 (2-15) 代入 (2-16) 得到：

$$U_s(\omega) = \frac{1}{\Delta t} \sum_{n=-\infty}^{\infty} A\left(\frac{T + \Delta t}{\Delta t} (\omega - n\omega_s)\right) \quad (2-18)$$

可以看出，等效采样信号 $U(t)$ 的频谱包含了原信号 $A(t)$ 的频谱成分，且将频率降低了 $\Delta t / (T + \Delta t)$ 倍，其效果等同于过采样。

2.3 本章小结

本章主要介绍了信号采样的基础知识，主要介绍了奈奎斯特采样理论，还介绍了现代数据采集系统中常用的 ADC 原理，DAC 原理以对后续的实际应用做个铺垫。同时也介绍了信号采样基本方法，主要包括实时采样，随机等效采样，顺序等效采样，并着重对顺序等效采样进行理论推导。

第三章 取样示波器等效采样系统方案设计

3.1 等效采样系统总体方案设计

由于课题是以现有的 ZK2010 系统作为基础，在介绍设计方案之前，先对现有的阻抗测试仪的数据采集系统进行说明，再介绍所设计的等效采样方案，以便较为清晰的理解所设计的方案。

3.1.1 基于等效采样的 TDR 数据采集系统简介

现有的 ZK2010 系统的结构框图如图 3-1 所示，大体可以分为三个部分：前端射频取样 RF 部分、数据采集控制部分以及后端数据处理显示部分。本论文所设计的取样示波器等效采样系统，就是重新设计数据采集控制系统的硬件电路以及程序控制，在不改变 RF 部分和后端数据处理部分的前提下，完成等效采样的任务。在不更改前端和后端环节的情况下所设计的等效采样系统，将能够应用在新的 CTS-320 系统中，完成新的系统要求。

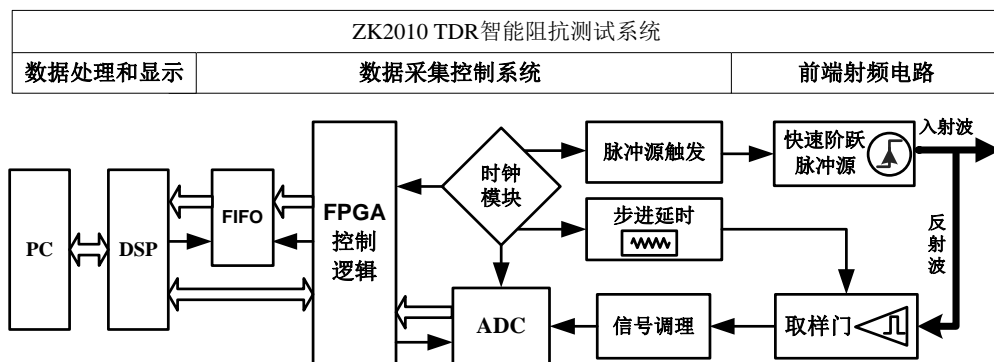


图 3-1 ZK2010 TDR 阻抗测试系统结构图

下面简单的对 TDR 阻抗测试的工作原理进行简单的介绍。TDR 采用的基本原理是“脉冲发射法”，根据传输线理论^[17]，在传输线的一端发射一个阶跃信号，该阶跃信号会沿着传输线进行传输，如果传输线路工作良好且负载阻抗等于传输线的特征阻抗时，发射阶跃将被负载所吸收而无回波信号产生；如果负载阻抗与传输线的特征阻抗不匹配的话，将会在阻抗不匹配的地方产生反射，将入射信号和反射信号的叠加信号进行采集，采集的结果与入射信号采集出来的基准信号进行比较，可以测量出产生反射点的阻抗值；同时，由于信号传输遵循电信号在导体介质上的传输公式，通过对反射点时间的也可以计算出反射点的距离^[18]。TDR 阻抗测试仪就是专门用来测量阻抗的仪器，向被测件 DUT 发送入射周期信号，通

过对反射信号和入射信号的混合信号采样来实现阻抗的测量。因为入射信号上升时间太快，原系统大概在 130ps 左右，因此采用等效采样而不是实时采样来进行对混合信号的采样。

原有系统数据采集控制系统中主控芯片是 FPGA。FPGA 接收到 DSP 下发的控制命令之后，对脉冲源触发电路、步进延时电路、ADC 电路进行编程控制其时序。脉冲源每输出 100KHz 的方波信号，经过射频取样电路处理之后送给 DUT，FPGA 都会控制等效采样延时电路进行计算以实现 10ps 最小间隔的步进。ADC 电路会对反射回来的混合信号进行采样，得到的数字信号是否送给 FPGA 由 FPGA 本身控制。FPGA 获得数字信号之后送入外部存储器 FIFO 中进行存储，在完成五千次测量之后发送测量结束命令给 DSP 以便 DSP 从 FIFO 中读出数据进行后续处理。这就是 TDR 的数据采集控制部分的大概流程。

3.1.2 取样示波器等效采样系统总体方案设计

对现有的等效采样系统进行分析，以便找出其缺陷并作出改进，进而提供新的设计方案。现有的数据采集平台只能进行单通道的测量，这是由所采用的 ADC 是单通道 ADC 决定的，在进行双通道测量时其一致性效果不好，这就导致差分测量的功能无法实现，在采样门电路进行改善变成双脉冲源双取样门电路时现有方案也无法提供解决办法。而且，现有设备由于实际应用中单通道的测量已经无法满足要求，这就要求进行多通道的设计。采用双通道 ADC 来实现数据采集，可以解决以上问题。此外，现有系统中对于被采样信号仅仅进行了单端信号转差分信号的处理，并没有对信号进行滤波，而 ADC 的带宽高达 750MHz，这就造成了大量的噪声信号被送入 ADC 进行量化，带来较大的测量误差。因此有必要增加合适的滤波电路对信号进行滤波。泰克、安捷伦公司设计的取样示波器中对于信号调理部分有偏置处理和增益处理，而现有系统并没有这两项功能。这两项功能对于测量仪器来说是基本功能，对采样信号进行合理的偏置和增益处理，能够实现更大的测量范围和测量精度，因此在设计中增加可调偏置和可变增益处理。至于是先放大后滤波还是先滤波后放大的问题，考虑到放大器不仅会放大被测信号，也会放大噪声，本身也会带来噪声，所以将滤波电路放在放大器之后以尽可能的降低放大电路带来的噪声影响。所设计的取样示波器具备双通道测量，兼容四通道；具备差分测量功能和平均测量功能；单次测量点数从 5000 点提升至 15000 点；偏置电压最高为 $\pm 500\text{mV}$ ；增益倍数最大为 4 倍，最小为 0.5 倍。

所设计的取样示波器等效采样系统如图 3-2，加入射频取样部分（虚线框内部分）主要是为了方便理解。具体分为两部分：一是等效采样控制系统的硬件的重

新设计，主要是重新设计 ADC 电路，增加偏置和增益电路，增加滤波电路和通道选择电路；二是利用 FPGA 进行数据采集控制的程序的编写。

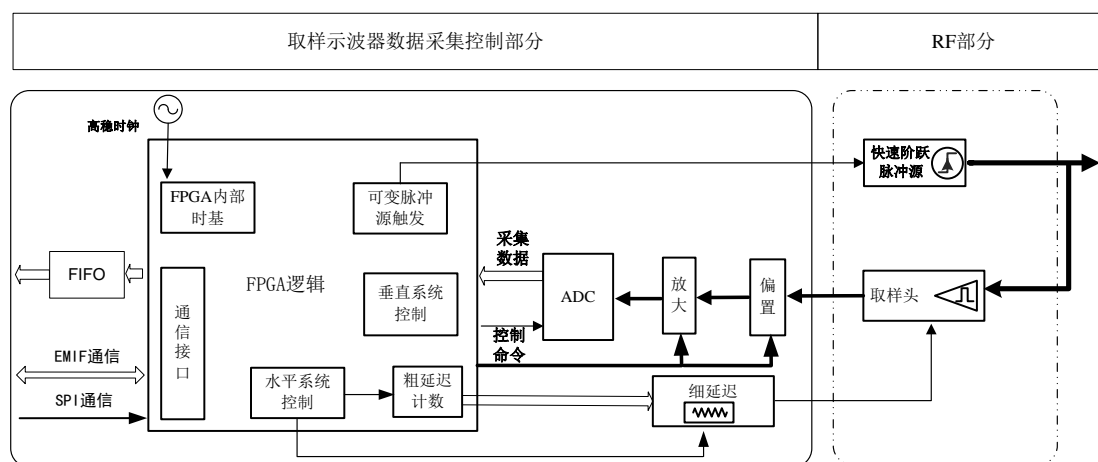


图 3-2 取样示波器数据采集控制系统结构图

增加偏置电路和增益电路主要是为了完善取样示波器的采样功能。现有系统只能完成对取样输入信号的采样，不能进行其他处理。而对输入信号进行偏置和增益处理属于示波器中最常用的功能，更重要的是，加入这两个功能之后，可以对输入信号进行更为精确的采样。通过调节采样输入信号的偏置，能够将其调整成正负对称。通过将其放大至 ADC 的输入满量程，可以实现 ADC 芯片的最佳采样效果。如果输入信号幅度过大，也可以缩放到 ADC 能够量化的范围之内。此外，由于采样输入信号是 100KHz 方波信号，而所采用的 AD9244 芯片带宽高达 750MHz，而整个信号调理部分没有任何的滤波处理，进而采样得到的信号中包含了大量的噪声信号。因此，为了改善性能，完善功能，必须重新设计采集系统硬件。硬件电路的改进必然导致程序控制也需要相应的进行改变，下面分硬件部分和程序部分分别进行介绍。

3.2 等效采样系统硬件方案

硬件部分主要包括对取样信号的偏置、增益、差分、滤波处理以及 ADC 量化、输出缓冲处理，设计框图如图 3-3 所示。

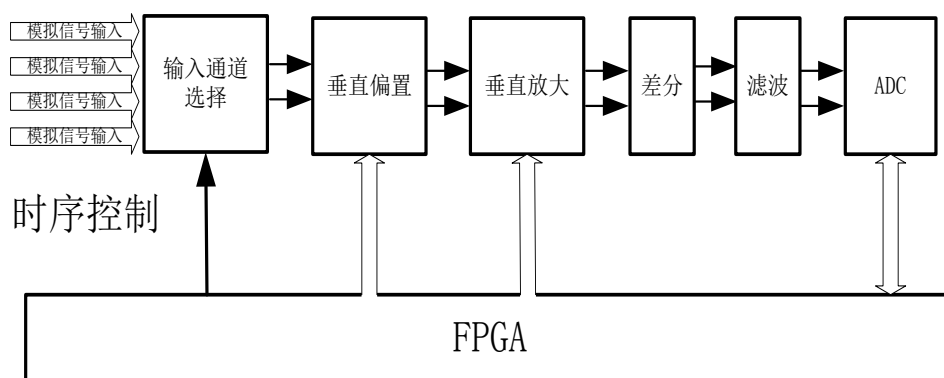


图 3-3 数据采集硬件设计框图

输入通道选择主要是对外部输入的取样信号进行通道的选取，可以进行四选二的选择。垂直偏置是对选取通道的信号进行垂直位置上的上下移动；垂直放大是对信号进行幅度的放大或者缩小以使送入 ADC 的输入信号幅度尽量达到 ADC 的输入满量程，这样可以最大化的提高量化精度；差分处理是将偏置增益处理后的取样信号转化成差分信号输入以提高信号传输稳定性，同时也是为了匹配 ADC 的差分输入信号的条件；滤波是将信号中不需要的噪声去掉，以提高信号质量。FPGA 通过控制一个开关来进行通道的选择，通过控制 DAC 来实现可调偏置和可变增益的处理，同时对 ADC 进行取样的控制以及将取样输出通过锁存之后送给外部 FIFO 中存储。

3.3 等效采样系统程序方案

数据采集控制部分主要通过 FPGA 编程实现，主要分为七个部分：通信接口模块、时基模块、水平系统控制模块、垂直系统控制模块、差分测量模块、平均测量模块以及双通道测量模块。这四个模块分别对应图 3-4 的第 1 个到第 7 个小框图。下面对这七个模块做详细的描述。

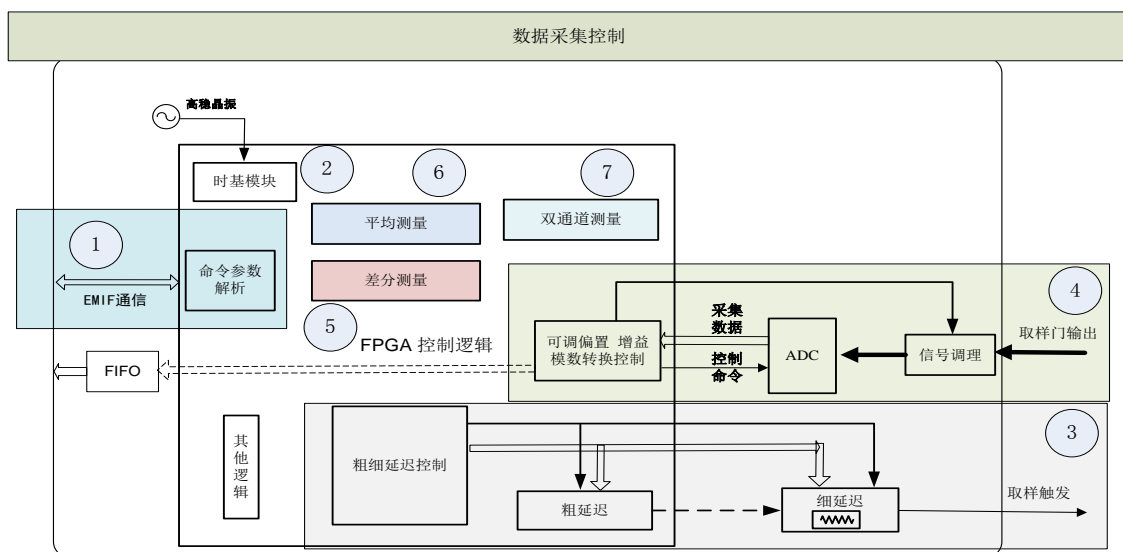


图 3-4 取样示波器数据采集控制系统框图

首先介绍的是通信接口模块的设计，如图 3-4 的 1 号框图。本次设计的数据采集控制系统与上位机 DSP 采用了 EMIF 通信方式。通过 DSP 的 EMIF 接口对 FPGA 内建的 16 位的异步存储器进行读写等操作。上位机 DSP 通过写操作来发送命令及参数，发送完毕后向 FPGA 发送测量开始的中断信号，FPGA 在读取该存储器获得参数命令并译码，开始等待触发进行测量。测量的数据将放入 FIFO 中，在完成规定点数的采集后 FPGA 会向上位机 DSP 发送中断信号，上位机 DSP 读取 FIFO 中的数据，进行后续信号处理和波形显示。

图 3-4 的第二个框图是时基模块，用 FPGA 实现。在 FPGA 外部采用高稳定度的时钟，送入 FPGA 内部的时钟管理模块 DCM 进行去斜，倍频，分频，移相等处理。除了可以产生 FPGA 的主时钟外，还可以产生数据采集 ADC 的采样时钟，偏置 DAC 和增益 DAC 的转换时钟也可以由该模块产生。

图 3-4 的第三个框图是水平系统控制模块。该模块的功能是对顺序取样在每次触发后产生的延时长度进行控制。采用“粗”加“细”的延迟方法来实现。触发信号有效后，先使能 FPGA 内部的“粗”延时模块计数。计数将到设定值后再使能 FPGA 外部的“细”延时模块进行预设时间的细延时。被延时的信号为使能“细”延时的时候，FPGA 内部触发器产生的上升信号。这个信号延时之后会作为取样门的取样触发信号。并且这个信号会作为输入信号反馈到 FPGA 内部，作为下一次延迟时间，即下一次“粗”延时和“细”延时模块预设值的计算触发信号。下一次预设的延时时间值会比上一次产生一个步进，可以产生 10ps 整数倍的步进，最小的步进为延时芯片的最小时延 10ps。

第四个模块是垂直系统控制模块，如图 3-4 的 4 号小框图。这个模块的功能是

对取样门电路采集到的信号进行调理用 ADC 芯片进行模数转换。由取样门的输出信号，经过其二次采集保持后基本为一个近似直流的信号，我们调理的就是这个信号。它会经过偏置控制电路，增益控制电路再送到 ADC 电路进行模数转换。偏置电压的幅度以及增益控制的缩放倍数可以通过上位机 DSP 下发的参数经过译码得到。

第五个模块是差分测量模块。差分测量模块需要对外部测试电缆的选择进行编程的精确控制，以确保在需要的时候打开控制电缆选择的同轴开关的通道。这是进行新一代 TDR 四通道差分测量的关键。上一代 TDR 只能提供单端测量功能。

第六个模块是平均测量模块。平均测量主要是在不改变硬件条件下，通过多次测量取平均的方式来提高测量精度的有效方法。通过增加三次平均测量模块，提供了快速提高精度的方法。

第七个模块是双通道测量模块。主要作用是在处理 ADC 同时进行两路信号的采样。两路 ADC 同时采样输出两路数据，这两路数据送入 FPGA，同时锁存在外部 FIFO 芯片中。这个模块是四通道 TDR 的基础。上一代 TDR 只能提供一个通道的数据采集。

3.4 本章小结

本章主要介绍了取样示波器的基本结构，在简单介绍现有平台的基础上，结合具体的设计目标，确定合适的设计方案，并对具体的设计方案进行详细介绍，同时对等效采样系统的程序控制的各个模块进行详细的介绍。

第四章 取样示波器等效采样系统电路设计

4.1 采样硬件系统设计

在确定了方案设计之后，双通道 ADC 选择使用 AD9251。采样系统硬件设计框图如图 4-1。

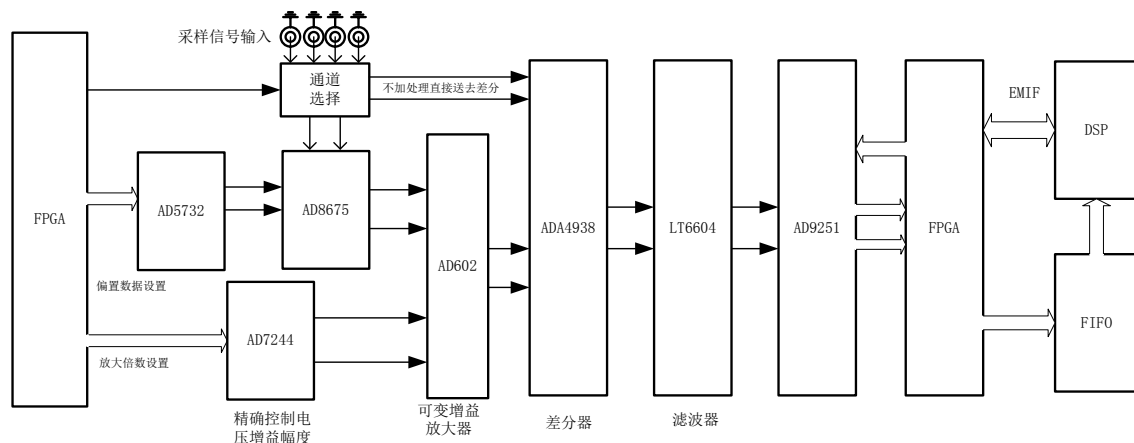


图 4-1 垂直系统设计框图

FPGA 控制双通道的双通道单刀双掷开关对四路采样信号输入进行选择，这四路输入信号其实是两路正负取样信号。经过选择的两路取样输入信号可以不通过偏置和增益处理直接送入到 ADA4938 进行单端转差分处理，之后差分信号送入滤波器 LT6604 滤波之后送入 AD9251。这两路被选择的取样输入信号也可以通过 AD8675 与 FPGA 控制的 AD5732 输出的偏置电压混合，再送入增益芯片 AD602 进行缩放处理。信号的缩放倍数由 FPGA 控制 AD7244 来设置 AD602 配合实现。经过偏置和放大的取样信号再送入 ADA4938 进行处理。整个系统的控制有 FPGA 编程控制完成。

此外，现有垂直系统没有加入偏置，增益控制等电路，所以采集到的波形在 Y 轴上是不能移动和缩放。而这两项功能是示波器非常重要的两项功能，在新设计中加入可调偏置以及可变增益芯片。可调偏置采用电压输出 DAC，由 FPGA 编程控制。可变偏置由 DAC 控制增益放大芯片完成，缩放倍数可由 FPGA 编程控制。四通道模拟信号输入是两路正负取样信号，其选择可由 FPGA 控制。直流偏置电压产生电路由 DAC 转换芯片 AD5732 输出，FPGA 可以对两个通道分别编程设置，输出精确稳定的偏置电压。

偏置电压叠加输入信号后送到增益控制电路，增益控制电路的主要芯片为 AD602，实现 $-10dB$ 到 $30dB$ 的增益控制，其带宽为直流到 $35MHz$ 。AD602 的控制信号为模拟电压信号 V_G ，这个模拟信号的范围为 $-625mV$ 到 $+625mV$ 。这个电压控制增益的大小 $G(dB) = 32V_G + 10$ 。由于 AD602 是双通道的，需要一个双通道的 DAC 芯片为其提供控制电压。AD7244 为双通道 DAC 芯片，采用 $\pm 5V$ 供电，采用外部 ADR443 提供 $3V$ 基准电压，14 位串行数字输入，输出电压范围为 $-3V$ 到 $+3V$ ，分辨率为 $0.366mV$ 。所以增益控制分辨率为 $0.0117dB$ 。

由于所研究的数据采集控制系统主要集中用于 TDR 功能的实现，整个采集系统也将应用于新一代 TDR 项目中，考虑到国际标准 IPC-2141 中对于 TDR 系统的规定^[19]：

- (1) 脉冲源入射幅度至少为 $200mV$ ；
- (2) 垂直分辨率至少为脉冲源幅度的 0.1% ；
- (3) 阻抗测量准确度为 1% ；
- (4) 水平时基分辨率至少为 $25ps$ 。

对于理想 ADC 来说，当输入为正弦信号时，信噪比的理论值为：

$$SNR = (6.02N + 1.76)dB \quad (4-1)$$

因此，可得 ADC 的有效位数 N 的计算公式为：

$$N = \frac{-20\log SNR - 1.76}{6.02} \approx \frac{-20\log SNR}{6} \quad (4-2)$$

由上述的条件 (2) 可得：

$$N = \frac{-20\log(0.1\%)}{6} = \frac{20\log 1000}{6} = 10 \quad (4-3)$$

因此，TDR 系统的 ADC 的有效位数至少 $10bit$ 。

4.2 采样电路硬件设计

4.2.1 ADC 硬件设计

4.2.1.1 现有 ADC 电路

现有系统采用的是 Analog Devices 公司的 AD9244 芯片^[20]，内置 8 级流水线结构，模拟输入信号带宽高达 $750MSPS$ 。

AD9244 作为主核心芯片的 ADC 采样电路结构如图 4-2 所示，主要包括了输入信号单端转差分转换、输入时钟单端转差分转换、外部基准电压源、输出缓冲

几个部分。

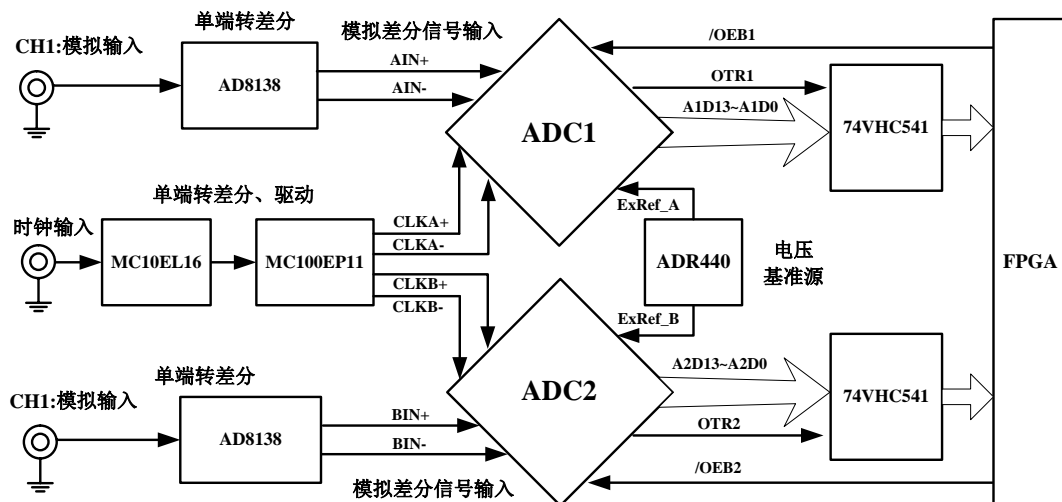


图 4-2 AD9244 电路结构

输入信号单端转差分转换主要是通过 Analog Devices 公司出品的低失真差分 ADC 驱动器 AD8138^[21]，单端信号送入 AD8138 之后变换成差分信号提供给 AD9244 进行量化。

输入的单端 20MHz 时钟信号用差分器 MC100EL16 转化成差分时钟，再转换成两路时钟信号送给两片 ADC 芯片。差分时钟信号抗干扰能力比单端时钟信号强，能够获得更好的采样效果。

电压基准源采用 Analog Devices 公司提供的 ADR440，能够提供 2.048V 的电压输出，通过电阻分压送入 1V 的基准电压。ADR440 具有超低噪声、高精度、低温度漂移的特点，适合用于精密数据采集系统。

4.2.1.2 低带宽 AD9243

考虑到 AD9244 高达 750MHz 的输入带宽带来的大量噪声，最先考虑采用一款带宽较小的 ADC 芯片。AD9243 是一款 3MSPS、14 位的 ADC 芯片，内置 4 级流水线结构，模拟输入信号带宽为 40MHz^[22]，能够满足改善噪声的要求，性能也比 AD9244 更为出色。但是在后续设计时发现 AD9243 只能采用单端时钟信号，更为重要的是在设计这款芯片的电路的时候，原先所设定的设计目标发生了改变。新的设计目标要求设计出能够同时测量两个通道的信号。

在将现有 AD 板上焊接两片 AD9244，两路 AD 基本对称的情况下对两路相同的输入取样信号进行测量，以验证能否直接采用单通道 ADC 电路板进行双通道测量的方案。从 DSP 中取出这两个通道的数据，画出波形如图 4-3 和图 4-4。

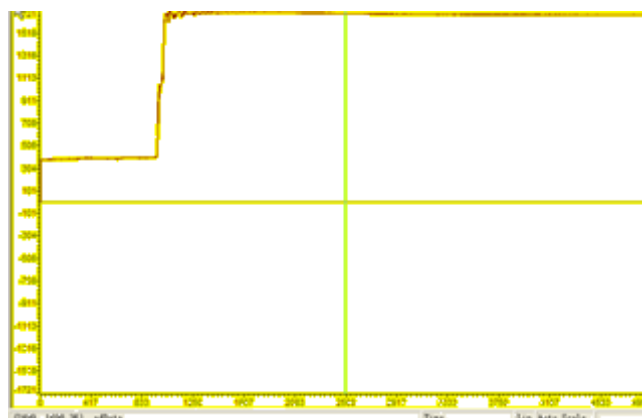


图 4-3 通道 1 数据的波形

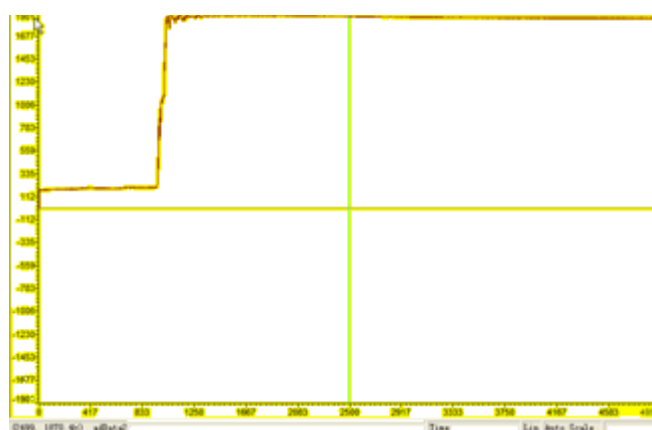


图 4-4 通道 2 数据的波形

从上面两个采集数据图中可以得到这样的结论：虽然两个通道的数据波形基本一致，但是波形的起始位置的高度以及波形的最高位置并不一致，这就导致采用两片 AD9244 对差分脉冲输入信号同时进行测量成为不可能。究其原因是在于两片单通道芯片 AD9244 的本身由于制造工艺原因无法做到高度的一致性，取样信号进入 AD 板后经过差分处理的过程也无法做到高度的一致性。可以预见，如果采用单通道的 AD9243 芯片，其进行双通道的测试结果的一致性也将会是一个较难解决的问题。因此之前围绕 AD9243 进行的设计方案必须抛弃，这就必须采用单片 ADC 能够实现两通道测量的取样芯片。

4.2.1.3 选用 AD9251

考虑到双路通道进行一致性测试时发现的问题，采用双通道ADC芯片是一种必然的选择。AD9251是一款双通道14位模数转换器，具有以下特性^[23]：

- 单+1.8V电源供电，支持1.3V和3.3V数字电源供电；
- 内置多级流水线结构，自带输出纠错逻辑，在80MSPS采样率下能够提供

14位精度，保证在整个工作温度范围内不失码；

- 内置高性能取样保持；
- 模拟输入信号带宽为700MHz；
- 9.7MHz信号输入信噪比SNR可达74.7dB，无杂散动态范围SFDR可达93dBc；
- 信号输入和时钟输入可以选择差分信号模式；
- 数字输出可以选择偏移二进制码、格雷码和二进制补码，同时每个通道均有输出时钟锁存信号（DCO）；
- 单通道功耗仅33mW；
- 满量程输入范围是 $2V_{p-p}$ ；

如上所述，AD9251除了输入带宽过大这一点不符合条件之外，其他各项指标都能较好的满足我们的要求。至于输入带宽700MHz，在信号送入ADC进行采样量化之前如果加入滤波器进行低通滤波，也能够降低现有系统噪声过大的问题。

AD9251 具有内部参考电压源，也可以采用外部电源基准源，但提供的电压参考不能超过 1.0V。图 4-5 是其芯片功能图。

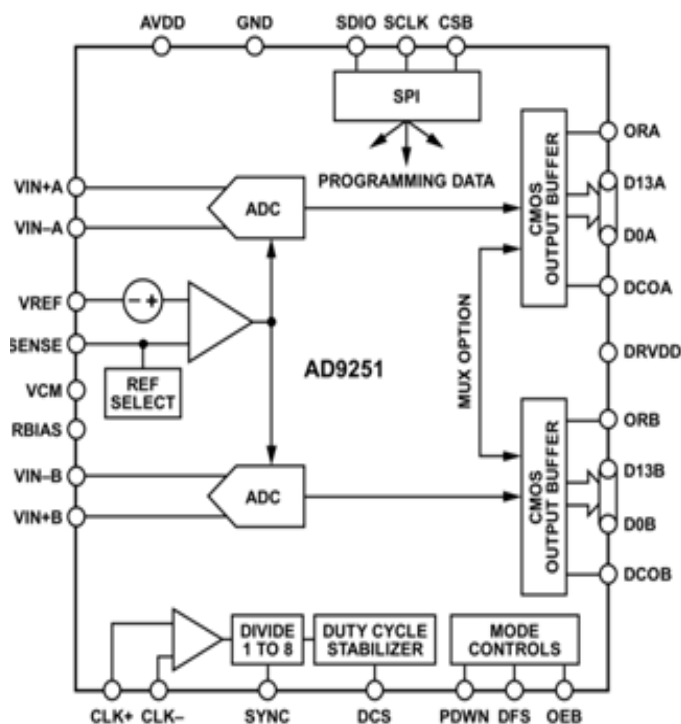


图 4-5 AD9251 芯片功能图

4.2.2 通道切换硬件设计

所设计的四通道测量暂时只采用单片双通道 ADC 进行采样，为了实现这一目的，采用的是单刀双掷开关来实现。ADI 公司生产的双通道单刀双掷开关

ADG1636^[24]是一款单芯片 CMOS 器件，内置两个独立可选的单刀双掷(SPDT)开关，导通电阻典型值为 1Ω 。开关具有超低导通电阻特性，具有极低失真性能 ($\text{THD} + \text{N} = 0.007\%$)。该器件提供 EN 输入，用来使能或禁用器件。在使能打开的时候通过控制通道使能信号 IN1 和 IN2 来选择通道。实际应用设计如图 4-6。

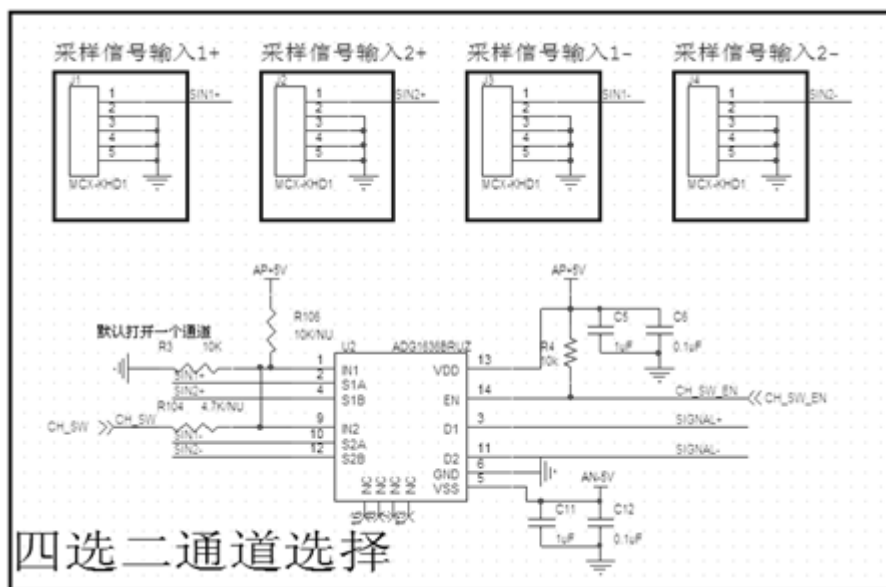


图 4-6 双通道单刀双掷开关设计

4.2.3 偏置硬件设计

对一个信号进行偏置，其实就是对该信号在垂直方向上进行整体的上移或者下移，偏置过后的信号再进行采样得到的数字信号的幅度会较偏置前的信号有整体的上移或者下移，进而在波形显示时能够更为方便和灵活，配合增益功能实现把输入信号的信号范围调理成 ADC 的满量程输入范围。采用 DAC 而不是运算放大器来实现主要是考虑到采用运算放大器进行偏置时偏置值的设置是固定的，而 DAC 来实现可以实现程序可调，更为灵活。

备选方案一：AD5557

AD5557是ADI公司的双通道14位精密乘法数模转换器，数字信号并行输入，电流输出，采用+5V单电源供电，内置四象限电阻能够提供正负10V的输出^[25]。

在参考电压选择2.5V时，最小分辨率为 $2.5/16384 = 0.15\text{mV}$ 。但是考虑到现有电源系统性能并不出色，电流经过运算放大器转化成电压输出时DAC的高分辨率性能可能会受到影响，因此改用电压输出的数模转换器。同时，在设计过程中，原先所定的采样主板更改方案中会改变FPGA芯片，改用Spantan 6系列FPGA的设想也被取消，这就导致设计DAC电路时必须兼容现有的FPGA控制主板。而现有的

FPGA主板能够提供给偏置和增益控制的管脚数量极其有限，因此选用并行DAC的方案行不通，只能选择串行输入DAC。至此，对于偏置DAC的选择的标准就是串行输入、电压输出、双路通道。在进行仔细的甄选之后，我们选用AD5732。

选用方案二：AD5732

AD5732也是ADI公司出品的完整的双通道14位串行输入单/双极性电压输出DAC。串行输入时通过三线的串行接口进行输入，单极性时输入编码为标准二进制，双极性时可通过对管脚设置选择二进制补码或者偏移二进制码；接口与DSP和微控制器接口标准兼容^[26]。标称满量程输出范围可通过软件选择，噪声很低，积分非线性误差最大为 $\pm 4LSB$ ，最大建立时间为10 μs ，并且内置+2.5 V片内基准电压源。

这款DAC能够较好的满足选择偏置DAC的选择标准，更为灵活的设置也让我们设计时更为方便。电压输出的模式也省去了电流型DAC输出需要外加电阻对其进行转换的电路，节约了电路板的空间，能够兼容现有的控制主板，是一种可行的方案。

最终确定的可调偏置部分主要由FPGA和AD5732R来完成。其功能框图如图4-7所示。

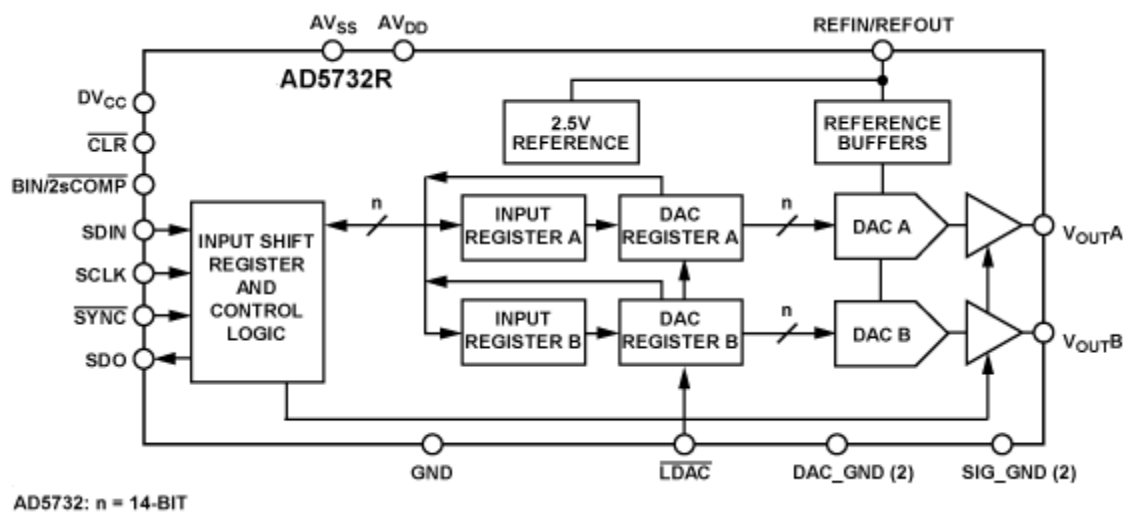


图 4-7 AD5732 功能框图

AD5732R 的串行输入，其工作频率最大不能超过 30MHz，其接口标准能够与FPGA的接口兼容。通过芯片的LDAC管脚的控制，能够实现两个通道输出信号的同步。由于输入信号是双极性信号，我们需要选择二进制补码格式输入。ADR441为AD5732R提供2.5V的外部参考基准电压。AD5732R的输出电压范围为-5V到

+5V, $V_{OUT}=10*N/8192-5$, $-8191 \leq N \leq 8191$, 分辨率约为 6mV。完全满足对于输入信号的偏置的精度和幅度要求。对应编码如表 4-1 所示。

表 4-1 AD5732 偏置电压值与对应应输入的数字编码

AD5732 偏置值 (mV)	对应二进制原码 (14)	对应二进制补码 (14)	补码对应十六位编码
600	00 0010 0101 1000	00 0010 0101 1000	0x258
300	00 0001 0010 1100	00 0001 0010 1100	0x12c
240	00 0000 1111 0000	00 0000 1111 0000	0xf0
180	00 0000 1011 0100	00 0000 1011 0100	0xb4
120	00 0000 0111 1000	00 0000 0111 1000	0x78
0	00 0000 0000 0000	00 0000 0000 0000	0x0
-120	10 0000 0111 1000	11 1111 1000 1000	0x3f88
-180	10 0000 1011 0100	11 1111 0100 1100	0x3f4c
-240	10 0000 1111 0000	11 1111 0001 0000	0x3f10
-300	10 0001 0010 1100	11 1110 1101 0100	0x3ed4
-600	10 0010 0101 1000	11 1101 1010 1000	0x3da8

4.2.4 增益硬件设计

增益其实就是对信号进行放大或缩小,用在取样示波器中主要是用来对被采样信号进行缩放,配合偏置处理以便将被测信号的幅度范围缩放至采样ADC的满量程输入范围内,以便能够进行正确的采样。如果信号幅度太小,直接送入ADC中进行采样量化效果会不好,将其放大至ADC满量程进行采样之后波形显示会更加详细。

选用方案: AD602

对于信号的增益,可以采用反馈电阻来控制运放的倍数来实现,但这种结构能够放大的倍数比较固定,反馈电阻选定了就无法再更改。为了更好的利用 ADC 的输入量程,也为了更详细的对被采样信号进行量化,使信号在送入 ADC 之前其一致性不会发生改变,选用一个双路增益放大器来实现这一功能是一种比较合理的选择。

AD602 是 ADI 公司的双通道低噪声可变增益放大器,采用的是 ADI 公司的专有电路形式 X-AMP[®]。X-AMP 的每个通道均含有 0dB~-42.14dB 的可变衰减器,这样放大器就不用处理较大输入,还可以利用负反馈来经确定以增益和动态范围。衰减器以 7 级 R-2R 梯形网络的形式实现,具有经过激光调整至 $\pm 2\%$ 的 100 欧输入电阻。触点之间的衰减为 6.02dB,增益控制电路提供这些出点之间的连续差值,

便可获得以 dB 为单位的线性控制功能。两个通道可以单独控制，其增益范围增益范围为-10dB~+30dB，-3dB 带宽为直流到 35MHz^[27]，其原理框图如图 4-8 所示。

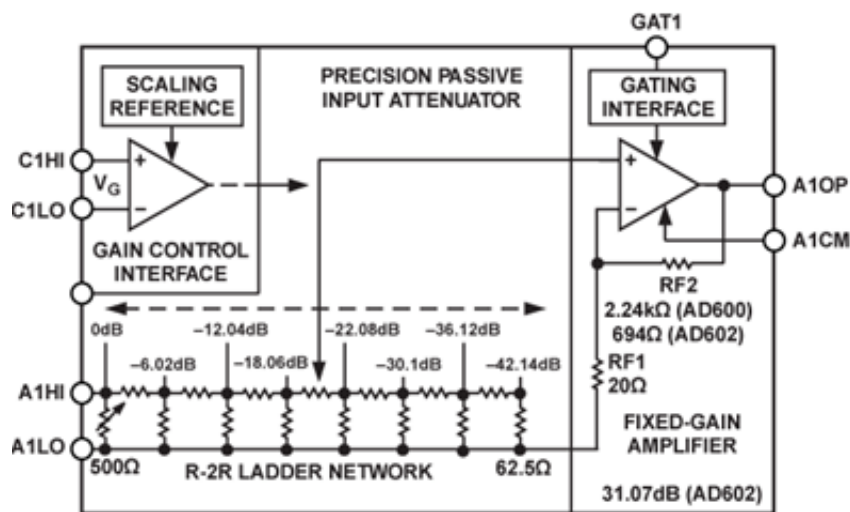


图 4-8 AD602 功能框图

AD602作为一款可变增益放大器，其增益倍数由外部送入的电压控制，为了精确控制增益倍数，需要一款电压输出的DAC来实现倍数的控制功能。AD7244是AD602推荐配合使用的14位双通道数模转换器，串口输入，内置基准电压源，能够输出 $\pm 3V$ 单极性/双极性的电压。采用内置的3V基准电压源或者外接的电压源，分辨率可以达到 $3/8192=0.37mV$ 。

最终设计的可变增益电路部分主要由FPGA、AD7244和AD602来完成。

AD7244是快速、完整、双通道、14位电压输出数模转换器，内置一个12/14位DAC、3V基准电压源、DAC输出放大器 and 高速串行接口逻辑，其功能框图如图4-9所示。采用串行接口和标准控制信号，所以能够与大多数DSP处理器和微控制器进行接口。各DAC均具有单独的LDAC输入，因此可以对两个DAC的更新进行异步控制。AD7244采用 $\pm 5V$ 电源供电，提供 $\pm 3V$ 模拟输出范围。可采用内部电压基准源或者外部电压基准源。采用3V电压参考源时，输出信号 $V_{OUT}=2*N*REF_{IN}/16384$ ， $-8192 \leq N \leq 8191$ ，分辨率为 $3V / 2^{14} \approx 0.366mV$ 。N值是FPGA通过串行接口发送给AD7244的输出电压设置值，可采用二进制补码或者偏移二进制码。AD7244的输出电压作为增益AD602的缩放倍数控制电压。

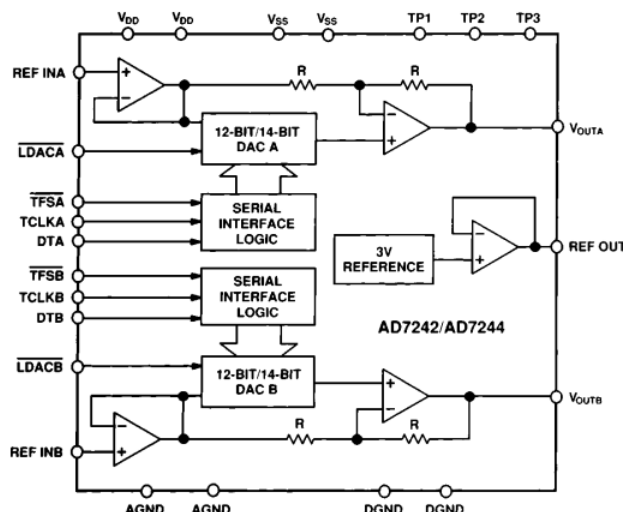


图 4-9 AD7244 功能框图

AD602 是双通道、低噪声、可变增益放大器，能够放大直流信号，也能够放大频率不超过 35MHz 的交流信号。两个通道都能对输入信号进行 $-10\text{dB} \sim +30\text{dB}$ 的放大，转换成倍数就是 0.316 倍至 31.6 倍，可改善输出的信噪比(SNR)。放大倍数由外部电压来进行控制。

AD602 的控制信号为模拟电压信号，由 AD7244 提供。这个模拟信号的范围为 -625mV 到 $+625\text{mV}$ 。这个电压控制增益的大小 $G(\text{dB}) = 32V_G + 10$ 。表 4-2 是增益控制部分设置图。

表 4-2 增益控制部分设置表

缩放倍数 U_o/U_i	AD602 Gain/dB	AD602 VG/mV	AD7244 VOUT(mV)	AD7244 N 值	AD7244 输入补码	AD7244 输入补码
0.5	-6	-500	-500	-1365	00111010 10101011	0x3aab
1	0	-312	-312	-855	00111100 10101001	0x3ca9
1.5	3.5	-203	-203	-554	00111101 11010110	0x3dd6
2	6	-125	-125	-341	00111110 10101011	0x3eab

4.2.5 差分硬件设计

由于 AD9251 的模拟信号输入端是差分输入，所以需要对输入信号进行单端信号到差分信号的转化。ADA4938 是一款低噪声、超低失真度、高速差分放大器。ADA4938 采用 ADI 公司专利的第三代高压 XFCEB 工艺制作，是其具有非常低的失

真度，输入电压噪声仅为 $2.6 \text{ nV}/\sqrt{\text{Hz}}$ [28]。由于后续采用的 ADC 芯片是 14 位，工作频率是 20MHz，采用 ADA4938 可以实现差分驱动能够很好地降低偶阶谐波，且可以很容易地实现全差分及单端-差分的增益配置。由 4 个电阻器组成的简单外部反馈网络决定着放大器的闭环增益。其典型配置电路如图 4-10。

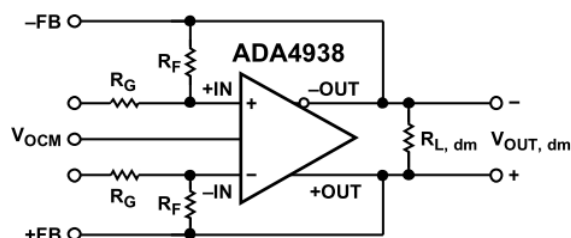


图 4-10 ADA4938 典型应用图

4.2.6 滤波硬件设计

经过差分器的信号转换成差分信号之后，在送入 ADC 之前需要对其进行滤波。由于是对双通道差分输入信号进行滤波，我们选取了凌力尔特公司生产的 LT6604 滤波器。LT6604-10 是双通道差分放大器 [29]。滤波器采用的是四阶低通滤波器，可保证相位和增益匹配。在采用 $2V_{P-P}$ 输出的时候信噪比可达 82dB，每个通道的增益采用两个外部电阻器来独立地设置。通过提供一个可调输出共模电压，LT6604-10 实现了电平移位，从而使其非常适合于直接连接至 ADC。典型应用电路如图 4-11。

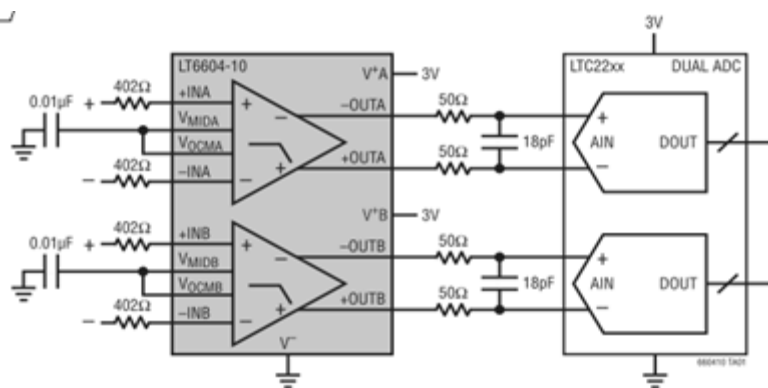


图 4-11 LT6604 典型应用电路

4.2.7 差分时钟硬件设计

由于 AD9251 的时钟采用的是差分时钟输入，而现有时钟信号只能提供单端时钟信号，固需要对时钟信号进行差分处理。MC100LVEP16 是安森美半导体公司生产的差分驱动器，能够工作在 NECL 和 PECL 两种电源提供模式。MC100LVEP16

内部包含温度补偿，最大频率超过 4GHz，芯片传播延迟约为 240ps。其典型差分端接如图 4-12。

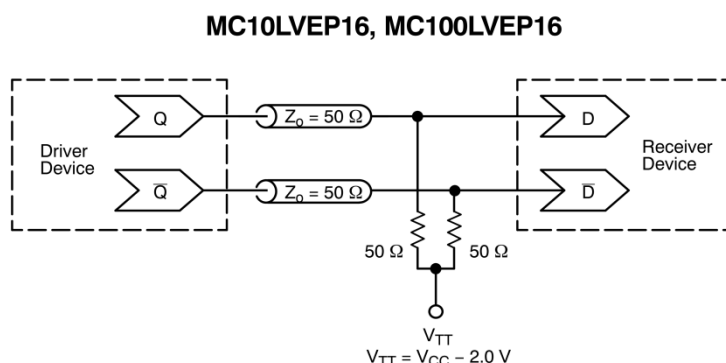


图 4-12 MC100LVEP16 典型端接

为了提供一个备用 20MHz 时钟输出作为潜在的其他 AD 板的时钟输入，可以采用 MC100LVEP11 将 20MHz 差分时钟转换成两路差分时钟输出。MC100LVEP11 是一个差分 1:2 扇出缓冲器，内部也具备温度补偿，传播延迟为 240ps，工作电源模式也能够采用 PECL 和 NECL。其典型端接如图 4-13。

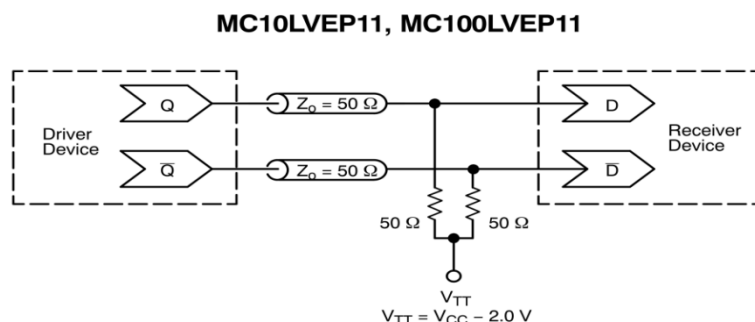


图 4-13 MC100LVEP11 典型端接

由于时钟信号的负载是 50 Ω 接到 $V_{CC}-2\text{ V}$ ($V_{CC}=3.3\text{ V}$) 时，LVPECL 的输出性能是最优的^[30]，因此考虑的电网络应该与最优负载等效典型端接如图 4-14。

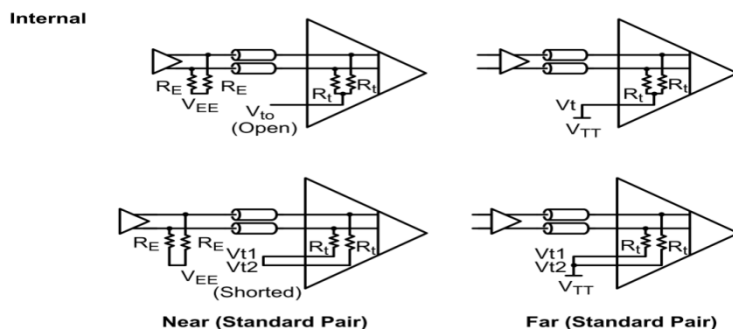


图 4-14 并行端接

4.2.8 输出缓冲硬件设计

信号送入 AD9251 量化之后的数字信号在送入 FPGA 前需要进行数据缓冲处理。数据缓冲是主要用来匹配 AD 采样和 FPGA 数据存入的速度不同,降低线路噪声。74LVT162244 是具有 3 态输出的同相缓冲器,各个 3 态控制输入可以短接在一起,用于 8 位或 16 位运行。74LVT162244 在输出的高电平和低电平状态下都具有 25ohm 等效串联电阻,可降低应用中的线路噪声,逻辑功能图如图 4-15。

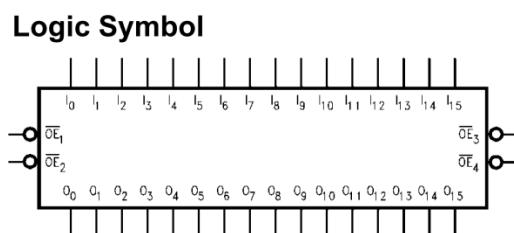


图 4-15 74LVT162244 逻辑图

4.3 步进延时电路设计

等效采样系统中实现步进延时的电路是实现顺序等效采样的关键,这部分电路的设计属于现有系统中已经存在的,并未对其有所改动,只是重新设计了性能更好的时钟代替现有时钟。出于对整个等效采样系统完整性方面的考虑,下面对这一部分电路做个介绍。

现有系统的步进延时电路按照功能划分可以分为时钟处理模块以及延时触发模块。时钟处理模块分为时钟信号输入以及时钟信号分频处理,输出 100KHz 的脉冲源触发信号,并提供 ADC 采样时钟。延时触发模块主要是实现精确的脉冲取样开关信号,送给取样电路对取样管进行采样控制。

4.3.1 时钟处理模块

时钟是数字系统的脉搏,现有系统的 20MHz 输入时钟信号是采用 RACON 公司的高稳定度晶振,其输出 10MHz 的削顶正弦波信号,经过高速比较器 AD8561 之后转化为 10MHz 方波信号,再经过低相噪倍频器倍频输出 20MHz 方波信号输出。20MHz 时钟是 AD 板主采样时钟,也是 FPGA 主时钟输入,还是系统触发信号的时钟信号源,其稳定性对于整个系统的系统稳定性有着决定性的影响。

现有时钟性能稳定性不够,在对脉冲源信号上升沿进行测量时会发现时基上的采样点数左右漂移较大。其根本原因在于晶振性能达不到我们要求,同时时钟板的电源质量不高,正弦波经过比较器输出的方波时钟信号稳定性不够好。因此

我们需要在时钟单板上设计稳定性更好的电源，并设计更稳定的时钟信号，提供给晶振和延迟板。

采用 WOC-36CE28S9-020.000MHz 的 OCXO 晶振，具有高稳定性（正负）、低漂移、低相噪的优点，散热性能和抗干扰性能比之前的晶振抗干扰能力更强，输出 20MHz 的时钟信号。延迟板所需要的电源包括 3.3V 和 1.3V 两种，采用 PTH04T260W 这一电源模块输出 3.3V，采用 LT1118ADJ 来将 3.3V 转 1.3V 输出。

采用这种电源和晶振的时钟输出信号的信号质量可以通过 CNT-91 频率计进行测量来检验时钟质量好坏。

CNT-91 频率计是世界领先的计数器/时间间隔测试仪/分析仪的生产厂商 Pendulum 公司推出的高性能测试仪器，如图 4-16 所示，具备的 50ps 的超高分辨率。测试结果的好坏可以通过阿伦方差和标准方差来表示。我们用这款测试仪器来对现有的时钟信号和所设计的时钟信号进行测量。

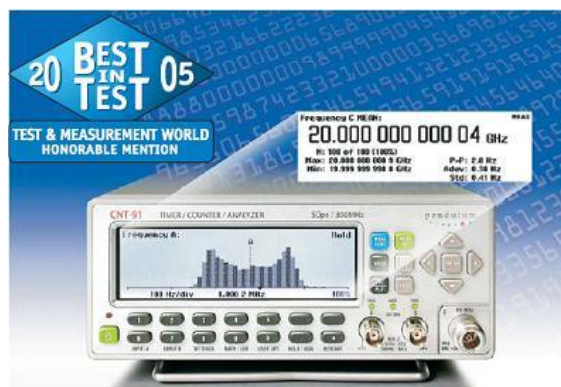


图 4-16 CNT 91 频率计

虽然时钟信号的测量最佳结果是在上电运行半小时之后进行，但考虑到仪器实际使用情况不可能等那么久才使用，所以在时钟板上电运行十分钟之后测量得到阿伦方差为 1.43027uHz，标准方差为 40.34902uHz，远比之前时钟板运行半小时之后测量的时钟信号阿伦方差 8.45320uHz 和标准方差 80.59320uHz 要好。由此可以得出新的时钟信号要比现有的时钟信号质量更好。

尽管采用的晶振本身性能优于原先的晶振，但是对于晶振电路的设计也是保证晶振能够实现其性能的重要保障。提供给晶振供电的 5V 电源在之前的时钟设计中并未进行足够的滤波，而电源的质量对于晶振输出具有重要的影响。**+5V 电源由 LT1129 来提供**，在设计上采用电容进行滤波处理。此在，晶振输出频率的调整电压采用 LT1763 提供，也提供了电容滤波。这些处理是选用的晶振能够输出高性能时钟信号的保证。

20MHz 时钟信号送入步进延时板之后需要进行分频处理，具体的处理模块的

电路结构图如图 4-17 所示。由于 ADC 所需的时钟电平要求是 LVPECL 电平，所以需要对其进行电平转换。采用 MC100EPT20 这一电平转换芯片可以完成。之后用时钟分配芯片 MC100LVEL14 将其转换成三路 20MHz 信号输出，这三路信号分别送给 ADC 作为采样输入时钟送给 AD 板进行处理、送给 FPGA 作为 FPGA 的主时钟输入、送给分频芯片处理。分频芯片采用 MC100EP016 计数器来进行预分频，计数器的分频比由外接的八位拨码开关进行控制，预设分频比为 100。分频之后的输出信号是占空比为 1% 的 200KHz 信号，再经过 MC100EP32 进行除法操作，调整为 100KHz、50% 占空比的方波信号。再将 100KHz 信号通过 MC100LVEL14 芯片输出三路信号送给取样脉冲触发、延时取样触发和采样控制中枢 FPGA。

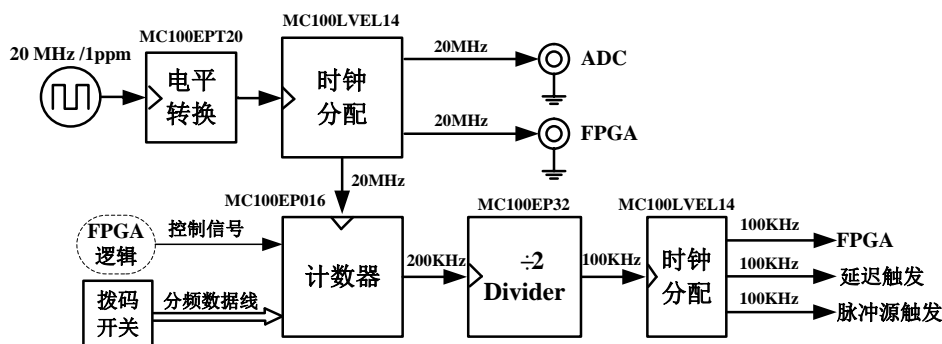


图 4-17 时钟电路的结构图

取样脉冲触发信号和延时取样触发信号都是 MC100LVEL14 分配出来的 100KHz 信号，但是需要延时取样触发信号要超前于取样脉冲触发信号，这是由于等效采样的测量原理来决定的。具体实现是除法器输出的 100KHz 信号作为基准信号，取样脉冲触发信号 QMC 是将这个基准信号送给 MC100EP29，触发器的触发时钟选用 20MHz；延时取样触发信号 YQC 是将基准信号送给 MC100EP51，触发器的触发时钟是与上面选用的 20MHz、相差为 180° 的信号。通过这种触发器触发时钟的相位的差异，达到两个输出相差 20MHz 信号的半个周期间隔的目的。其时序如图 4-18 所示。

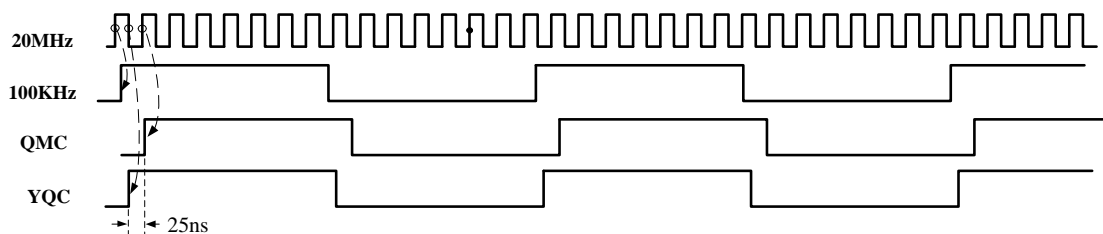


图 4-18 QMC 与 YQC 时序图

4.3.2 延时取样触发电路

延时取样触发电路主要是对延时取样触发信号 YQC 进行所预设的延时输出处理,达到顺序等效采样的采样开关时刻精确控制的作用。由 4-18 图可以得到启示,通过控制触发器的触发时钟可以达到控制输出信号的作用。如果将触发时钟进行精确的延时,那么输出信号也就实现了精确的延时;或者控制触发器的复位也可以实现这一功能。

精确控制触发器的复位信号需要精密的延时处理。安森美(On semiconductor)公司提供的 MC100EP195 高速 ECL 可编程延时芯片(PDC, Programmable Delay Chip)能够提供 10ps 分辨率的延时,单片可实现 10ns 的最大延时^[31]。由于 FPGA “粗延时”计数器的计数时钟为 20MHz,最小分辨率为 50ns,因此需要最少 5 片延时芯片级联以匹配计数器的延时。

取样延时触发信号 QYC 送入延时取样触发电路,通过五片延时芯片来对这一信号进行延时处理。MC100EP195 芯片的级联方式如图 4-19 所示。QYC 信号以差分模式输入,通过 FPGA 控制的延时编码 D[13: 0]对延时芯片组进行控制,实现取样延时触发信号的延时输出。

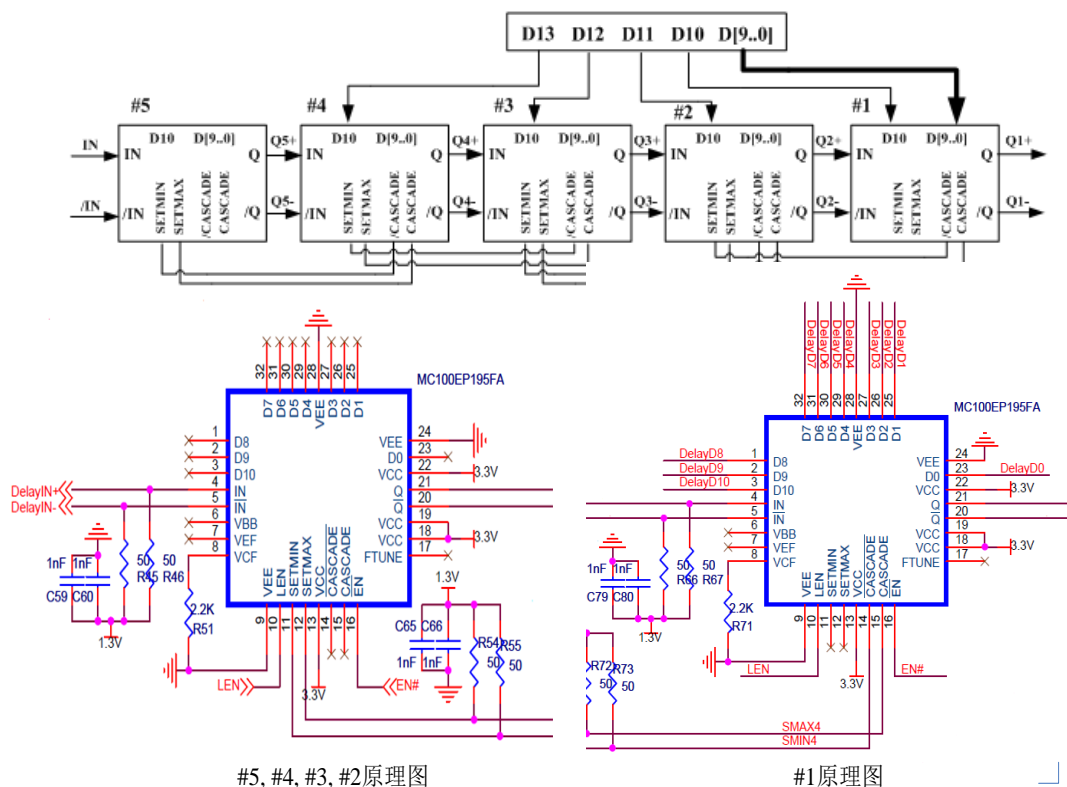


图 4-19 延迟触发电路图

4.4 本章小结

本章主要对所采用的取样示波器等效采样系统的电路设计进行详细的介绍,对于采样电路硬件部分各个模块的器件及其功能进行了介绍,在此基础上组成了采样硬件系统。同时也对水平时基电路的设计进行了介绍。

第五章 取样示波器等效采样系统程序设计

取样示波器等效采样系统程序设计主要是通过 FPGA 这个主控中枢来连接上位机 DSP、外部存储芯片 FIFO、时延芯片、DAC 以及 ADC，来完成采样时序的控制进而实现顺序等效采样。在此，先对 FPGA 进行粗略的介绍。

5.1 程序载体 FPGA 简介

FPGA (Field Programmable Gate Array, 现场可编程门阵列) 是在 PAL、GAL 和 EPLD 等可编程器件上发展起来的产物^[32]。大部分的 FPGA 是基于 SRAM 配置单元的，FPGA 的体系结构分为两种：一种是基于 MUX(多路复用器)的，逻辑块是由多个 MUX 组成；另一种是基于 LUT (查找表) 的，逻辑块由 LUT 组成^[33]。目前 LUT 体系是 FPGA 的主流。FPGA 内部结构如图 5-1 所示。

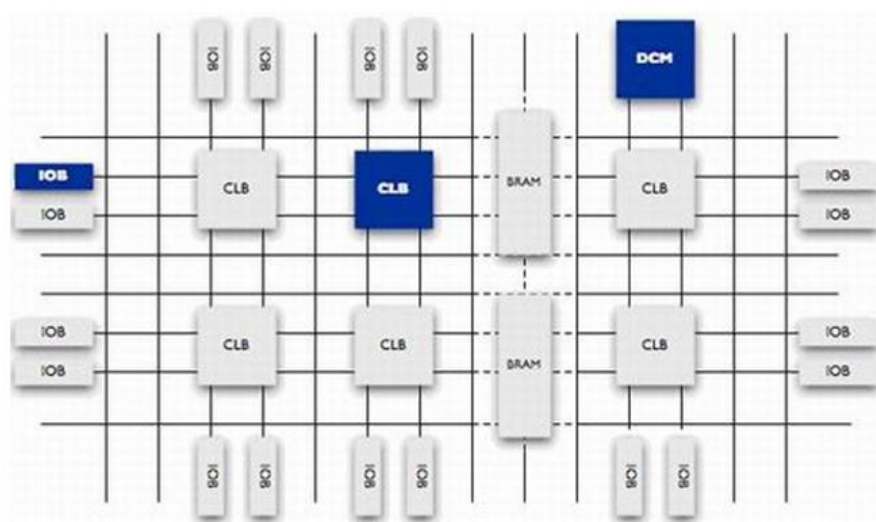


图 5-1 FPGA 内部结构

同时，在 FPGA 芯片中加入其它功能块也是一种潮流。比如目前全球领先的可编程逻辑完美解决方案供应商 Xilinx 公司的 FPGA 芯片中就内置了可编程输入输出单元 (IOB)，可编程逻辑块 (CLB)，数字时钟管理模块 (DCM)，嵌入式块 RAM (BRAM)，低层内嵌功能单元，内嵌专用硬核，内嵌专用软核等^[34]。对于应用 FPGA 芯片的硬件工程师来说，这些内置的功能模块的多少也成为选用 FPGA 型号的重要依据。

5.1.1 取样示波器所用 FPGA 介绍

选用合适的 FPGA 器件对于一个系统的设计实施有着非常重要的影响，不仅

要考虑当前系统对于 FPGA 的逻辑资源、I/O 管脚数量、片内存储器、DSP 资源、DCM 资源、功耗等的要求，还要考虑系统未来升级换代时能够满足要求，这样才能实现缩短设计流程、降低重新设计电路板的成本的目的。通过对于配置程序和 I/O 数量的评估，在考虑到成本的情况下，选用了 Xilinx 公司的 Spartan-3 系列的 XC3S1000-5FG320 芯片作为主控芯片。

Spartan-3 系列 FPGA 是 Xilinx 公司较为低端的产品，但也是目前卖出数量最多的产品，总计卖出超过千万片，极高的性价比是其受到工程师青睐的重要原因。这款新片是基于 SRAM 工艺的，采用 90nm 技术，8 层金属工艺，内部资源包括了 100 万个系统门，8640 个 Slice，432K 内部块 RAM，120K 内部分布式 RAM，24 个专用乘法器，4 个时钟管理模块 DCM，以及 320 个 I/O 引脚。该芯片采用 1.2V 内核电压，2.5V 辅助电压，3.3V 普通 I/O 电压。最高系统时钟达 340MHz^[35]。

5.1.2 下载配置电路

将配置程序加载到 FPGA 芯片的这个过程叫做配置。硬件配置是 FPGA 开发应用中最关键的一步。在配置之前 FPGA 芯片处于白片状态，内部逻辑关系消失。配置 FPGA 的方法主要分为主模式，从模式和 JTAG 模式^[35]三种。下面对这三种方法进行简单的介绍。主模式是指整个配置过程由 FPGA 主导，配置时钟信号由 FPGA 内部产生用以加载 FPGA 的外部存储器中的配置比特流。从模式是指 FPGA 作为数据接收端从其他数据下发端接受到所要对 FPGA 进行配置的功能文件，其好处是 FPGA 只管接收数据，不需要考虑与接收数据之外的事情如配置文件的存储。JTAG 模式为调试模式，适用于系统开发中的程序调试阶段，配置数据由电脑发送给 FPGA，断电程序会消失。

Spartan-3 系列支持五种配置方式：主串模式、从串模式、主并模式、从并模式以及 JTAG 模式。由于所选的是基于 SRAM 的 FPGA 芯片，其程序必须存放在外部存储器之中，每次上电后 FPGA 再从存储器中读取程序。

配置方式是通过配置模式的三个引脚 M2、M1、M0 的值来选择，如表 5-1 所示。

表 5-1 Spartan-3 配置模式

配置模式	M2	M1	M0	串行输出
主串	0	0	0	是
从串	1	1	1	是
主并	1	1	0	否
从并	0	1	1	否
JTAG	1	0	1	否

XC3S1000-5FG320 芯片的存储器芯片推荐选用 Xilinx 的专用配置芯片 XCF04S, 其存储容量为 4Mb。采用最常用的主串模式来进行配置, 该模式下同步时钟由 FPGA 控制, 串行输出。配置原理图如图 5-2 所示。

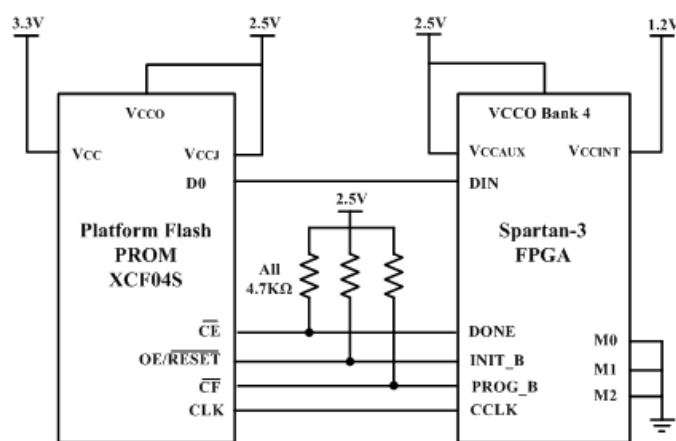


图 5-2 Spartan-3 FPGA 主串配置模式

5.2 等效采样逻辑控制流程

FPGA 作为整个等效采样控制中心, 是连接上层 DSP 和底层硬件的桥梁, 也是具体命令的发布者。底层硬件系统包括 ADC 电路、DAC 电路、步进延时电路、数据存储电路, 整个系统的时序以及控制都由 FPGA 来完成。具体的等效采样 FPGA 逻辑控制程序包含了与上位机 DSP 的联合通信模块、初始化模块、命令解析模块、内部时钟控制模块、水平系统控制模块、ADC 控制模块、偏置控制模块、增益控制模块、同轴开关控制模块、平均测量模式以及差分测量模式。控制程序的流程图如图 5-3 所示。

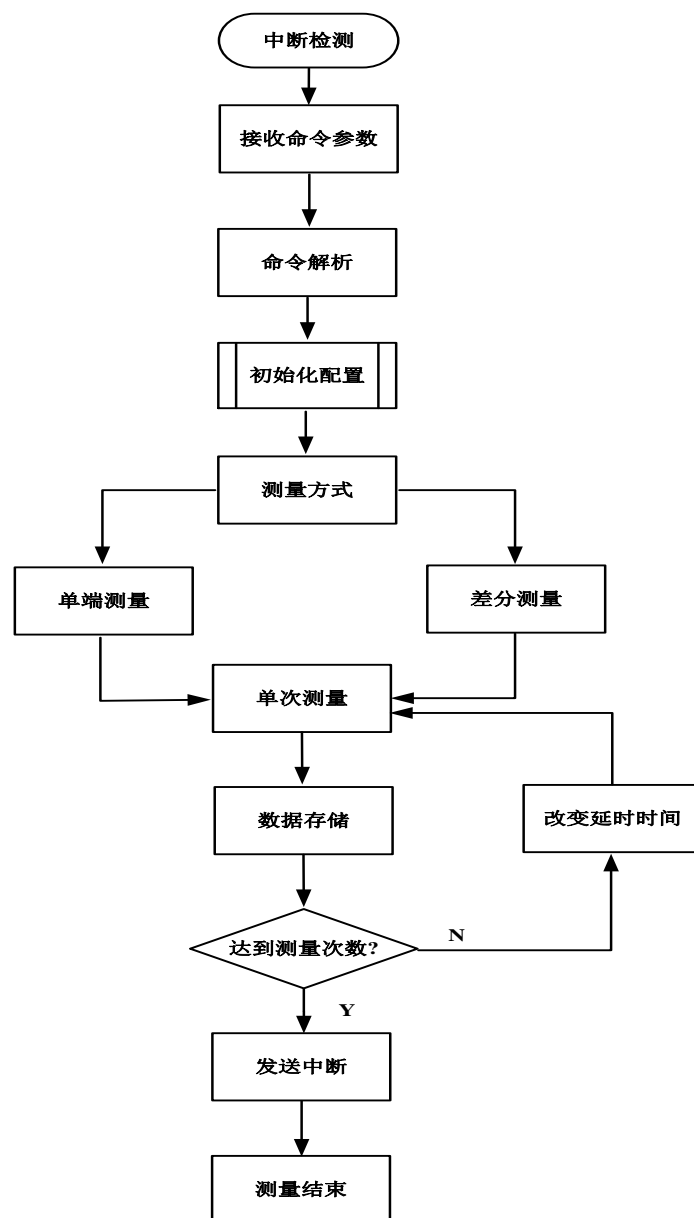


图 5-3 FPGA 控制程序流程图

系统上电之后，FPGA 等待上位机 DSP 发送过来的中断请求信号。这个中断信号是由 DSP 的 GPIO 模块中 GP[5] 引脚产生，送入 FPGA 作为测量开始信号 INT5_。INT5_ 接收到下降沿脉冲，FPGA 的初始化模块在 INT5_ 为低电平期间进行整个程序复位状态的设置。

中断请求信号 INT5_ 变成高电平后，DSP 通过异步读写的 EMIF 接口给 FPGA 发送控制命令和参数数据。由于采用的是 EMIF 接口的低十六位，所以每次发送的也就是 16 位控制命令或者参数数据。FPGA 接收到控制命令和参数数据之后保存在 FPGA 的内部存储器之中作为命令解析模块的输入信号。所需要的命令、参数

发送完成之后会输出命令发送完毕的控制信号。

命令解析模块主要是将保存下来的控制命令和控制参数进行编码译码，以转化为实际的控制硬件工作的信号。控制命令主要包括单端通道选择、差分通道选择、增益通道选择及缩放倍数、偏置通道选择及偏置位置、水平系统的粗延时 N ，细延时 M ，采样率 R 及采样点数 SN 等，其中单端通道选择和差分通道选择又会转化成为具体控制同轴开关工作的控制信号。

命令解析完毕之后会输出命令解析完成信号作为整个数字系统初始化设置的触发开始信号。需要进行初始化的除了外部 FIFO 芯片、控制步进延时的延时芯片之外，还需要对程序内部所需要的模块进行初值设定，以便电子器件和控制模块能够正确的从明确的初始状态进入准工作状态。初始化模块完成之后会输出初始化完成信号，作为程序内部控制采集的开始信号。

在采集开始信号有效之后，FPGA 程序开始启用触发采样功能。在接收到触发信号的下降沿之后，步进延时模块按照 DSP 下发的延时初值来控制输出采样开关信号。采样开关信号有效时取样板才能够对被采样信号进行采样。同时，采样开关信号也被送入步进延时模块计算下一次的延时值。采样开关信号会开启 DAC 工作，在 DAC 能够有效输出之后开启 ADC 的输出进行采样。之后锁存 ADC 采集到的数据送入外部 FIFO 芯片等到 DSP 来读取。

由于等效采样采用的采样开关信号的特殊性，需要进行多点采样才可能完成被采信号的波形重构，因而程序中必须对采集点数进行计数。单端测量时采样点数只有达到所设定的数量时才会完成测量任务；在差分测量时需要实现多次单端测量，并且在这同时实现对于同轴开关的精确控制。

测量结束之后输出一个上升沿有效的 INT7_ 给 DSP，用以通知 DSP 已完成测量，DSP 可以读取外部 FIFO 中存储的采集数据以进行后续数据的处理。

5.2.1 通信接口模块设计

通信接口模块采用 EMIF 接口与上位机 DSP 进行通信。上位机 DSP 向 FPGA 中断信号 INT_5，发送完毕后再向 FPGA 发送命令及参数。FPGA 收到这个中断信号后开始接受命令，解析命令及参数，开始测量。每一次测量 FPGA 将数据存放入 FIFO 中。测量完成后 FPGA 向上位机 DSP 发送中断 INT7_。DSP 收到中断后，读取 FIFO 中的数据做后续处理。

由于采用新一代的 DSP6747 取代了原先的 DSP6713，所以对应的 EMIF 通信需要重新设定。对于 DSP6713, EMIF 读写时序^[36]如图 5-4。

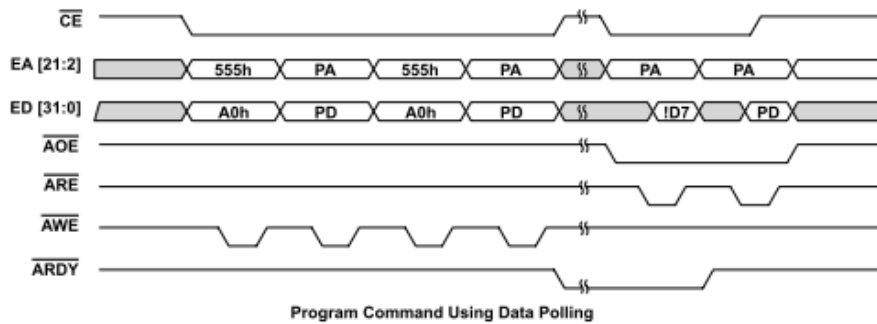


Figure 9. Program Command Without ARDY Interface – Software Monitoring

图 5-4 DSP6713 EMIF 读写时序

DSP6713 的读时序在 AOE_为高的时候通过 AWE_的下降沿读入数据,此时 ARE_保持为高;写时序在 AOE_为低的时候通过 ARE_的下降沿写出数据,此时 AWE_保持为高。

而对于 DSP6747,EMIF 读时序如图 5-5, 写时序^[37]如图 5-6。

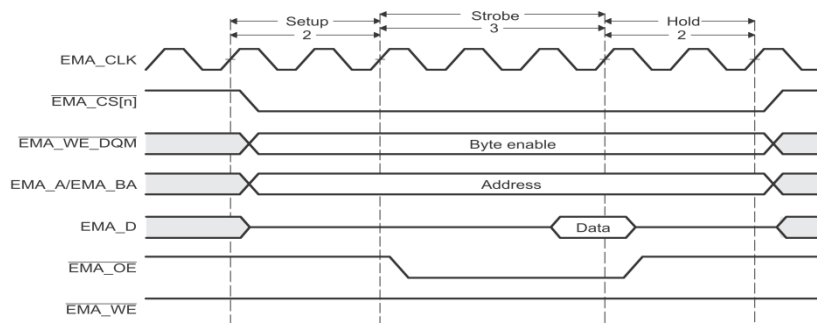


图 5-5 DSP6747 读时序

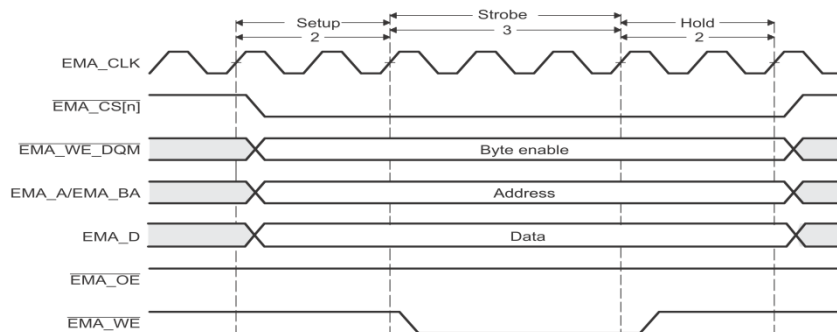


图 5-6 DSP6747 写时序

DSP6747 的读时序在 OE_信号的下降沿读入数据, 此时 WE_保持为高; 写时序在 WE_的下降沿写出数据, 此时 OE_信号保持为高。相比较而言, DSP6747 的

EMIF 读写时序比 DSP6713 的控制信号减少了一个读时序还是写时序的控制信号，DSP6747 的读写时序更为简洁明了。

对于 DSP 来说，FPGA 作为外设通过写时序来对 FPGA 进行控制命令的下发，因此通信接口重点在于 EMIF 的写时序的通信协议。DSP 需要下发给 FPGA 的命令字如表 5-2，控制命令所表达的含义如表 5-3。

表 5-2 命令及参数定义

序号	命令字	数据存储格式
0	DSP 控制命令	16 bit
1	粗延时 N	16 bit
2	细延时 M	16 bit
3	采样率 R	16 bit
4	采样点数 SN	16 bit
5	内触发频率 T	16 bit
6	垂直偏置位置值 O	16 bit
7	垂直增益预置值 G	16 bit

表 5-3 命令及参数定义

位序号	DSP 控制命令含义
0	选择通道 1
1	选择通道 2
2	选择通道 3
3	选择通道 4
4	TDR 单端测量标志位
5	TDR 差分测量标志位
6	TDR 差分 12 通道
7	TDR 差分 34 通道
8	平均测量标志位
9	触发选择
10~15	保留

以上是 DSP 下发的命令及参数的定义及格式，主要包含了单端通道选择、差分通道选择、增益通道选择及缩放倍数、偏置通道选择及偏置位置等。下发的参数主要包括水平系统的粗延时 N，细延时 M，采样率 R 及采样点数 SN。

基于 EMIF 接口的通信模块是在 FPGA 内部建立一个 16 位数据宽度，深度为 32 的异步 RAM。由于 FPGA 内部内建的异步 RAM 的深度为 32，EMIF 的地址线

为 EA[21:2]，所以只需取其低 5 位接到异步 RAM 的地址线。将数据线 ED[31:0] 的低 16 位接到异步 RAM 的数据接口。

5.2.2 步进延时程序的设计

等效采样需要一个采样时刻等间距增加的采样开关信号，这也是实现等效采样的关键。由于所涉及的系统取样脉冲太窄，大约在 130ps 左右，参考示波器中借鉴了示波器中水平时基的“粗调细调”的概念，采样了一种称为“粗延时+细延时”的程序控制的步进延时电路，如图 5-7 所示。

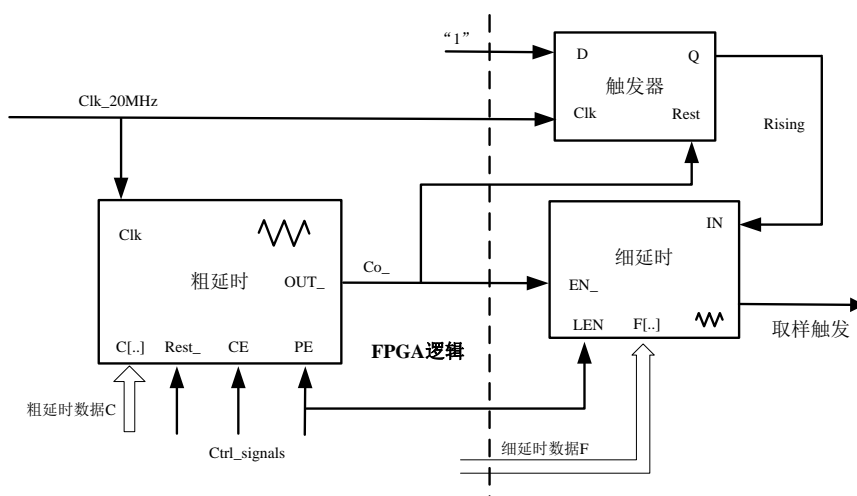


图 5-7 粗延时加细延时结构框图

粗延时+细延时，简单来说就是粗延时控制较大的延时，而细延时控制较小的延时，类似钟表上的时针跟分针，二者组合起来实现精确计时。粗延时可以在 FPGA 中采用编程的方法用计数器来实现，计数器计数时钟采用的是 20Mhz 方波信号，因此粗延时能够精确定位 50ns 的整数倍的延时。细延时是步进延时系统的关键部分，直接决定了系统的带宽。由于取样脉冲上升沿在 130ps 左右，因此采用 10ps 的最小步进延时能够较好的采集到信号，选用安森美（Onsemi）公司的 MC100EP195 高速 ECL 可编程延时芯片(PDC, Programmable Delay Chip)来实现细延迟的控制。MC100EP195 能够提供 10ps 的最小延时，单片能够提供最大 10ns 的延时，想要跟粗延时组合成钟表显示一样的计时，就必须采用至少 5 片延时芯片组合起来实现 50ns 延时以匹配粗延时的最小分辨率时间 50ns。

细步进延时电路的电路图如图 5-8 所示：

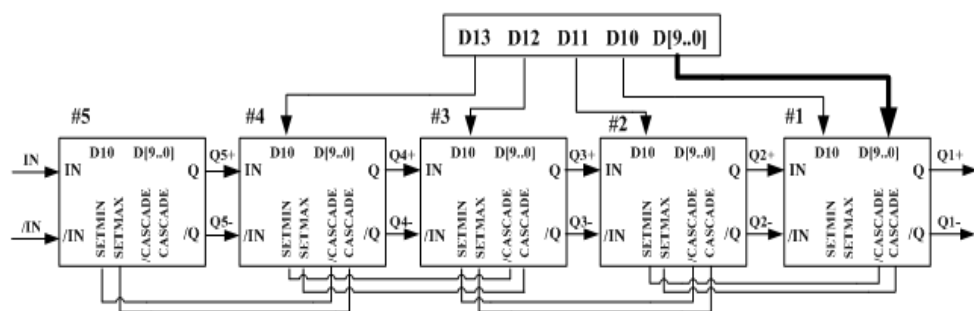


图 5-8 细延时编程电路

由图 5-8 可得一片 MC100EP195 的编程数据线为 D[9:0], D10 作为多片芯片级联使用。D[9:0]所代表的数值每增加 1, 代表延时增加 10ps。当 D[9:0]的数值全变为 1 时, 达到单片芯片最大延时值 10240ps。如果需要级联, 就需要将第一片的 D10 拉高, 此时第二片芯片会自动延时该片最大时延。本次设计需要延时 50000ps, 因而需要 5 片级联。第一片的 D[9:0]作为分针, D[13:10]作为依次进位的时针。图 5-8 中的 5 片 MC100EP195 级联电路的延时过程如表 5-4 所示。

表 5-4 MC100EP195 级联电路延时数据表

D13	D12	D11	D10	D9~D0	延时范围
0	0	0	0	000000000~111 111 1111	0 ps~10230 ps
0	0	0	1	000000000~11 1111 1111	10240 ps~20470 ps
0	0	1	1	000000000~11 1111 1111	20480 ps~30710 ps
0	1	1	1	000000000~11 1111 1111	30720 ps~40950 ps
1	1	1	1	000000000~11 1000 1000	40960 ps~49990 ps

仔细观察商标, 高四位的控制编码类似 FPGA 中的左移移位寄存器, 低十位的控制编码就是一个带进位的计数器, 逻辑综合后的电路如图 5-9 所示。

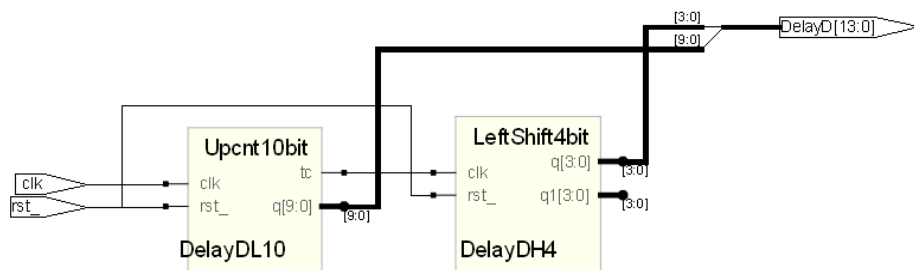


图 5-9 步进延时逻辑综合图

对该设计进行仿真, 为了能够更清晰的看到仿真波形, 可把十位计数器改称

三位计数器再进行仿真，逻辑仿真时序如图 5-10 所示。

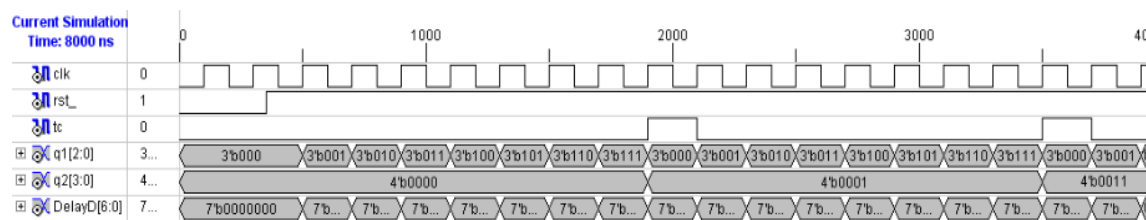


图 5-10 步进延时控制仿真时序

计数器在每一次计数触发之后往上加一，计数达到 8 次之后通知左移移位寄存器左移一位，实现了所设想的“粗延时+细延时”的设计。

5.2.3 两路同时测量程序设计

在现有硬件基础上，虽然同时采用两路 AD9244 来完成两路差分采样的方案不可行，但是可以作为验证整套系统能否完成同时采集两路信号的验证方案。由于现有系统采用的是外部 FIFO 作为采集数据的存放地，所以 FIFO 就面临进行两路数据的存放和读取问题。由于存放在 FIFO 的数据要通过 DSP 来读取，DSP6747 的地址线最高为 16 位，DSP6713 的地址线最高位 32 位。FIFO 的工作模式原先为 36 进 36 出，但实际上只用了 14 位；现在需要修改为 36 进 18 出。ADC 采集的数据是 14 位，两路 ADC 则需要 $14 \times 2 = 28$ 位数据。但是由于硬件上是从 FIFO 的最 0 位连到第 31 位，而 DSP6747 的地址线是 16 位，这就导致了低 16 位数据正常，但是高 16 位数据不正确。经过对 FIFO 写入确定数据之后读出，得出 FIFO 的高 16 位数据整体右移了两位。根源在于 FIFO 的输出是 18 位数据，而 DSP6747 的数据位宽只有 16 位造成。通过两路测量的研究，修正了主板的 FIFO 设置，编写了正确的两路数据同时采集的 Verilog 程序。目前双路测量的程序已经加在程序中。

5.2.4 差分测量程序设计

目前现有 TDR ZK2010 采用了一种称为“伪伪差分”的方案来实现差分测量。伪伪差分 TDR 采用最节约的单脉冲源和单取样门外加双刀三掷”同轴开关来实现，其测量结构图如图 5-11 所示^[38]：

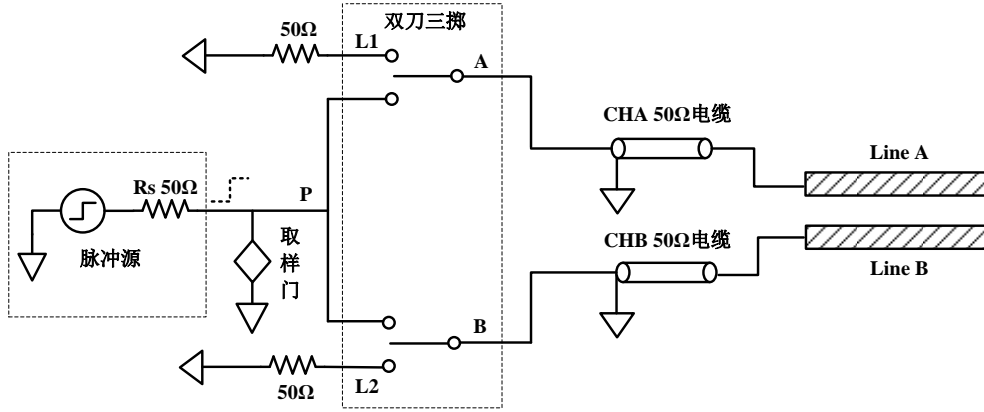


图 5-11 伪差分 TDR 测量结构

这种测量方案与信号处理中的“时分复用”的理论相似，具体做法是重复三次单端模式的测量，通过对测量结果的分析计算获取差分测量结果。测量流程如下：

- 1) 打开同轴开关A从A通道获取取样信号作为被采样信号，同时关闭B同轴开关，测得传输线A特征阻抗 Z_{AA} 。
- 2) 打开同轴开关B从B通道获取取样信号作为被采样信号，同时关闭A同轴开关，测得传输线B特征阻抗 Z_{BB} 。
- 3) 同时打开同轴开关A、B从两个通道获取取样信号作为被采样信号，测得差分传输线的共模阻抗 Z_{comm} 。

由步骤（1）测得的特征阻抗 Z_{AA} 可以表示为：

$$Z_{AA} = Z_{odd1} + Z_{AB} \quad (5-1)$$

式中： Z_{odd1} 表示传输线A的奇模阻抗。 Z_{AB} 表示传输线B对传输线A耦合阻抗。

因此，传输线A的奇模阻抗 Z_{odd1} 、偶模阻抗 Z_{even1} 分别为：

$$\begin{cases} Z_{odd1} = Z_{AA} - Z_{AB} \\ Z_{even1} = Z_{AA} + Z_{AB} \end{cases} \quad (5-2)$$

同理，传输线B的奇模阻抗 Z_{odd2} 、偶模阻抗 Z_{even2} 分别为：

$$\begin{cases} Z_{odd2} = Z_{BB} - Z_{BA} \\ Z_{even2} = Z_{BB} + Z_{BA} \end{cases} \quad (5-3)$$

由此可得共模阻抗：

$$Z_{comm} = Z_{equiv} = \frac{Z_{even1} \times Z_{even2}}{Z_{even1} + Z_{even2}} \quad (5-4)$$

考虑到差分信号的对称性，式（5-4）可以写成：

$$Z_{even1} = Z_{even2} = 2 \times Z_{comm} \quad (5-5)$$

由差分阻抗的计算公式可得：

$$Z_{diff} = Z_{odd1} + Z_{odd2} \quad (5-6)$$

将式（5-3）、（5-5）代入上式可得

$$Z_{diff} = (Z_{AA} + Z_{BB}) - (Z_{AB} + Z_{BA}) \quad (5-7)$$

进一步简化得：

$$Z_{diff} = 2 \times (Z_{AA} + Z_{BB}) - (Z_{even1} + Z_{even2}) \quad (5-8)$$

即可得伪差分计算公式：

$$Z_{diff} = 2 \times (Z_{AA} + Z_{BB}) - 4 \times Z_{comm} \quad (5-9)$$

从上式可以看出测量差分阻抗可以通过测量A、B通道的单端阻抗和两个通道的共模阻抗得出。就要求在测量控制程序中对于精确的三次单端测量进行细致的分析和思考。

单端测量在获取控制命令后对命令字进行解析，获取的命令中包括测量模式的选择和测量通道的选择，为所选择的的测量通道在打开时同轴开关（即图5-11中双刀三掷开关）会响一声，在依照步进延时往前步进完成数据的测量和存储，单端测量步进5000次后测量结束。差分测量需要在完成A通道的单端测量之后进行B通道的单端测量，之后再同时打开A、B通道进行单端测量。这就要求测量时序必须精确。

现有TDR2010控制时序同轴开关控制程序模块触发时钟信号触发过早；5000次步进计数模块复位信号复位过早造成实际计数不到5000次；单次单端测量结束信号控制下一个通道切换模块的时序错误，造成实际差分测量无法进行。修改同轴开关控制程序触发信号为程序内部总的测量开始信号，并以这个信号作为5000次计数模块的复位信号，以完成正确的单端测量。在每一次测量达到5000次步进之后送出一个下降沿信号，并将这个信号送给同轴开关切换模块进行通道的切换，同时这个信号进行下降沿计数，切换三次之后才在最后一次单端测量结束之后送总的测量结束信号给DSP。

差分测量功能是本课题中完成的，这一功能的实现对于取样示波器实现阻抗测试中的差分阻抗测量具有十分重要的意义。首先第一次实现了对于差分阻抗的测量，得到差分测量的数据及其波形，这一功能是现有仪器中无法提供的。从泰

克的取样示波器中进行类似测量也得到类似的测量波形可以提供佐证。其次，现有的仪器采用的是“伪伪差分”的测量模式，想要对这种测量模式进行后续的改进，首先就需要能够提供完整的差分测量功能。这一功能的实现为仪器采样门电路进行升级换代提供了可能。目前差分测量程序已经加在最新版的程序中。

5.2.5 平均测量模式设计

在不改变硬件基础上想要提高整个仪器的测量精度，算法优化无疑是一种很好的选择，进行多次测量求平均就是一种常用的方法^[39]。考虑到仪器整体测量速度的要求，我们采取三次平均测量。

针对三次平均侧梁，我们提出两种方案，第一种方案是“DSP6747 下发一次测量命令，FPGA 内部进行三次平均测量”，第二种方案是“DSP 每次都下发一次单端测量命令，FPGA 内部进行单端测量，DSP 进行平均处理”。第一种模式只需要在 FPGA 内部进行修改，这也是最初采用的方案。但是在程序实际测试时发现数据量过大处理增加了测量时间，FPGA 内部测量时序较为复杂，最关键的是 FPGA 芯片处理浮点数据能力不如 DSP，并且需要重新修改控制主板。由此放弃第一种方案，改用方案二。方案二进行单端测量时测量过程采用重复三次“DSP 先发送一次单端-FPGA 完成一次单端”，进行差分测量时测量过程采用“DSP 发送三次 A 通道测量命令-FPGA 完成三次单端 A 通道测量-DSP 发送三次 B 通道测量命令-FPGA 完成三次 B 通道测量命令-DSP 发送三次 A、B 通道测量命令-FPGA 完成三次测量”。测量数据的平均处理由 DSP 完成。这种方案最大的优点是能够匹配硬件，不需要提升现有硬件平台。除此之外，FPGA 内部测量时序也能够得到优化，DSP 完成浮点数的平均运算也比 FPGA 中运算更为合适。缺点就是 DSP 下发命令次数过多。

采用第二种方案需要修改 EMIF 通信模块、通信命令解析、同轴开关切换模块等。控制字的解析如表 5-5 所示，目前平均测量已经加在程序中。

表 5-5 平均测量模式参数含义

位序号	DSP 控制命令含义
0	单端选择通道 1
1	单端选择通道 2
2	单端选择通道 3
3	单端选择通道 4
4	TDR 差分 12 通道
5	TDR 差分 34 通道
6-10	增益通道选择及缩放倍数

10~15	偏置通道选择及偏置位置
-------	-------------

目前综合第一第二种方案，改善了第二种方案：平均模式下单端测量采用一次测量 15000 点数据，存入外部 FIFO 芯片中；差分测量采用接收三次测量命令，每次测量 15000 点数据。差分测量需要下发三次命令的原因是 FIFO 芯片最大存储容量是 16384 位。

5.2.6 ADC 测量控制程序设计

采用新 AD 板、新 DSP、新主板搭建数据采集系统，首先进行无偏置和无增益处理的系统调试。

从取样门输出的信号经过了电荷转移缓冲和前置放大后的输出是一个上升缓慢衰减信号，也就是说信号在取样结束后处于不停的变化之中，如果直接用 ADC 进行采样，将影响到 A/D 转换的精度，因此我们使用采样保持器 AD783 对取样信号进行二次取样后再进行 A/D 转换。考虑到 AD783 的输出需要经过一段时间才能稳定，因此需要 FPGA 进行时间定时，经过一段时间的延迟后再打开 AD9251 的输出使能信号 OEB₋，保证 ADC 采集到最稳定的信号。控制时序如图 5-12 所示。

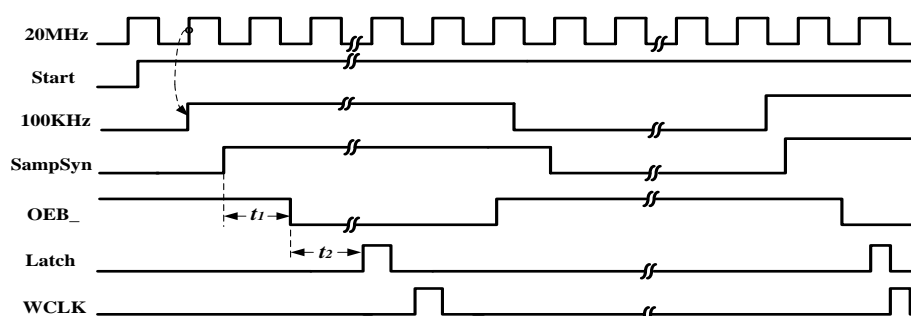


图 5-12 A/D 采样控制时序

图中的 SampSyn 即是 AD783 的保持信号，它相对于 100KHz 有一段延迟，根据实际测量，取样信号稳定时间相对于 SampSyn 的上升沿约为 500ns，即 $t_1=500\text{ns}$ ，因此 FPGA 相对于 SampSyn 定时 10 个 AD 采样时钟后使能 OEB₋ 有效，输出 A/D 转换后数据。由于 AD9251 的 9 级流水线延迟输出，因此在 OEB₋ 有效的 10 个 AD 采样时钟后才锁存数据线上的数据，并通过写时钟 WCLK 将 A/D 转换后的数据写入 FIFO 中暂存，逻辑仿真时序如图 5-13 所示。

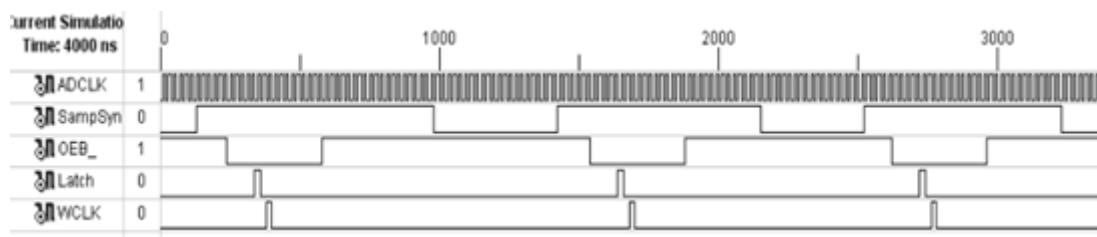


图 5-13 A/D 采样控制仿真时序

实际测量可以采用 AD9251 完成双通道差分平均测量。

偏置部分主要是对于 AD5732 的程序输入控制，图 5-14 是其程序仿真。

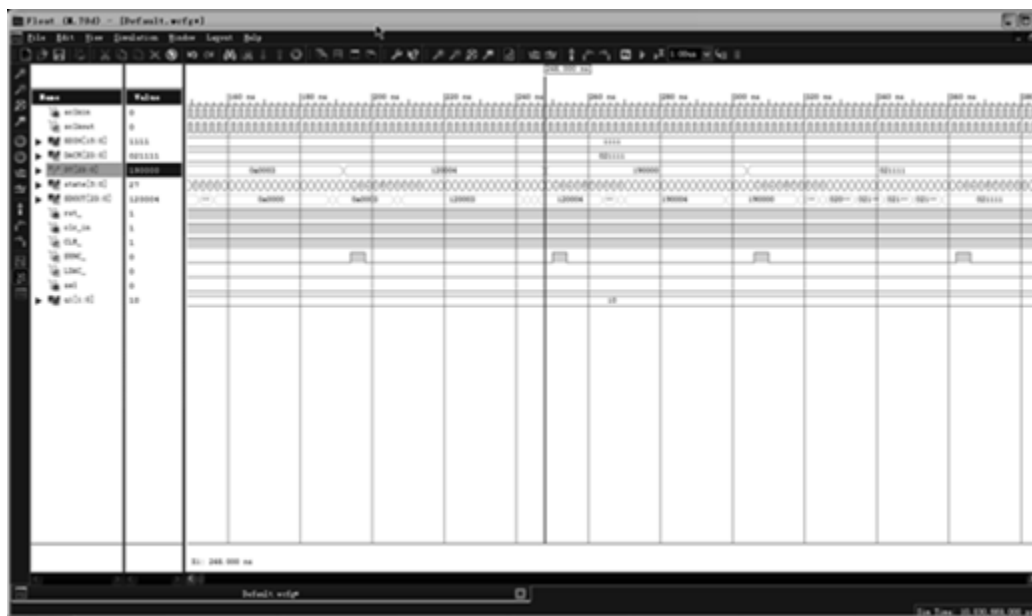


图 5-14 AD5732 程序仿真截图

增益部分主要是对于 AD7244 的程序输入控制，图 5-15 是其程序仿真。

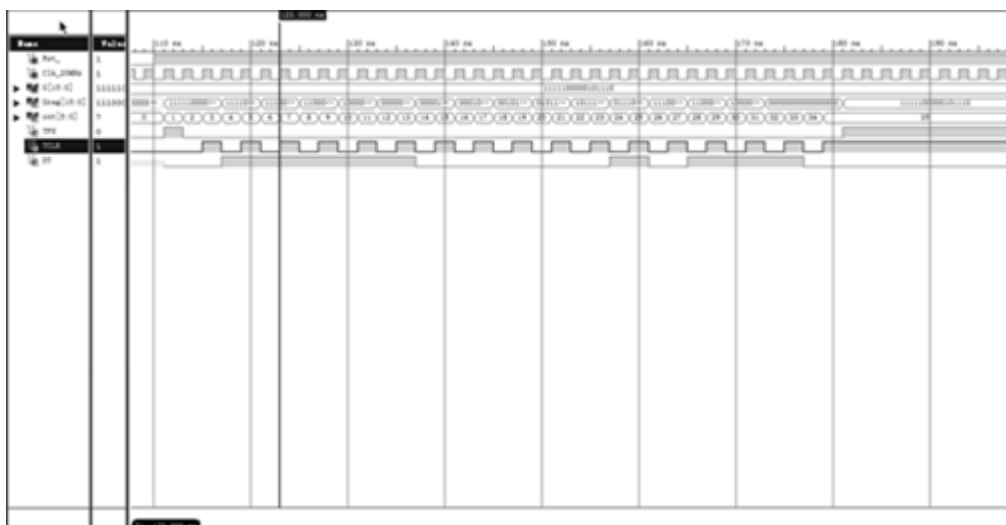


图 5-15 AD7244 程序仿真

5.3 本章小结

本章主要介绍了等效采样系统逻辑设计, 包括对选用的 **FPGA** 芯片的简单介绍, 整个等效采样的控制流程以及相应的各个程序功能模块的详细介绍, 重点介绍了主要完成的不同功能的程序编写。

第六章 测试结果

6.1 测试方案

取样示波器等效采样系统主要有两个目的：一是实现对于高速信号的顺序等效采样功能；二是为了对时域反射波形进行等效采样测量，在此基础上，实现增加偏置功能和增益功能的采样测量。因此，在进行测试方案的设计中，先进行等效采样功能的测试，再进行 TDR 测试，之后进行平均和差分模式的测量，最后进行新加功能的测试。由于是依托在现有的 ZK2010 系统平台上，在更新了 DSP 芯片的基础上，除了重新设计的数据采集板和 FPGA 程序控制发生改变之外，可以沿用现有的射频取样电路板和上层 PC 处理软件，从而快速得到采集结果。

6.1.1 高速信号等效采样测试

取样示波器中利用等效采样来实现对于高速信号的采集。结合所能采用的仪器设备，设计出如图 6-1 所示的测试连接图。取样示波器等效采样中被采样信号的频率跟触发信号的频率必须同步，采用安捷伦 E8257D 的输出 10MHz 信号送给安捷伦 81150 信号源作为同步时钟，E8257D 送出 100MHz 正弦波信号作为去样板信号输入，81150 提供 ADC 的 20MHz 采样时钟，用 20MHz 的采样频率来采集 100MHz 的正弦波信号以验证系统对于高速信号的采集功能。

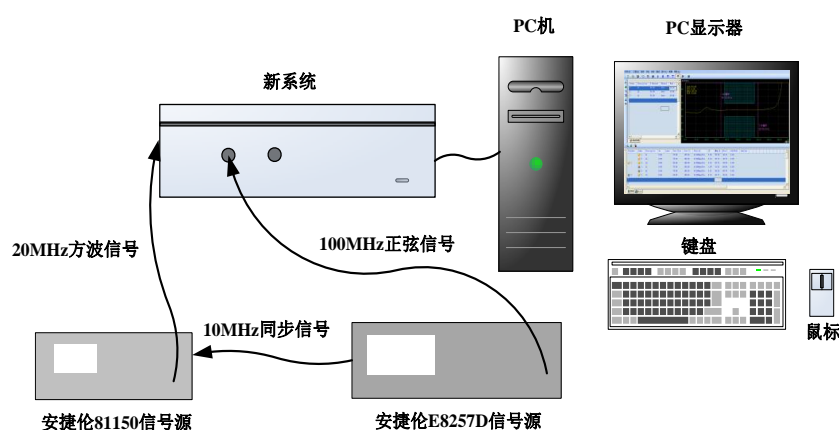


图 6-1 高速信号等效采样测试连接图

测试过程中不接入取样板的脉冲源信号，详细的测试过程如下：

1. PC 软件平台用网口向取样示波器等效采样系统中的 DSP6747 发送测量控制命令，这部分主要由 PC 软件编程人员和 DSP 软件编程人员负责，进行

上位机之间的通讯。

2. DSP6747 获取 PC 软件命令之后进行简单的解析, 转化成 FPGA 的控制命令, 加上预设的其他命令通过 DSP 的 EMIF 接口发送给 FPGA。这部分主要由 DSP 软件编程人员和本人共同完成, 包括对于通信协议的制定以及通信协议的调试。
3. FPGA 在获取 DSP6747 发送的控制命令以及其他测试参数之后, 对控制命令和测试参数进行解析, 转换成控制测量模式、测量通道、采样率设定、采样点数设定对被采集信号进行采集, 同时将采集数据送入 FIFO 中进行存储。在实现所预设的采集之后, 通知 DSP6747 测量结束。
4. DSP6747 在收到 FPGA 传来的测量结束命令之后, 开始从 FIFO 中读取采样数据, 进行后续数据处理, 再将处理后的数据通过网口上传给 PC 软件平台进行波形显示处理。

从测量过程上看, 简化了原系统测量过程。原系统中采用的 PC+ARM+DSP6713+FPGA+ADC 的测量模式精简成 PC+DSP6747+FPGA+ADC, 去除了原系统中的 ARM, 改变了 ADC, 节约了电路板空间以及 ARM 芯片的成本, 提高了测量速度。

从 PC 软件界面截取所测量的 100MHz 正弦波信号波形如图 6-2 所示。

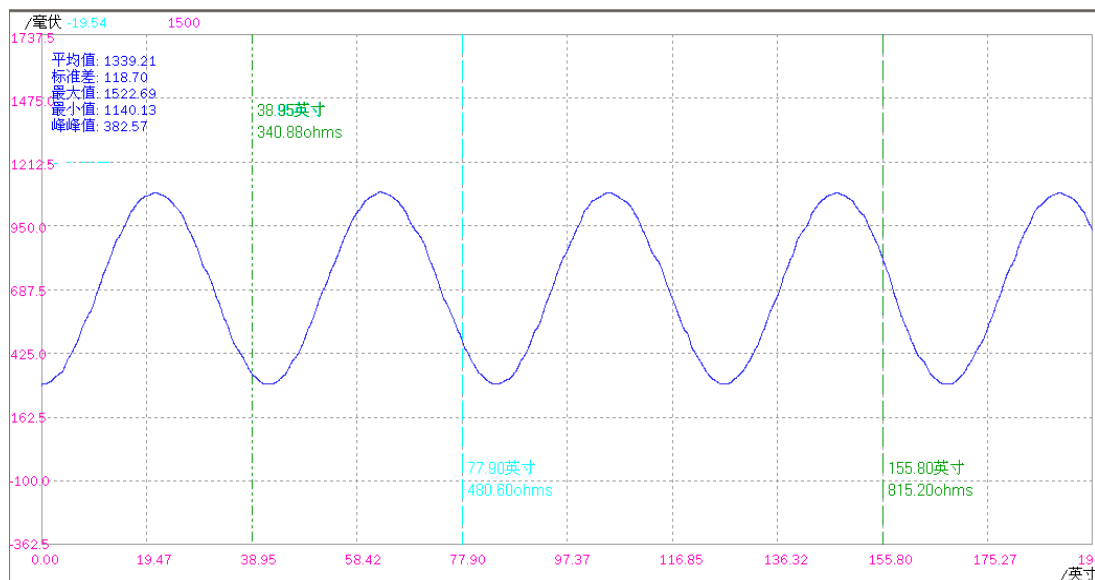


图 6-2 新系统高速信号等效采样波形测试结果

从图中可以看出较好的采集到正弦波信号, 实现了等效采样功能。为了评价采集性能, 从 DSP 中读取出来进行高速信号测量的原始数据, 将数据送入 ADI 公司专门的测试 ADC 性能的测试软件 ADC Analyzer V4.82 对数据进行分析, 得到的测试结

果如图 6-3 所示, SNR 达到了 64.68dB, 说明实现了对 100MHz 的正弦波信号的等效采集。

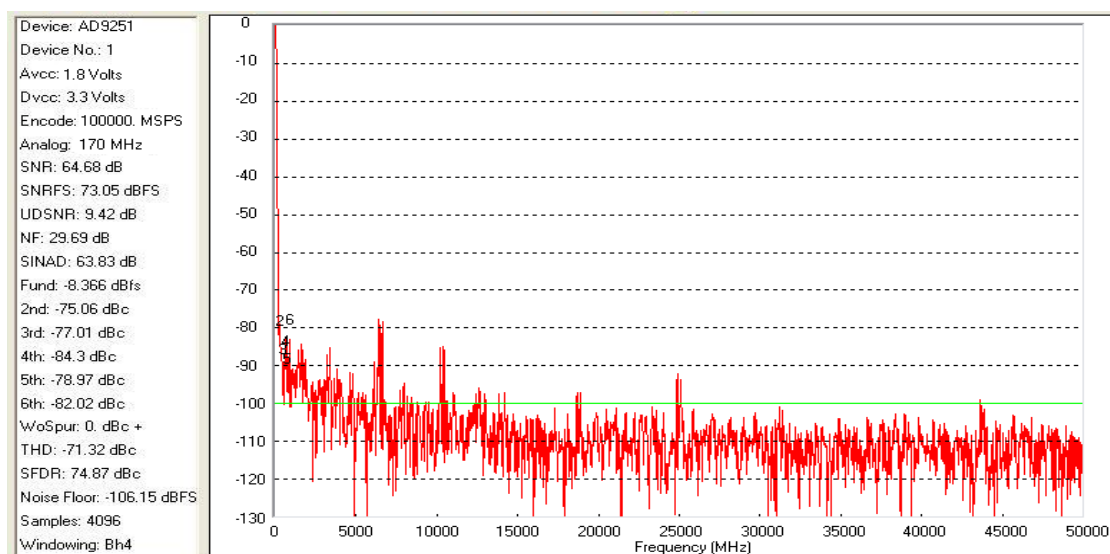


图 6-3 新系统高速信号等效采集性能分析图

6.1.2 时域反射波形测试

将新设计的等效采样系统代替现有系统平台的数据采集电路板, 在现有系统仅能进行单通道非平均模式单端采集的基础上, 新的系统能够不仅能够实现四通道的测量, 还能进行三次平均以及差分测量, 提升了系统的测量功能。时域反射波形测试方案 (TDR 方案) 的连接图如图 6-4 所示。

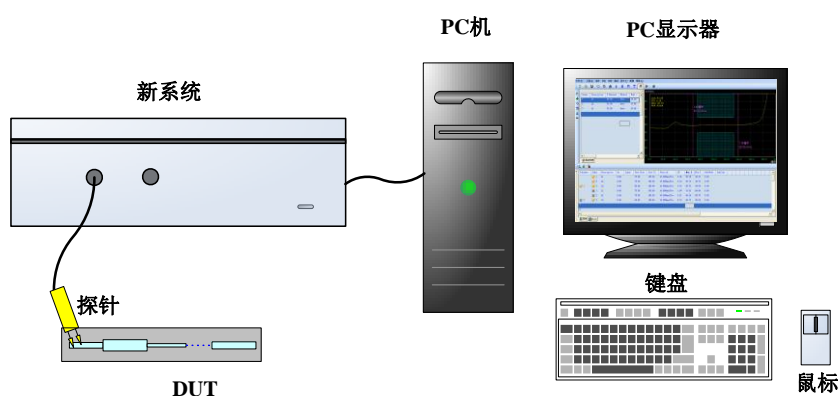


图 6-4 时域反射波形测试连接图

由于进行时域反射需要发射取样脉冲再接收反射波形, 需要将取样脉冲信号接入。时域反射波形测试主要是完成阻抗不连续的测试。为了方便观看测量结果, 外接一段电缆进行测量。采用现有的 PC 软件平台、更新了 DSP 和数据采集电路

的数据采集电路系统以及射频取样前端电路组成的新的测量平台。DSP 获取到采集的原始数据之后不进行任何的滤波处理送入 PC 软件中进行简单的滤波显示，其测试结果如图 6-5 所示，PC 软件暂时只支持单通道波形显示。该图也是后续进行偏置和增益处理的对比基准图。

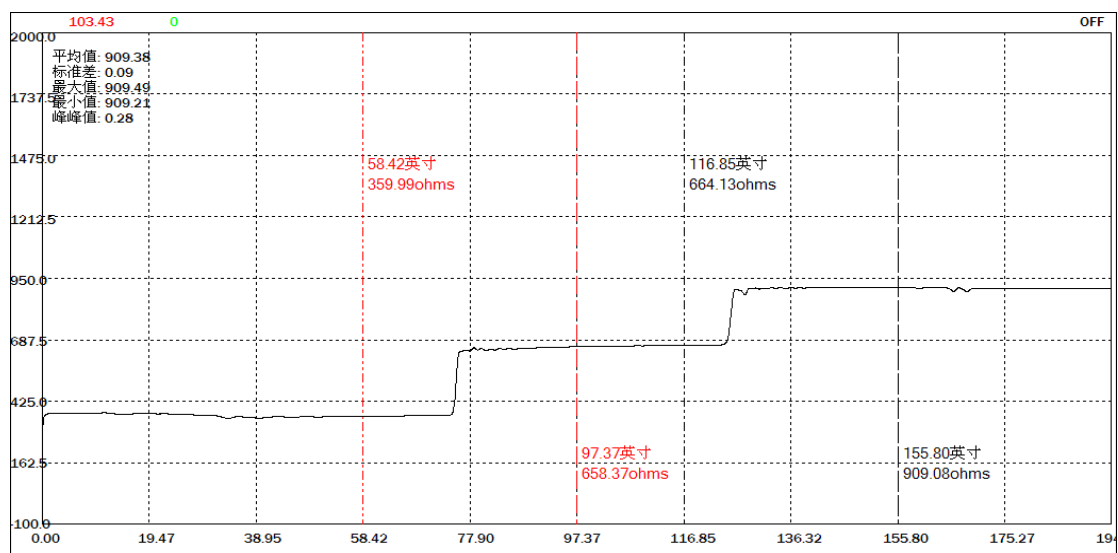


图 6-5 新系统时域反射波形测试结果（单通道显示）

图中可以清晰的看到第二个阶跃波形就是外接的电缆，发生阶跃的地方就是电缆连接上系统的地方，通过 PC 软件的计算处理，可以得到时域反射波形测试中要求测量到的反射系数以及阻抗不连续点的位置，从而实现了时域反射波形测量的功能。图中从测试波形也可以看出采集的数据较为平稳，采集效果较好。

为了测量数据采集的性能指标，直接将 100KHz, 400 mV_{P-P} 正弦波信号送入 ADC 中进行采集并从 DSP 中取出原始数据。采用 ADI 公司专门的测试 ADC 性能的测试软件 ADC Analyzer V4.82 对数据进行分析，以获取所设计的 AD9251 所实际测量达到的性能参数，其结果如图 6-6 所示。

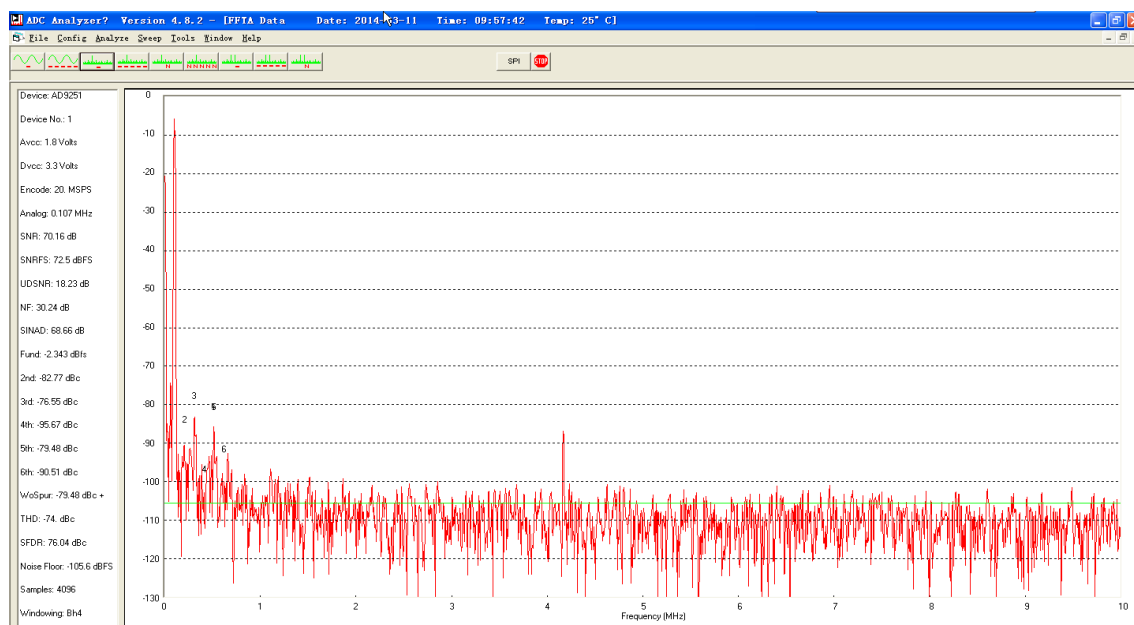


图 6-6 AD9251 采集的原始数据测试结果

图中可以看出所设计的 AD9251 对正弦波进行采集 SNR 达到了 70.16dB，总谐波失真 THD 为 -74dB，取得了较好的采样效果。而采用原先的采用 AD9244 所采集的 SNR 仅为 64.68dB，如图 6-7 所示。

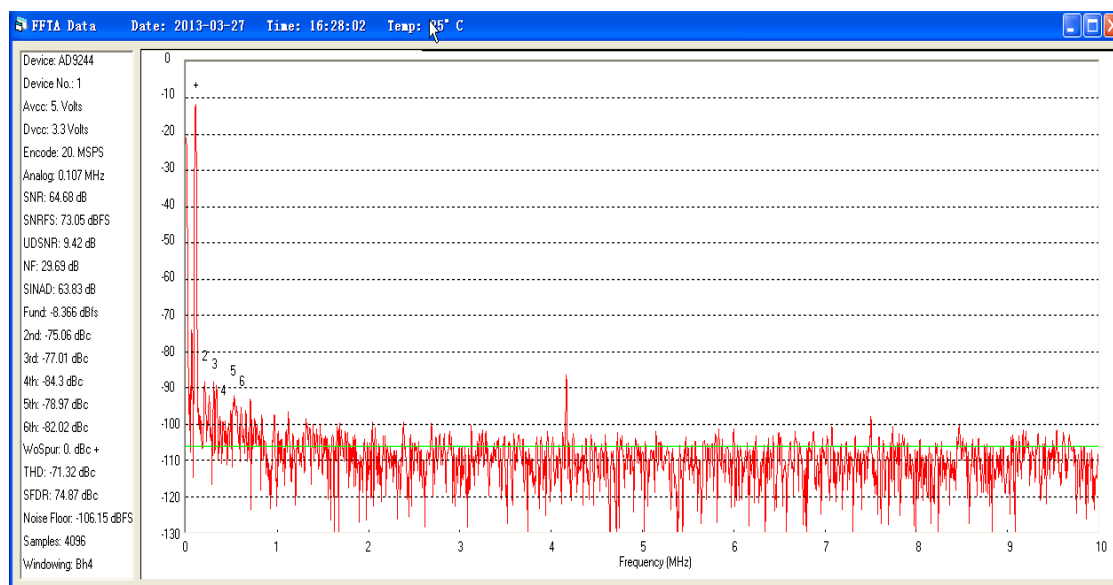


图 6-7 AD9244 采集的原始数据测试结果

对所设计的硬件电路和控制程序进行分析以总结做出较好性能的原因。在硬件设计上，尽管所采用的 AD9251 的输入带宽也高达 700MHz，但是在信号送入 ADC 进行量化之前进行了单端转化为差分信号的处理和差分滤波器的滤波处理。差分

信号对于电路上的其他干扰源有较强的抗干扰特性，所选用的四阶差分滤波器带宽为 10MHz，将取样电路送过来的单端信号中的高频信号进行了低通滤波，保证了采样信号的干净。原先的 AD 板中差分器和 ADC 的共模电压的设计上采用的不是同一个电压，将这两者统一，确保信号差分处理和量化时基准一致。同时，在 FPGA 控制程序中，增加的三次平均测量功能对比之前的一次测量，也提升了采集数据的准确性。

6.1.2.1 差分测试

特性阻抗测试中差分测量是一项十分重要的功能，现有的系统一次只能完成一个通道的测量，无法进行正确的双通道同时测量，这就直接导致差分测量方案无法进行。只有在实现同时完成双通道测量功能之后才能进行差分测试。采用新的数据采集电路板，对这一功能进行了测试。具体的是 PC 软件下发差分测量命令，DSP6747 接收到之后给 FPGA 下发差分测量命令。目前的 DSP 程序和 FPGA 程序是按照四个通道两组差分测量来编写的，尽管当前硬件只需要进行两个通道一组差分测量。差分测试方案中包含了同时测量两个通道的测试方案，如果差分测量功能实现，则必然双通道同时测量功能也已经实现，因此将这两个功能的测试方案合在一起进行测量。

PC 下发差分测量命令，DSP6747 接收到测量命令之后下发给 FPGA，再由 FPGA 进行控制进行测量，其测量结果从 DSP6747 中读取测量数据进行显示，显示波形如图 6-8 所示，图中上面的波形是单端测量的显示波形，下面是差分显示波形。可以看到差分显示波形中在第一个阶梯波形上有一个明显的下降，这正是差分测量数据所要显示的波形，这表示差分测量功能的实现，当然同时测量两个通道的数据的功能也得到了体现。差分测量功能的实现是现有仪器只能实现单端测量功能的重要补充。在实现了差分测量之后，测量仪器才可能在此基础上进行双脉冲源双取样门电路的设计，摆脱现有单脉冲源单取样门的限制。

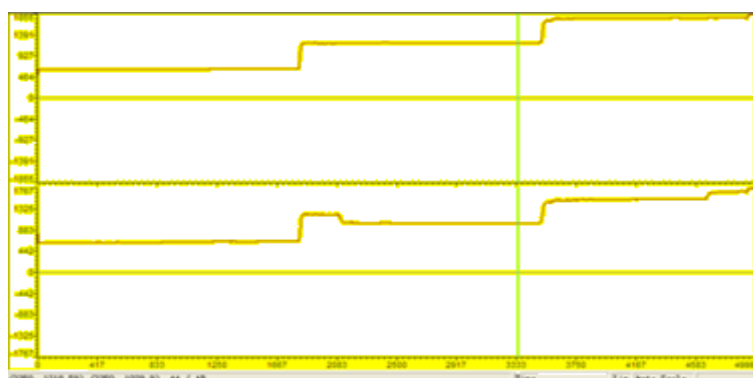


图 6-8 单端显示波形和差分显示波形对比

6.1.2.1 平均测试

现有的 ZK2010 测量数据时只能进行单次测量采集数据，无法进行硬件平均。在不改变硬件平台的前提下，采用多次测量取其平均是提高仪器测量精度的有效手段。对于等效采样系统来说，只关心是否完成多次高质量的采集，后续的数据处理在 DSP 和 PC 平台完成。由于仪器测量速度的要求，不可能进行太多次数的硬件平均测量，而且在后续处理中也可以采用多次对采集数据进行再次平均，所以硬件平均选择为三次，这也与现有的硬件平台外部 FIFO 的存储容量只能接受最高三次测量的数据量有关。

三次平均测量硬件上实现的三次测量之后数据由 DSP6747 和 PC 进行平均处理，达到提高采样效果的目的。从 DSP 中读取三次测量的原始数据进行波形显示，如图 6-9 所示。

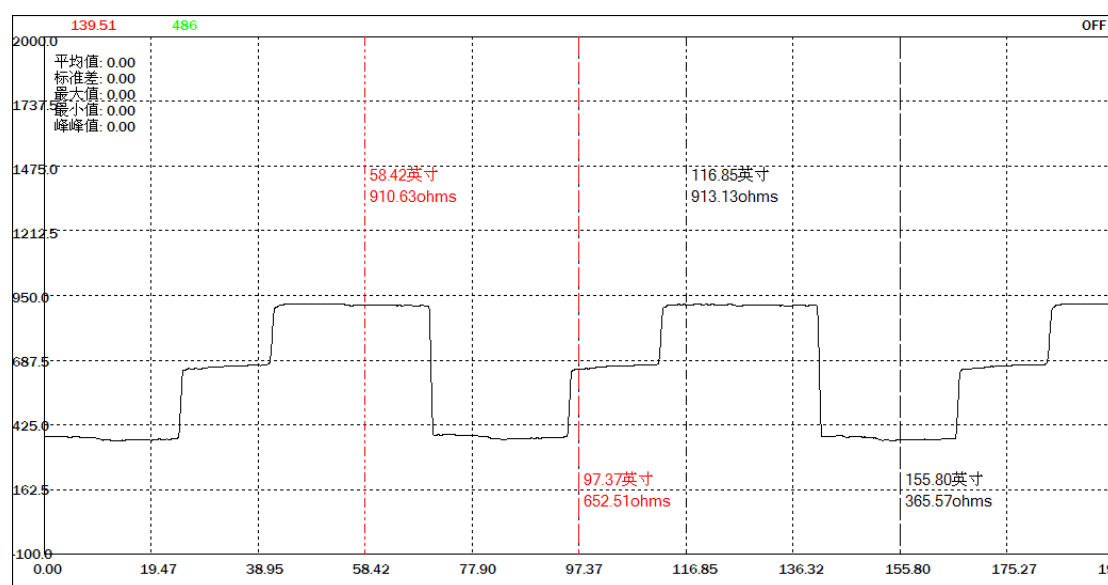


图 6-9 三次测量原始数据

图中可以看到三个较为完整的阶梯波形，没有进行平均测量的测量结果如图 6-5 所示。平均三次测量的功能得到了实现。

6.1.2.3 增益测试

取样信号从取样前端电路送出来之后其幅度大致在 $\pm 1V$ ，但是对于不同的取样电路板来说其输出是有所波动的。增益部分能够对输入采样信号进行放大或缩小处理。根据 ADC 量化的基本原则，输入信号幅度尽量占用 ADC 输入满量程时采样效果最好。通过对输入信号进行适当的缩放，使被采样信号的幅度控制在 ADC 的输入满量程范围，能够更好地对输入信号进行采样，显示的波形信息也更加清

楚。

对取样信号单独进行增益调试，分别进行放大两倍、放大 1.5 倍、放大 1 倍和放大 0.5 倍的测试，数据在 PC 软件上进行显示。如图 6-10、6-11、6-12 所示：

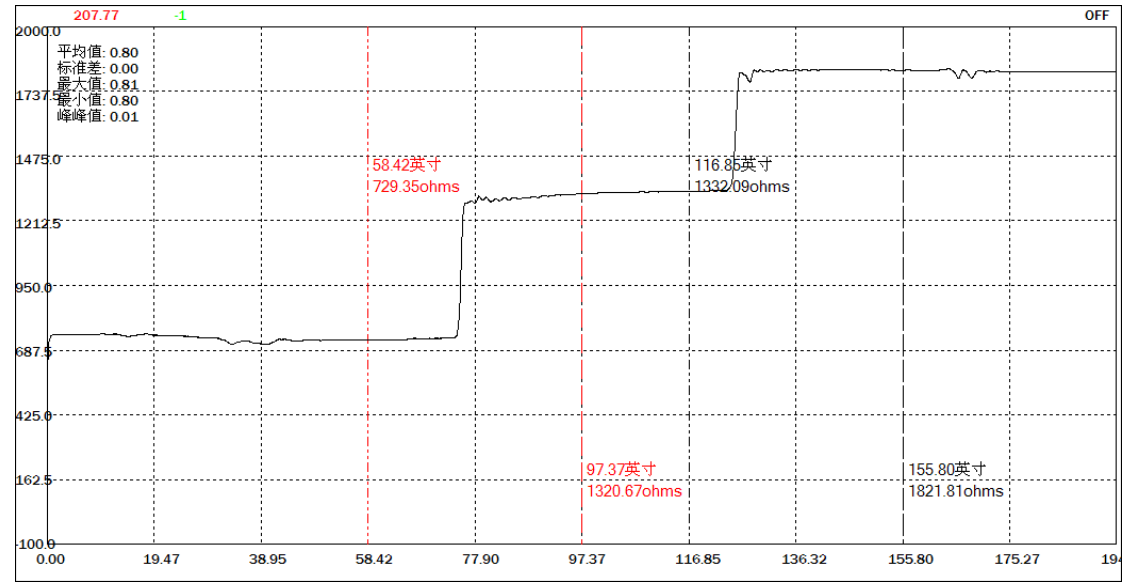


图 6-10 放大 2 倍显示波形

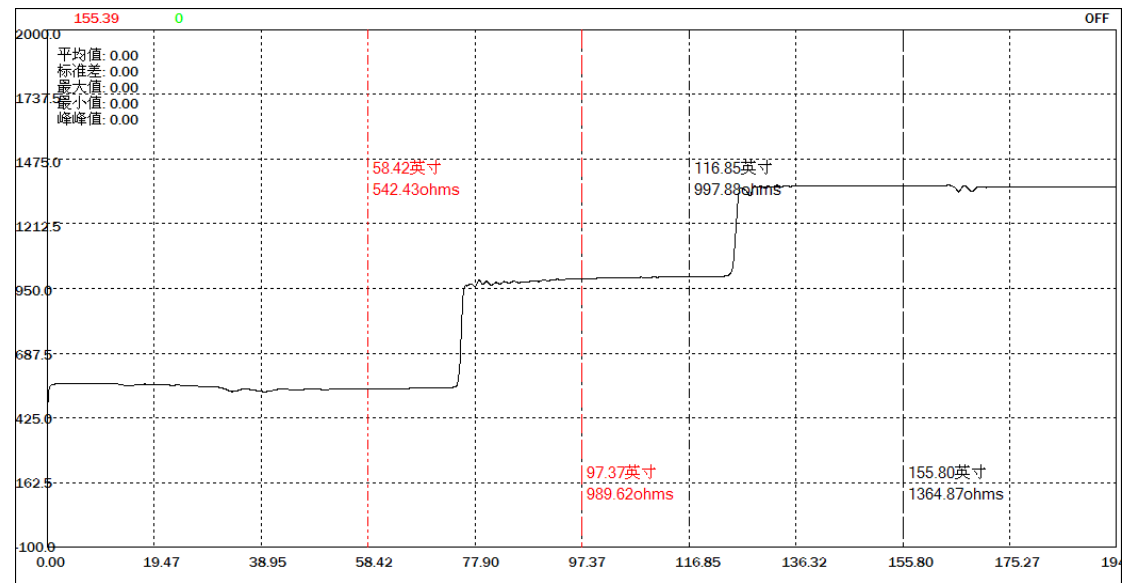


图 6-11 放大 1.5 倍显示波形

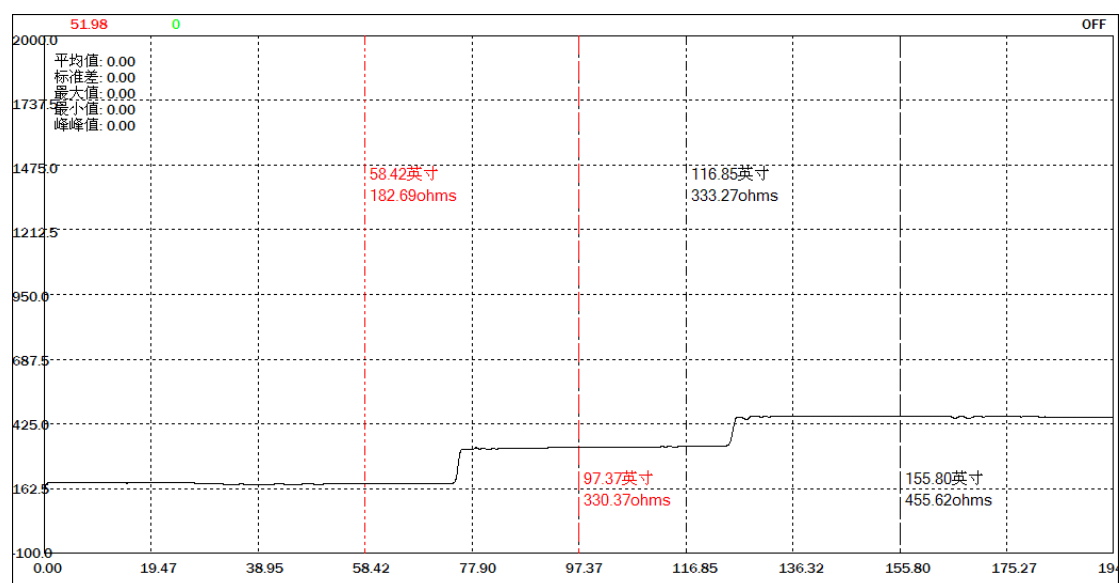


图 6-12 放大 0.5 倍显示波形

6.1.2.4 偏置测试

偏置部分是输入采样信号进行电平的上下平移的处理。在实际测量中取样前端电路输出的信号并不是一个正负范围内对称的信号，这就导致采样的结果并不能够做到一致，需要软件进行校准。并且如果采样信号的范围超出了 ADC 的最大采样范围，则 ADC 无法进行正确的采样。通过 FPGA 来控制 DAC，进行合适的上下平移，使输入信号的范围尽量在 ADC 的量化范围之内，从而完成测量功能。

对取样信号进行单独的偏置处理而不进行缩放之后进行采样，分别控制 DAC 进行偏置+500mV、+200mV、+100mV、-500mV、-200mV、-100mV 的多种偏置值的测试，所得到的的数据显示在 PC 软件上如图 6-13、6-14、6-15、6-16、6-17、6-18 所示：

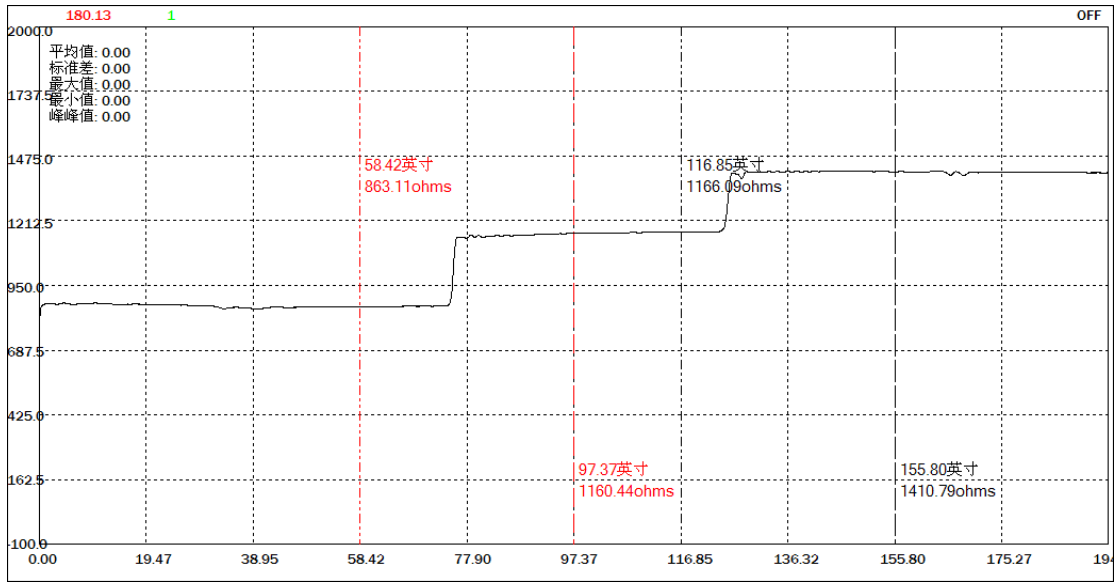


图 6-13 偏置+500mV 显示波形

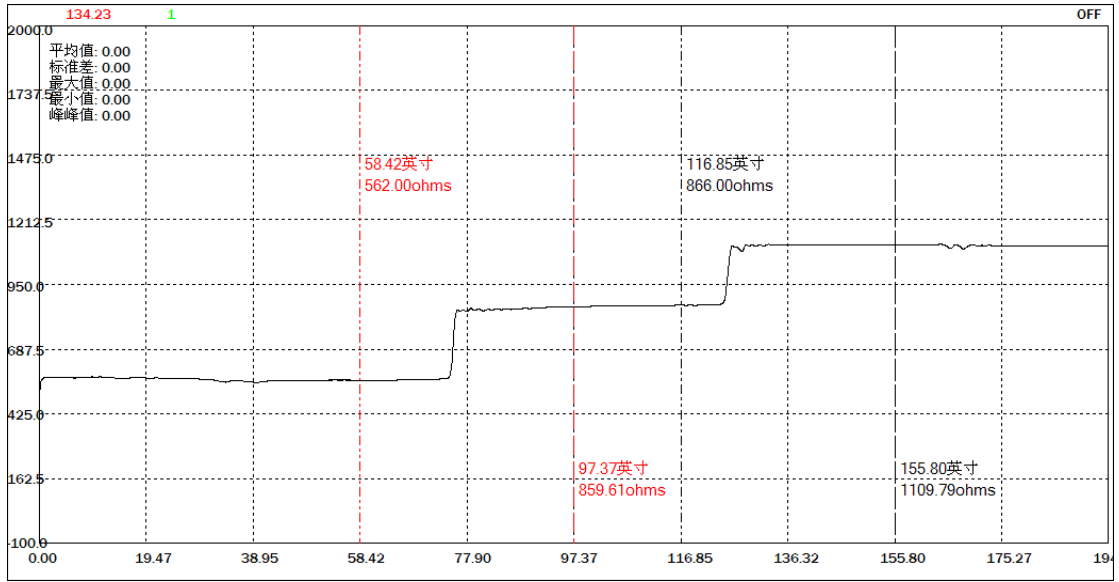


图 6-14 偏置+200mV 显示波形

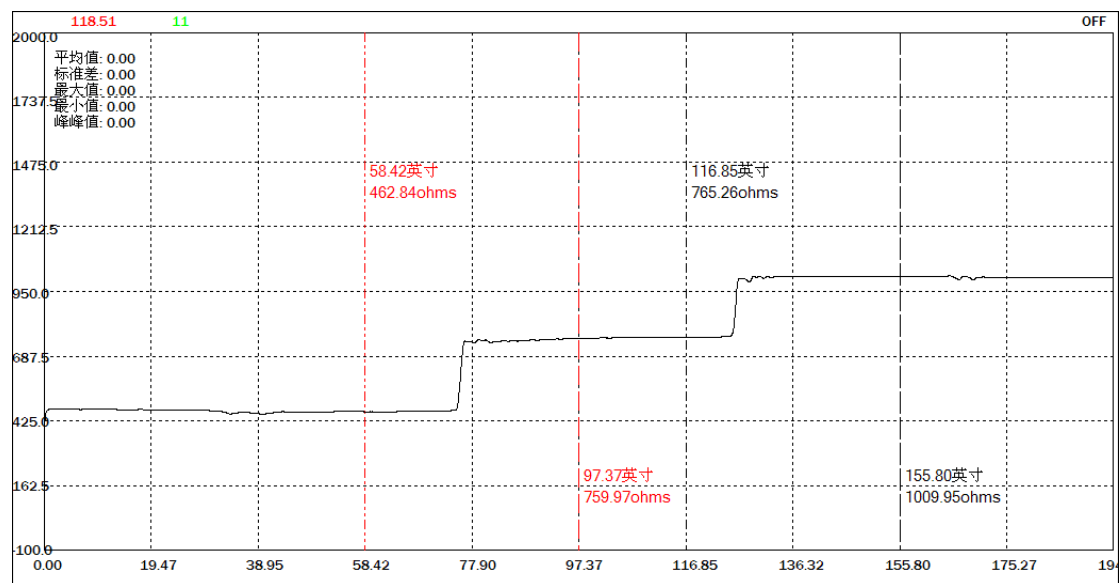


图 6-15 偏置+100mV 显示波形

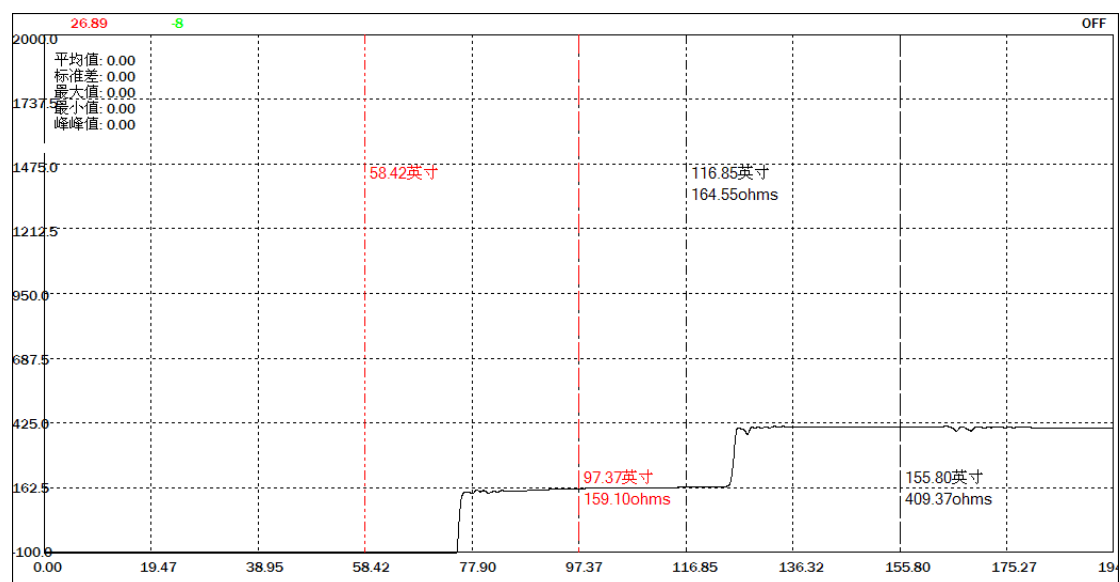


图 6-16 偏置-500mV 显示波形

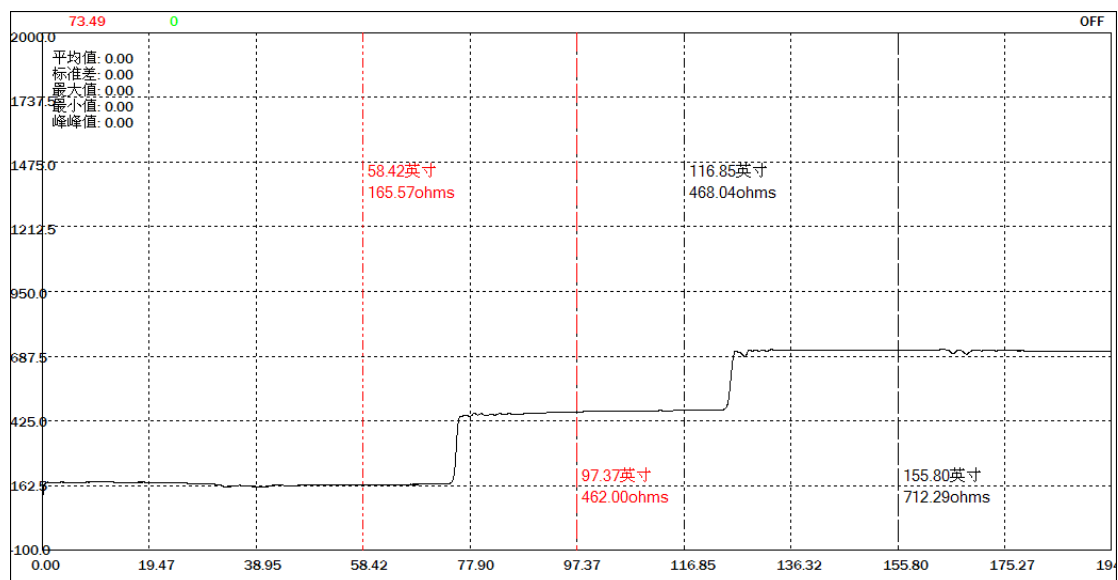


图 6-17 偏置-200mV 显示波形

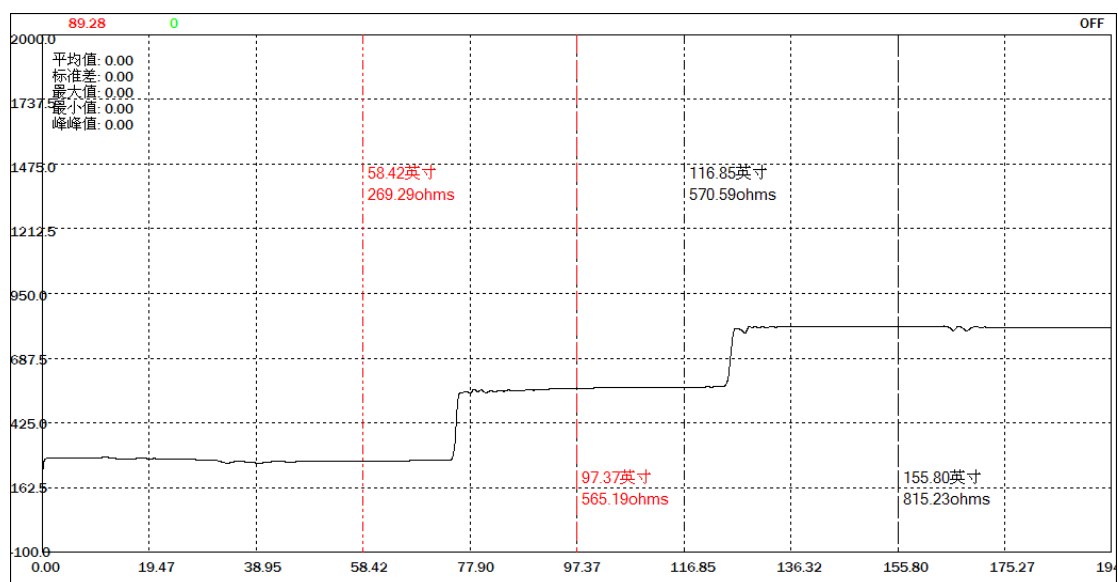


图 6-18 偏置-100mV 显示波形

从图 6-16 中可以看到-500mV 偏置时数据有部分无法显示,这是由于取样板送出来的信号负幅度在加入-500mV 偏置之后超出了 ADC 的采集范围所致。其余各图可以看出较为完好的对输入信号进行了所预设的偏置处理。

6.1.2.5 偏置增益测试

示波器实际使用往往都是偏置功能和增益功能配合使用的。本论文设计的对信号先进行偏置处理再在进行增益处理,之后再送入 ADC 量化。整个的测试方案是通过对比偏置信号和增益信号的不同控制,来实现这一功能。

偏置增益进行共同测试是符合示波器使用习惯的，分别取先偏置+100mV 再将偏置后的信号进行两倍放大处理和先偏置-200mV 在进行 1.5 倍放大，具体显示图形如图 6-19、6-20 所示：

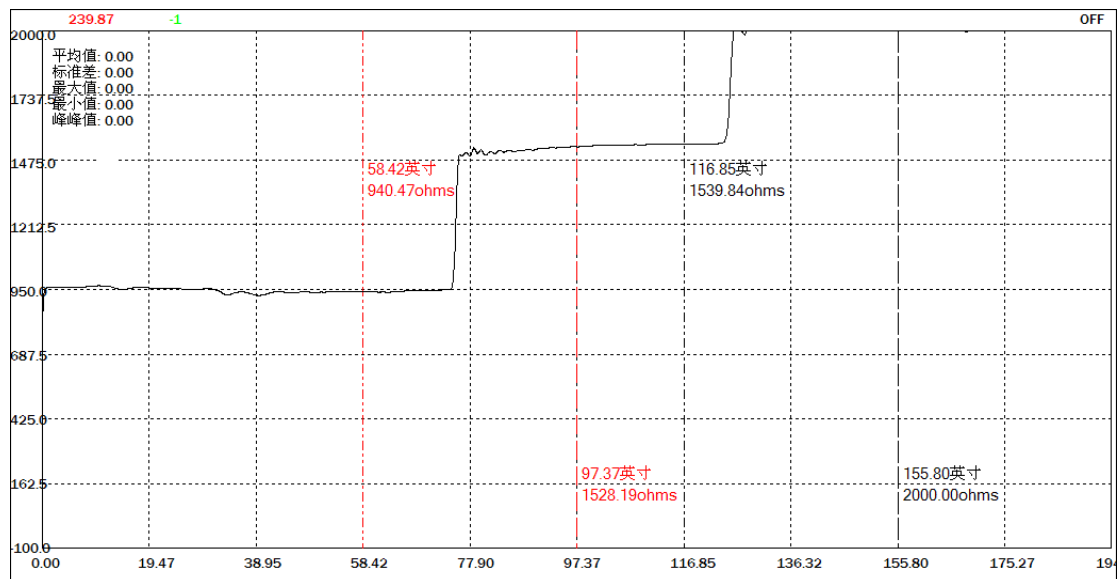


图 6-19 偏置+100 后放大 2 倍显示波形

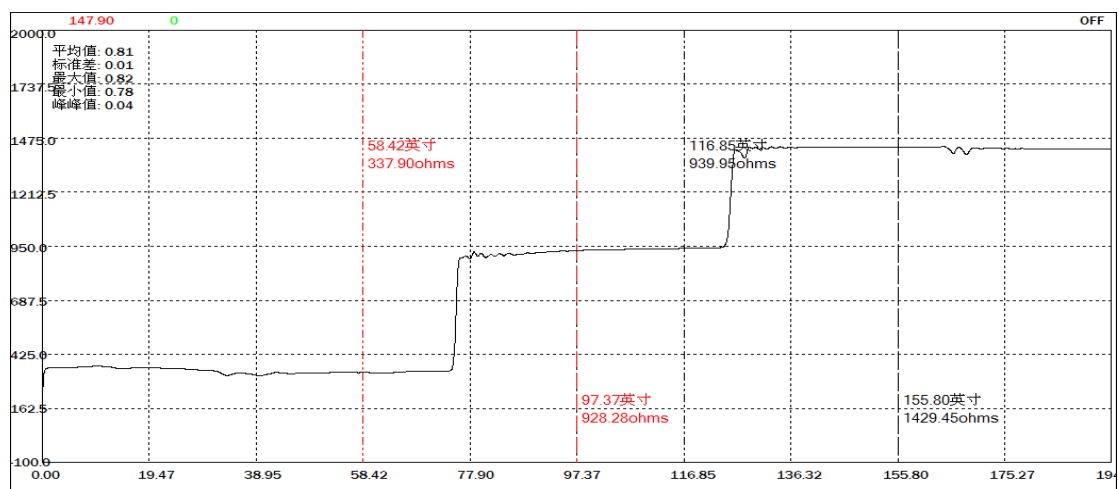


图 6-20 偏置-200 后放大 1.5 倍显示波形

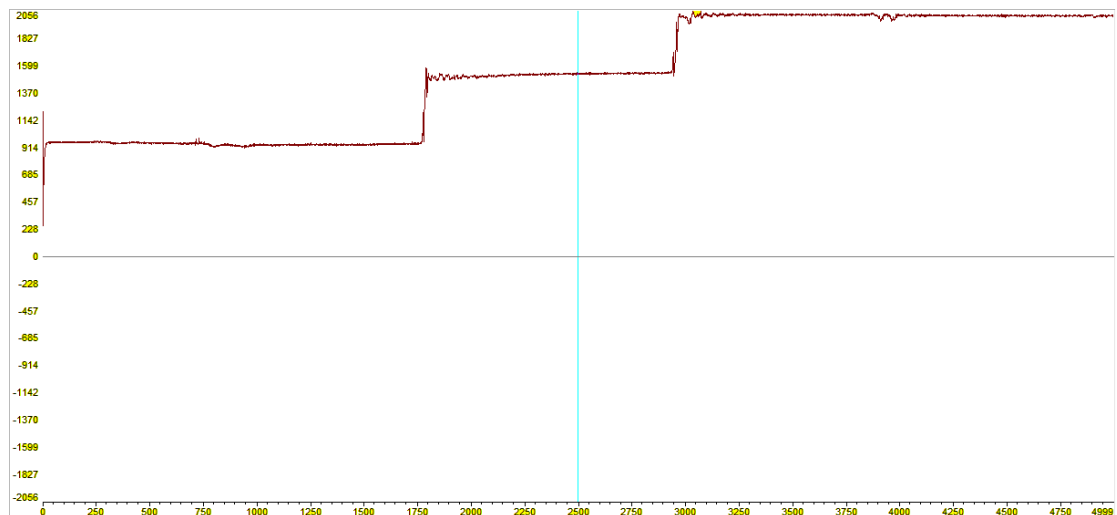


图 6-21 偏置+100 后放大 2 倍 DSP 中显示波形

从图 6-19 中可以看出采集的波形无法进行完整的显示，图 6-21 是从 DSP 中读取该数据，在 DSP 中将该数据进行画图显示表明并未溢出，能够进行正常的采样，只是 PC 软件的显示处理还需要做进一步的改进。

6.2 本章小结

本章对所设计的取样示波器等效采样系统的时域反射波形测试方案进行介绍，在完成时域反射测量功能的情况下，分析了所设计的采集电路的性能指标。然后介绍了新增加的差分测量功能（包括了双通道同时测量功能）、平均测量功能、增益功能、偏置功能以及偏置增益联合处理功能，对所增加的各项功能进行了测试。测试结果表明所设计的这几个功能基本得到了实现，所设计的 ADC 的性能也较高。

第七章 全文总结与展望

7.1 全文总结

在数字信号频率日益飞涨的今天，在集成电路遵循“摩尔定律”的今天，数字电路信号的复杂程度必将加剧，其传输速度也将越来越快，这就对测量这些信号的测量仪器提出了更高更苛刻的要求。取样示波器以其高带宽、低成本的优势成为测量这类高速信号的重要选择。现有的 TDR ZK2010 测试平台也采用等效采样的方式完成时域反射波形的测量，取样示波器也采用等效采样的数据采集方式，这就为我们在阻抗测试仪的基础上进行取样示波器的等效采样系统提供了条件。依托于 ZK2010 平台，通过重新设计数据采集电路，增加偏置和增益处理功能，重新编写 FPGA 控制程序，来完成等效采样的目的。

以现有系统作为研究平台，本文中对原系统数据采集电路进行简单的介绍，对其采集功能进行分析，找到现有系统对于新的测量要求的问题，在此基础上，进行了采集电路的重新设计。参考示波器的基本测量功能：偏置功能和增益功能，将这两项功能添加到新的采集电路中去。在完善硬件设计的同时，对 FPGA 控制程序进行了重新编写和完善，修改了采用新 DSP6747 与 FPGA 的 EMIF 联合通信协议，并实现了控制命令和参数的准确下发；改善了现有系统只能进行单通道测量的缺陷，实现了能够单次测量两个通道数据的功能；改善了现有系统只能进行单端测量的局限，在实现了双通道数据测量的基础上，完成了差分测量模式；增加了平均测量模式，以提供实际测量数据供信号处理后端 DSP 和 PC 平台进行优化处理；精简了同轴开关控制，从现有的双通道同轴开关控制的基础上实现了四通道同轴开关的控制；此外，增加的偏置功能和增益功能也完善了阻抗测试仪的功能，这两个功能也可以作为取样示波器测量功能的补充。

7.2 后续工作展望

在改善了现有平台仅能测量单通道、无法进行同时多通道测试的问题，同时，增加的差分测量模式、平均测量、偏置功能和增益功能也完善了测量系统的功能。尽管如此，新的取样脉冲上升沿从现有的 130ps 上升到 70ps，而现有的步进延时的最低分辨率为 10ps，这就导致在实际测量时仅能测到几个样点不能取得较好的结果，需要采用延时更小的延时芯片来实现顺序等效采样所需要的步进时延。新的延时电路已经由后续研发人员进行研究中。

致 谢

岁月如梭，转眼间三年充实的科研学习也将落下帷幕。回顾过去的一千多个日子，这是我人生中一段非常美好的回忆。在此，衷心感谢秦开宇院长和刘强书记给我们提供的教研室平台，也衷心的感谢我的导师马旭飏研究员。他博学多才，见多识广，放眼世界，立足自我，在科研学习中给予我巨大的帮助，使我能够提升自己的科研水平，顺利完成科研任务；在日常生活中熏陶了我们开阔的视野和踏实肯干的精神。

曹勇老师作为我的指导老师为我提供了最好的科研平台，在课题上给予了我最大的支持和帮助。他为人和气，经验丰富，追求卓越的科研态度深深感动了我。不管是科研还是做人，只有不停的追求更好，才能更好地适应当代社会的需求。感谢曹勇老师精心的栽培，让我在硬件电路设计、硬件电路调试、FPGA 程序设计及调试等方面得到了锻炼和提高。

感谢教研室的吴绍炜、阎啸、唐博、金燕华、韩尧、王茜老师，他们在日常科研中的严谨的态度营造了教研室严谨的科研作风，深深的影响了包括我在内的教研室的同学们。

衷心感谢同课题组的兄弟姐妹们，他们是逯彪、李晓恩、孙冬、厉晓梅和杜彬霞，还有我的师弟马腾飞。在完成课题的过程中互相理解、互相支持，作为一个团队共同完成了这个课题。在培养了相互配合的工作氛围的同时，也成为生活的相互关心的朋友。其中特别感谢负责 DSP 上位机程序调试的李晓恩，他在联合调试过程中体现出来的踏实耐心的态度、专业问题的处理都给与我极大的帮助。

衷心感谢我的亲人，正是你们无私的爱才使得我在困难面前无所畏惧，奋勇前行。

衷心感谢电子科技大学，在这里我度过了成长的七年本科和研究生生涯，感谢母校对我的培养和关怀，感谢那些出现在我生命里的每个人。

最后，衷心地感谢评阅本论文的各位专家和学者。

参考文献

- [1] 周英航. PCB 电路板差分阻抗测试技术. 泰克中国
- [2] Tektronix Company. “Sampling Oscilloscope Techniques”. Technique Primer, 47W-7209, October, 1989: 3
- [3] 连丰庆, 秦开宇, 曹勇, 梅领亮. 基于时域反射计的信号采集系统设计[J]. 电子测量技术 2009:46-48
- [4] 刘文生, 李锦林. 取样技术: 原理与应用[M]. 北京: 科学出版社. 1994年:116-119
- [5] 马建明. 数据采集与处理技术[M]. 西安: 西安交通大学出版社, 2006
- [6] Kenton Williston. 数字信号处理权威指南[M]. (杨鸿武 裴东 译). 北京: 人民邮电出版社, 2012, 22-24
- [7] 赵伟. 基于等效采样的数字存储示波器的设计与实现[D]. 西安: 西安电子科技大学. 2012
- [8] Claude Elwood Shannon. “Communication in the Presence of Noise” [J]. Proceedings of the TRE, January 1949: 10-21.
- [9] 高光天. 模数转换器应用技术. ADI 产品应用技术丛书
- [10] 田耘, 徐文波. Xilinx FPGA 开发实用教程[M]. 北京: 清华大学出版社. 2008, 123-125.
- [11] 吕超群. 0_18_mCMOS 高速高精度电流舵 DAC 的研究与设计[D]. 南京: 南京邮电大学. 2013
- [12] 侯永昌. 多通道宽带信号采集处理系统设计与实现[D]. 南京: 南京理工大学. 2013
- [13] 张国礼. 基于随机采样的高速数据采集系统设计[D]. 西安: 西安电子科技大学. 2005
- [14] 赵贻玖, 戴志坚, 王厚军. 基于压缩传感理论的随机等效采样信号的重构[J]. 仪器仪表学报. 2011. Vol.32 No.2
- [15] 王丹. 基于等效采样的高速数据采集系统的设计与实现[D]. 长春: 长春工业大学, 2010:3-4..
- [16] 夏永君. 基于 DSP 的便携式数字测试设备设计[D]. 南京: 南京航空航天大学, 2004
- [17] Tektronix. TDR Impedance Measurements: A Foundation for Signal Integrity. 2005.
- [18] 宋建辉. 基于时域反射原理的电缆测长若干关键技术研究[D]. 哈尔滨: 哈尔滨工业大学, 2010, 22-23
- [19] TDR Test Method Task Group. IPC-TM-650 Test Methods Manual. the Institute for Interconnecting and Packaging Electronic Circuits[J], 2003:23-24
- [20] Analog Devices Company. “14-bit, 40MSPS/65MSPS A/D Converter-AD9244”. C02404, December, 2005.
- [21] Analog Devices Company. “AD8138, Low Distortion Differential ADC Driver”. 2006
- [22] Analog Devices Company. “AD9243, Complete 14-Bit, 3.0 MSPS Monolithic A/D

- Converter”.2002
- [23] Analog Devices Company. “AD9251, 14-Bit, 20 MSPS/40 MSPS/65 MSPS/80 MSPS,1.8 V Dual Analog-to-Digital Converter ”.2009
- [24] Analog Devices Company. “ADG1636,1 Ω Typical On Resistance, ± 5 V, +12 V, +5 V, and +3.3 V Dual SPDT Switches”.2009
- [25] Analog Devices Company. “AD5557, Dual-Current Output, Parallel Input,14-Bit Multiplying DACs with 4-Quadrant Resistors ”.2011
- [26] Analog Devices Company. “AD5732, Complete, Dual, 14-Bit, Serial Input, Unipolar/Bipolar, Voltage Output DACs”.2008
- [27] Analog Devices Company. “ADA4938-2, Ultralow Distortion Differential ADC Driver ”.2009
- [28] Analog Devices Company. “AD600/602, Dual, Low Noise, Wideband Variable Gain Amplifiers ”.2008
- [29] Linear Technology Corporation.“LT6604-10,Dual Very Low Noise, Differential Amplifier and 10MHz Lowpass Filter”.2008
- [30] ON Semiconductor, Termination of ECL Devices with EF (Emitter Follower) OUTPUT Structure. 2007
- [31] On Semiconductor Company. “MC10EP195, MC100EP195 3.3V ECL Programmable Delay Chip”. April, 2003
- [32] 刘韬, 楼兴华. FPGA数字电子系统设计与开发实例导航.北京: 人民邮电出版社, 2005
- [33] Clive “Max” Maxfield .FPGA权威指南[M].(杜生海 译).北京: 人民邮电出版社, 2012
- [34] 何宾.FPGA数字信号处理实现原理及方法[M].北京: 清华大学出版社, 2010, 5-6
- [35] Xilinx Company. “Spartan-3 FPGA Family Data Sheet”.DS099, December 4, 2009..
- [36] Texas Instruments. “TMS320C6000 DSP External Memory Interface (EMIF) Reference Guide (Rev. C)”. SPRU266C, March, 2005.
- [37] Texas Instruments.TMS320C6745/C6747 DSP Technical Reference Manual, 2011
- [38] 曹勇, 徐地华, 秦开宇, 梅领亮. 一种线路板特性阻抗测试系统和方法. 电子科技大学, 广东正业科技有限公司.2008
- [39] WILLIAM, L. GANS. “The Measurement and Deconvolution of Time Jitter in Equivalent-Time Waveform Samplers”[J]. IEEE Transactions on Instrumentation and Measurement, Vol.IM-32, No.1, March 1983: 126-133.