# 简易数字信号传输性能分析仪的设计与制作

## 袁利才 冯 杰

(黄冈师范学院 物理科学与技术学院 湖北 黄州 438000)

摘 要 本文提出一种利用 FPGA 和眼图实现在工程上测量数字信号传输性能的一种方案; 重点介绍了其结构、算法原理及具体实现原理; 以 ALTER 公司的 EP1C6Q240C8N 为核心实现数字信号的编译码 通过三个 2 阶巴特沃斯低通滤波器和一个伪随机信号发生器用来模拟传输信道 滤波器采用 TI 的 OPA 系列作为核心芯片 加法电路采用的是 THS4001、整形电路采用的是 LM331 利用 FPGA 产生时钟信号、M 序列、伪随机序列和曼彻斯特码 同时它也用于曼彻斯特码同步时钟信号的提取和译码。在本系统中 10MHZ 的伪随机序列用来模拟实际环境中的噪声。通过该系统将原信号进行编码、传输以及解调得到解调信号。实现了一个简单的数字传输性能分析仪的设计与制作 最终测量正确的眼图 达到预期的效果。

关键词 FPGA; 眼图;滤波器; 曼彻斯特码

中图分类号 TP216 文献标识码 A 文章编号 1003-8078(2011)06-0072-03

收稿日期 2011-10-13 **doi** 10.3969/j.issn.1003 - 8078.2011.06.21

作者简介 袁利才 男 黄冈师范学院物理科学与技术学院学生.

基金项目 黄冈师范学院大学生创新项目(SY201025)

## Design and construction of the simple digital signal transmission performance analyzer

#### YUAN Li-cai, FENG Jie

(College of Physics and Technology, Huanggang Normal University, Huangzhou 438000, Hubei, China)

Abstract The article proposes an approach to implement the measurement of the digital signal transmission performance on the project by using FPGA and the eye pattern, which mainly introduces its structure, the algorithm and the detailed principle of the implementation. Encoding and decoding the digital signal is based on EP1C6Q240C8N of ALTER company. By using three 2-order Butterworth low-pass filters and a pseudo-random signal generator to simulate the transmission channel. The filters use TI's OPA842 as the core chips. The addition circuit is THS4001. The shaping circuit uses LM331. The clock signal, M series, pseudo-random sequence and Manchester code are generated by FPGA, it's also used to recover the synchronous clock signal from Manchester code and decode at the same time. The 10MHZ pseudo-random sequence simulates the actual environment noise in the system. The system can encode the original signal, transmit it and get the demodulated signal finally, which implements the design and production of a simple digital transmission performance analyzer and ultimately measure the correct eye pattern.

Key words FPGA; eye pattern; filter; Manchester Encoding

随着数字化发展时代的到来,FPGA 在数字领域已经成为工程技术的一个重要组成部分,日益增长的应用也使得它成为工程技术的一个新的研究热点,呈现出巨大的市场需求。目前,许多工业部门正在研发高速的 FPGA 项目,因此在数字化领域成为热点研发的课题,为国防和工业开辟了新的台阶。本文主要介绍 FPGA 在数字化领域测量眼图的课题。

## 1 简易数字信号传输性能分析仪的任务描述

(1)设计数字信号和伪随机信号均为 M 序列 根据它

们的特征多项式  $f_1(x) = 1 + x^2 + x^3 + x^4 + x^8$ ;  $f_2(x) = 1 + x + x^4 + x^5 + x^{12}$  及曼彻斯特编码。

- (2)设计三个低通滤波器 "用来模拟传输信道的幅频特性;每个滤波器带外衰减不少于 40dB/十倍频程;三个滤波器的截止频率分别为 100kHz、200kHz、500kHz ,滤波器的通带增益 AF 在 0.2~4.0 范围内可调。
- (3) 要求数字信号分析电路能从 V2a 中提取同步信号 V4 syn 并输出;同时,利用所提取的同步信号 V4 syn 进行同步,改进数字信号分析电路,在尽量低的信噪

比下能从 V2a 中提取同步信号 V4 - syn 并正确显示 V2a 的信号眼图; 如图 1 所示。

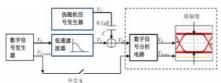


图 1 简易数字信号传输性能分析仪框图

## 2 简易数字信号传输性能分析仪的实现方法

#### 2.1 简易数字信号传输性能分析仪的结构设计

如图 2 所示 以专用 FPGA 芯片 EP1C6Q240C8N 为控制核心 外接电路而构成的数字信号传输性能分析仪,EP1C6Q240C8N 产生频率为 10MHZ 的伪随机信号 V3 频率在  $10 \sim 100$ kHZ 范围内的数字信号 相应的曼彻斯特编码同步时钟信号 ,且按每 10kHZ 步进可调; $10 \sim 100$ kHz 范围内的数字信号或曼彻斯特编码经过低通滤波网络 ,滤去高次谐波。

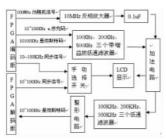


图 2 系统结构图

伪随机信号与数字信号经加法器叠加 输出的信号经过低通滤波网络 ,得到有效正弦波信号。信号一方面送往模拟示波器 Y 通道 ,另一方面信号经过整形电路送往以 EDA 芯片为控制核心的电路进行解码 ,并产生相应的自同步时钟信号;自同步时钟信号或外同步时钟信号送往示波器的 X 通道 ,从而在示波器上观测信号眼图 ,以此来测量干扰信号的强弱。

#### 2.2 带增益的低通滤波器模块

由有源器件和无源元件 RC 低通滤波电路构成:

(1) 通带增益: 当 f 为选择频率时 通带内的增益为:

$$A_F = -\frac{R4}{R5}$$

(2) 通带截止频率: 根据原理图可得截止频率:

$$f_0 = \frac{1}{2\pi \sqrt{C_1 C_2 R_1 R_3}}$$

(3) 对于二阶低通滤波器其归一化函数:

$$A_u(S_L) = \frac{A_{up}}{S^2 + \frac{1}{Q}S_L + 1}$$

二阶有源滤波电路可以使输出电压在高频段以更快的速率下降 滤波效果得到改善 二阶 LPF 的电路图如图 3 所示:

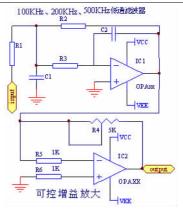


图 3 滤波器原理图

A. f = 100KHz 低通滤波器时:

$$C_1 = \ln F$$
;  $C_2 = 2.76nF$ ;  
 $R_1 = R_2 = 1.37k\Omega$ ;  $R_3 = 684.9\Omega$ 

B. f = 200KHz 低通滤波器时:

$$C_1 = 100pF$$
;  $C_2 = 266.7pF$ ;  
 $R_1 = R_2 = 6.89k\Omega$ ;  $R_3 = 3.45\Omega$ 

C. f = 500 KHz 低通滤波器时:

$$C_1 = 100pF$$
;  $C_2 = 266.7F$ ;  
 $R_1 = R_2 = 2.76k\Omega$ ;  $R_3 = 1.38\Omega$ 

所以: 三个滤波器在超过 fc 时 ,幅频特性以 -40~dB/十倍 频的速率下降。

#### 2.3 TTL 调幅电路及加法电路模块设计

简易数字信号传输性能分析仪系统中的 FPGA 编码产生 10MHz 频率的伪随机码 TTL 电平 ,电平幅值3.3V ,电压不高 ,故采用电位器来实现 TTL 电平信号调节。

在简易数字信号传输性能分析仪中加法器电路模块,由于经编码的数字信号为 TTL 电平信号,在经带增益滤波放大 0.2~4.0 倍后输出较高的电平信号,又因为伪随机码的最高频率是 10MHz; 所以我们选择 T I 公司 ± 15V 双电源供电的 THS4001 超高速低功耗、低噪声、漂移小的运放来实现参数指标。

## 2.4 整形电路模块

此电路主要将模拟信号转化成为数字信号以便 FP-GA 分析。因为曼彻斯特编码经过低通滤波、加燥、滤噪等前级电路 信号变得很不稳定,对 FPGA 解码输入信号的检测容易产生各种错误,为了能够准确地分析信号,我们采用 LM311 比较器,将经过比较电路后的信号传送给FPGA。 LM311 比较器具有很高的灵活性,能工作于 25 到30V 的单电源或 ± 5V 的双电源,输出电压可以驱动以VCC~ VEE 电压为参考的负载,可以灵活驱动 DTL、RTL、TTL 或 MOS 管。本系统电路以 3.3V 为参考电压,最后比较输出 0~TTL 电平驱动 TTL 门电路。

## 3 FPGA 编解码设计实现方法

#### 3.1 FPGA 编码模块

A. 10MHZ 的伪随机序列:由 40MHZ 晶振经过 4分

#### 频得到对应的码元;

- B. 10~100KHZ的时钟信号;
- C. 10~100KHZ的m序列(8位) (见图4)
- D. 10~1000KHZ 的曼彻斯特码

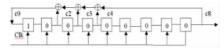


图 4 八位随机序列产生电路

如图 5 所示 ,当 m 序列为高电平时 ,曼彻斯特码等于 clk。当 m 序列为低电平时 ,曼彻斯特码与 clk 相反。其 时序电路如图 6 所示:

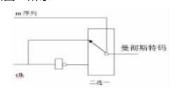


图 5 曼彻斯特码产生电路

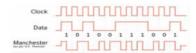


图 6 曼彻斯特编码时序图

设 clk 的周期为 2T ,观测易知: 曼彻斯特码高电平维持时间有两种 T 和 2T; 低电平维持时间亦如此。

#### 3.2 FPGA 时钟提取电路和解码电路

3.2.1 同步时钟的提取原理 时钟提取的整体思路 是 实时的采用 10MHZ 时钟在曼彻斯特码维持高电平时进行记数 在记数过程中 不断的比较前后计数值并取其较大者。将计数结果转化为时间记为 2T 对信号进行四倍频 得到周期为 T/2 的时钟信号; 最后将该时钟信号 2 分频就可得到周期为 T 的同步时钟信号 CLK; 如图 7 所示:

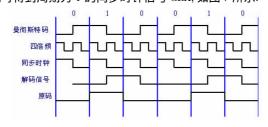


图 7 同步时钟提取原理

3.2.2 FPGA 解码实现方法 同步时钟信号的提取在理论分析与计算中已提取 在同步时钟得到之后 ,曼彻斯特码的解码就通过简单逻辑电路加以控制即可解码。 具体方法是: 在同步时钟为高电平时维持曼彻斯特码电平不变 ,而同步时钟下降沿来临之际 ,将曼彻斯特码电平取反 ,如图 8 所示。

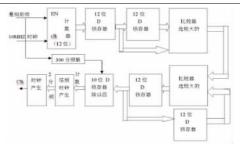


图 8 曼彻斯特译码电路

## 4 测试结果

电路系统板测试结果表明: 数字信号 m 序列信号频率在  $10 \sim 100 \text{KHZ}$  范围内步进可调,输出幅值为 100 mvTTL 频率相对误差为 0.5% 不大于 1%; 测得低通滤波器在 10 倍频程衰减大于 50 db ,截止频率的相对误差小于 8% ,带通增益在  $0.2 \sim 4$  范围内可调; 测得伪随机信号序列的频率误差小于 1%; 在频率为 100 KHz 时提取同步信号测量的眼图如图 9 所示; 测试结果达到了设计的要求。

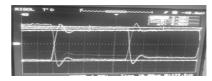


图 9 提取同步信号时测量的眼图

本系统较好地达到了课题预期的要求。系统合理地选择了利用 FPGA 产生 M 序列伪随机信号的方案 ,并利用无增益低通滤波器搭配增益可调放大器的设计实现增益可调功能; 幅值测试误差小 ,频率的测量也达到系统要求的精度和分辨率 频率的稳定度很好 ,示波器显示的眼图标准 ,并在 LCD 上显示; 测量数据的误差都到达要求。使得该系统还具备了灵活性好、易于调节等优点 ,大大增加了系统的实用性。

#### 参考文献:

- [1] 程佩青. 数字信号处理[M]. 北京: 清华大学出版社 2006.
- [2] 童诗白,华成英.模拟电子技术基础[M].北京:高等教育出版社,2006.
- [3] 樊昌信,曹丽娜.通信原理[M].北京:国防工业出版社 2006.

(张所滨)