

# 2007 年 C 题 数字存储示波器

本题设计一个数字存储示波器，以 Xilinx 公司 20 万门 FPGA 芯片为核心，辅以必要的外围电路（包括信号调理、采样保持、内部触发、A/D 转换、D/A 转换和 I/O 模块），利用 VHDL 语言编程，实现了任意波形

## 数字存储示波器

### 摘要

本题设计一个数字存储示波器，以 Xilinx 公司 20 万门 FPGA 芯片为核心，辅以必要的外围电路（包括信号调理、采样保持、内部触发、A/D 转换、D/A 转换和 I/O 模块），利用 VHDL 语言编程，实现了任意波形的单次触发、连续触发和存储回放功能，并按要求进行了垂直灵敏度和扫描速度的挡位设置。信号采集时，将外部输入信号经信号调理模块调节到 A/D 电路输入范围，经 A/D 转换后送入 FPGA 内部的双口 RAM 进行高速缓存，并将结果通过 D/A 转换送给通用示波器进行显示，完成了对中、低频信号的实时采样和高频信号的等效采样和数据存储回放。经测试，系统整体指标良好，垂直灵敏度和扫描速度等各项指标均达到设计要求。

关键词：FPGA 实时采样 等效采样

#### 一、方案选择与论证

数字存储示波器系统由信号调理电路、采样保持电路、触发电路、A/D、D/A、X 输出电路、Y 输出电路、控制处理器等组成。

方案一：采用 80C51 单片机为控制核心，其系统框图如图 1。对输入信号进行放大或衰减后，用外接触发电路产生触发信号，通过 A/D 转换将模拟信号转换成数字信号，再通过单片机将数据锁存至外部 RAM，然后由单片机控制将数据送至 D/A 输出。

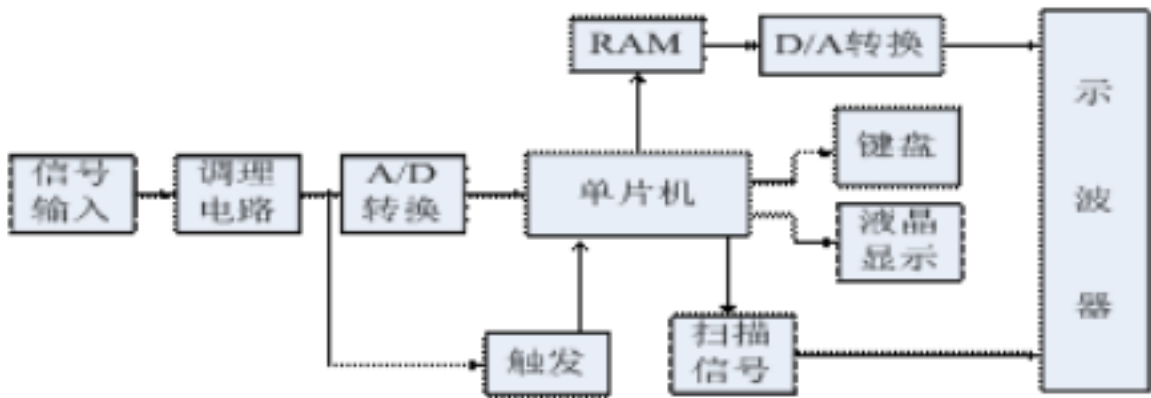


图 1 方案一系统框图

这种方案结构较为简洁，但在满足题目的实时采样频率的要求下，A/D 的最高采样速度达 1MHz，由普通单片机直接处理这样速率的数据难以胜任，采用高档单片机甚至采用 DSP 芯片，将大大增加开发的难度。而且目前常用的外接 RAM 芯片时钟周期一般为 40MHz ~ 50MHz，难以达到高速数据存储的要求。

方案二：用 FPGA 可编程逻辑器件作为控制及数据处理的核心，外接触发电路实现触发功能，利用 FPGA 的层次化存储器系统结构，使用 FPGA 内部集成的基本逻辑功能块配置成双端口同步 RAM 对采集信号进行存储，完成设计指标。其系统框图如图 2。

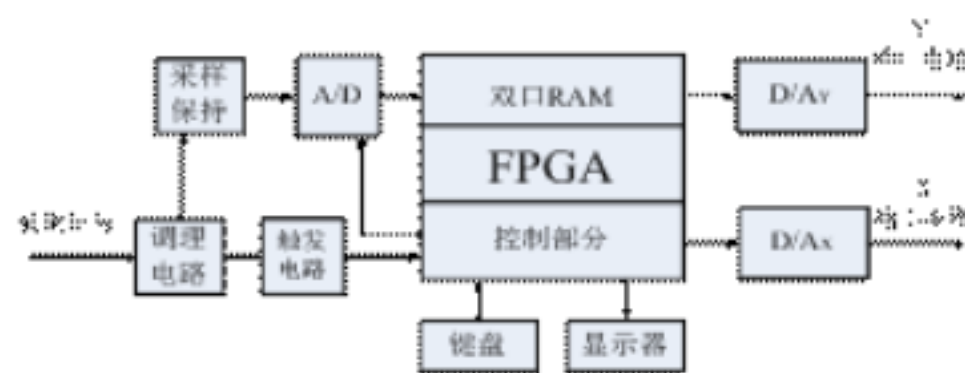


图 2 方案二系统框图

由于 FPGA 可在线编程，因此大大加快了开发速度。电路中的大部分逻辑控制功能都由单片 FPGA 完成，多个功能模块如采样频率控制模块、数据存储模块都集中在单个芯片上，大大简化了外围硬件电路设计，增加了系统的稳定性和可靠性。FPGA 的高速性能比其他控制芯片更适合于高速数据采集和处理，而且使用 FPGA 内部存储模块完成输入信号的量化存储，在存储速度上有着外接 RAM 无法比拟的优势。

综上所述比较可知，方案二既可满足题设基本要求又能充分发挥扩展部分，电路简单，易于控制，所以采用该方案。

## 二、理论分析与计算

### 1、采样方式的选择

设计要求示波器输入频率范围较宽，并且实时采样频率只有 1MHz，因此要采用等效采样和实时采样两种采样方式。实时采样是利用 A/D 时钟对信号直接采样，按照采样定理，采样速率必须高于信号中最高频率的两倍。等效采样是指对 多个信号周期连续采样来复现一个信号波形，采样系统能以扩展的方式复现频率大大超过实时采样频率的信号波形。题目要求最高实时采样速率小于等于 1MSa/s，实时采样通常采取每周期采 20 个点的方法以保证取到一个完整的信号波形。本设计采用 50KHz 作为两种采样方式的分界频率，信号频率低于 50KHz 时采用实时采样方式，当信号频率 50KHz 和 10MHz 之间时采用等效采样方式。题目要求等效采样速率不小于 200 MSa/s，而被测周期信号的最大频率为 10MHz，采一个点所

需间隔的周期数 = 等效采样速率 / 被测周期信号频率，则等效采样时至少需要每 20 个信号周期采样一个点才能实现等效采样数率大于等于 200MHz

## 2、垂直灵敏度分析

设计要求垂直灵敏度分为 1V/div、0.1V/div、2mV/div 三档，垂直刻度为 8 div。A/D 转换器的输入信号电压幅度为 0~4V，当示波器满刻度显示时，被测信号的幅度将分别为： $V_{I1} = 1\text{V/div} \times 8\text{div} = 8\text{V}$ ， $V_{I2} = 0.1\text{V/div} \times 8\text{div} = 0.8\text{V}$ ， $V_{I3} = 2\text{mV/div} \times 8\text{div} = 16\text{mV}$ 。A/D 转换器的满刻度输入值为  $V_{\text{MAX}} = 4\text{V}$ ，程控放大器电路的增益  $A_N = V_{\text{MAX}} / V_{\text{IN}}$ ，其中  $N = 1、2、3$ ，对应于 3 挡不同垂直灵敏度的增益分别为： $A_1 = 4/8 = 0.5$ ； $A_2 = 4/0.8 = 5$ ； $A_3 = 4/0.016 = 250$ 。

从 5 倍增益到 250 倍增益所跨越的增益范围非常大，大跨度增益自动调节是程控增益放大电路设计的一个难点，本系统通过软件编程实现增益的步进，很好的解决了这个问题，具体分析见软件详细设计部分。

## 3、扫描速率分析

A/D 的转换速率取决于被测信号的频率范围，或 DSO 对扫描速度的要求，设计要求扫描速度含 20ms/div、2μs/div、100ns/div 三挡，并且水平显示分辨率大于等于 20 点/div，因此对应的采样速率是 1ms/点、0.1μs/点、5ns/点，即要求 A/D 的等效采样的最高转换速率高于 200MSa/s，题目要求 A/D 的最高转换速率不高于 1MSa/s，设计中采用等效采样的方法来实现 100ns/div、2μs/div 两挡的扫描。

## 三、硬件电路设计

系统硬件连接图如图 3 所示。

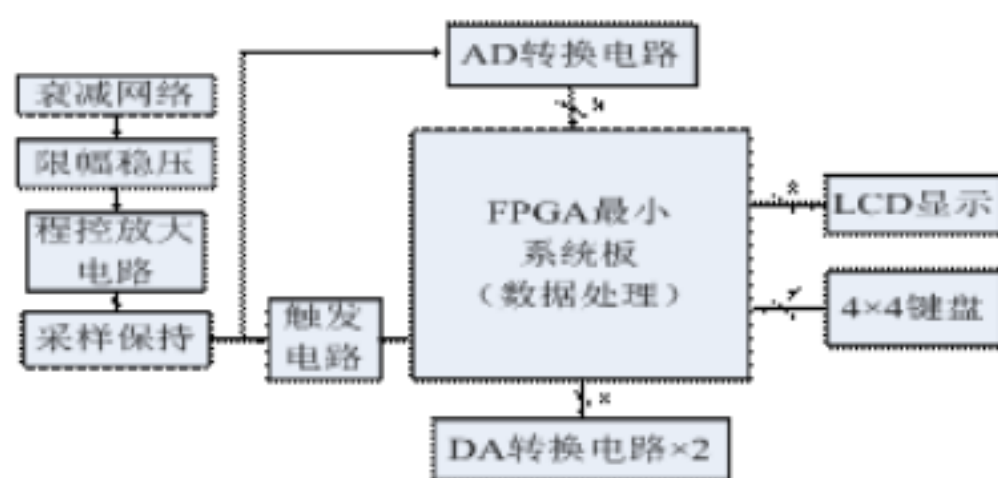


图 3 系统硬件连接图

### 1、FPGA 最小系统板设计

FPGA 最小系统板采用的是 Xilinx 公司 SpartanII 系列的 XC2S200-PQ208 型 20 万门芯片，其配置芯片为 Xilinx 公司的专用配置 PROM 芯片 XCF02S，以实现加电自动配置。核心板采用 5V 输入，板上有两块 LM317 电源芯片分别输出 3.3V 和 2.5V 电压。板上采用 100MHz 有源晶振，通过内部倍频系统工作时钟可



高达 200MHz，满足高速设计要求。核心板 140 只 I/O 口全部引出，非常便于与外围器件的连接及系统的扩展。FPGA 最小系统框图如附录 1 所示。

## 2、信号调理电路设计

AD 转换电路对输入模拟信号的幅度范围有一定的要求，因此被测信号输入 A/D 前需要进行信号调理。信号调理电路组成框图如图 4 所示。

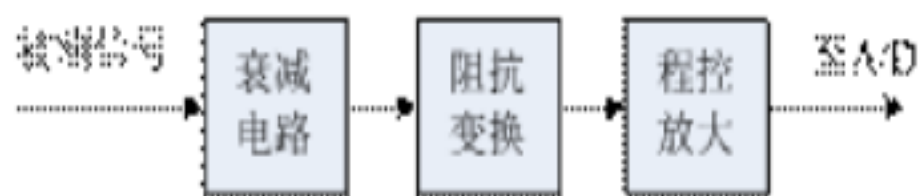


图 4 信号调理电路组成框图

### (1) 衰减电路设计

信号衰减幅度由 FPGA 通过功率驱动芯片 ULN2803 来控制。ULN2803 控制继电器的通断，决定了电阻分压网络的衰减倍数，衰减网络电路原理图如附录 2 所示。

设计任务要求数字示波器的输入阻抗大于  $1\text{M}\Omega$ ，在此电路中设计输入电阻  $R1+R2=1\text{M}\Omega$ ，衰减 10 倍则有： $R1=100\text{K}$ ， $R2=900\text{K}$ 。电容  $C1$ ， $C2$  在衰减器中起补偿作用，以改善频率响应，避免自激。

设计采用 ADI 公司的高性能 FET 输入单电压反馈运算放大器 AD8065 构成电压跟随电路实现阻抗变换，提高衰减电路输出阻抗。同时，为了防止过载时器件的损坏，系统中设计了由四个限幅稳压二极管和电阻构成的过载保护电路，将输入信号电压值限制在  $\pm 2\text{V}$  的范围之间，限幅稳压电路图见附录 3 所示。

### (2) 放大电路设计

程控增益宽带放大电路由增益变化范围线性连续可调的可控增益放大器 AD603 组成。通过 FPGA 结合 8 位 D/A 转换芯片 CA3338E 对两片 AD603 引脚端 1 的电压进行控制，可获得  $-20 \sim +60\text{dB}$  范围的增益，远远大于题目 250 倍的放大要求，两级输出最大电压在 4V 左右。两片 AD603 构成的程控增益控制放大电路如附录 4 所示。

## 3、触发电路设计

数字存储示波器中触发电路的作用是：在满足触发条件时开始对采集的数据按规定的起点地址进行存储和显示。触发电路如附录 5 所示。

高速比较器选用响应时间为 20ns 的高速低功率快速采样保持放大器 LM360。电阻  $R2$ 、 $R3$  用于调节或选择触发电平，分别为  $3\text{K}\Omega$  和  $2\text{K}\Omega$ ，后者为可调电位器，可以在  $0 \sim 2\text{V}$  范围内任意选择触发电平。

## 4、取样保持电路

取样保持芯片选用 AD 公司生产的快速采样保持放大器 AD781。AD781 的快速采样时间为 700ns，满足题目对实时采样速率小于等于 1MSa/s 的要求，采用自校准正结构，具有极小的保持模式误差，保持误差仅为  $0.01 \mu\text{V}/\mu$ 。同时该芯片无需外接元件与外部调整，具有很好的线性和优良的直流和动态性能，十分适用于高速 AD 转换器的前端电路。AD781 的输入信号幅度范围为  $-12\text{V} \sim +12\text{V}$ ，采用  $\pm 12\text{V}$  直流稳压电源供电，内部功能和引脚图如附录 6 所示。

## 5、A/D 转换电路

设计中采用 ADI 公司生产的快速 A/D 转换芯片 AD9224。AD9224 为 28 脚 SOIC 和 SSOP 封装的模/数转换器；内部采用闪烁式 AD 及多级流水线式结构，因而不失码，使用方便、准确度高；在单一 +5V 电源下，它的功耗仅有 376mW，信噪比与失真度为  $\pm 0.7\text{dB}$ ，完全满足设计要求。设计中的参考电压使用内部参考电压，将 SENSE 与 REFCOM 引脚短接，此时电压范围为  $0 \sim 4\text{V}$ 。AD9224 应用电路如附录 7 所示。

为减少 A/D 转换结果的二次谐波，提高信噪比 (SNR)，A/D 芯片前端采用 AD8138 组成信号调理电路将单端信号转换成差分信号输入。该放大器的输入阻抗高达 6M $\Omega$ ，可以直接与输入信号相连从而省略隔离放大器，因而可大大精简了电路结构。AD8138 应用电路如附录 8 所示。

## 6、D/A 转换电路

D/A 部分由一片 14 位高速高精度模数转换芯片 AD9764 和两片 8 位 D/A 转换芯片 CA3338E 组成。

AD9764 用作 D/A<sub>y</sub>，将存储的数字信号转换为模拟信号，从而恢复被测信号。电路设计中的参考电源配置使用内部参考电源，存在于  $V_{\text{OUTA}}$  和  $V_{\text{OUTB}}$  之间的差分电压  $V_{\text{DIFF}}$  通过一个运算放大器 AD8009 转换成单端电压输出，电压输出范围为： $-3.84\text{V} \sim 3.84\text{V}$ 。AD9764 应用电路如附录 9 所示。

设计中一片 CA3338E 对 FPGA 输出的程控放大信号进行数模转换，用于对 AD603 相关引脚的控制，完成程控增益调节功能。另一片 CA3338E 作为 D/A<sub>x</sub> 用于产生相应扫速和幅度的锯齿波扫描电压使被测信号按照设置的时间关系进行显示，为方便设计和安装调试两片 CA3338E 选择相同的设计电路。同时该片芯片完成产生 100kHz 方波校准信号的功能，功能切换通过拨码开关控制。

CA3338E 应用电路图如附录 10 所示。

## 7、直流稳压电源

直流稳压电源部分通过开关电源分别获得  $\pm 12\text{V}$  和 +5V 的电压。其中主控模块 FPGA 3.3V 和 2.5V 的供电，采用两块三端可调稳压器 LM317 得到。LM317 应用电路输出电压  $V_o = 1.25(1 + R_2 / R_1)$ ，式中 1.25 是集成稳压块输出端与调

整端之间的固有参考电压  $V_{REF}$  ,电阻  $R_1$  常取值 120 ~ 240 ,此处选  $R_1$  为 200 ,经计算 ,提供 3.3V 和 2.5V 电压时  $R_2$  分别为 330 和 200 。取样保持电路所需  $\pm 12V$  供电由外接直流稳压电源提供 , A/D 和 D/A 电路的 +5V、-5V 电压分别由电源稳压芯片 MC78M05 和 MC79M05 提供。稳压电源电路原理图如 附录 11、附录 12 所示。

8、键盘和显示部分设计

(1) 本设计采用 4\*4 非编码式结构的键盘 , 矩阵式排列。功能表如表 1 所示。

表 1：4\*4 行列式键盘功能表

BT3 S/div	BT7 V/div	BTB 单次/连续	BTF 启动/停止
BT2 存储	BT6 数值键 3	BTA 数值键 6	BTE 数值键 9
BT1 显示	BT5 数值键 2	BT9 数值键 5	BTD 数值键 8
BT0 数值键 0	BT4 数值键 1	BT8 数值键 4	BTC 数值键 7

为便于将 DSO 快速复位成初始状态 , 设计采用了专用拨码开关按键。

(2) 设计中使用型号为 TS1602 的 16×2 点阵字符行液晶显示器来显示示波器当前状态参数以及测量参数。 TS1602 应用电路如 附录 13 所示。

四、软件设计

1、系统软件流程设计

当系统加电时 , 系统会自动开启仪器较零、较满度程序。当信号输入时 , 系统通过对输入信号频率的测量选择合适的采样方式 , 并利用键盘设置输入来选择 DSO 的显示功能和实现对扫描速度的选择。

系统软件总体流程图如图 5 所示。

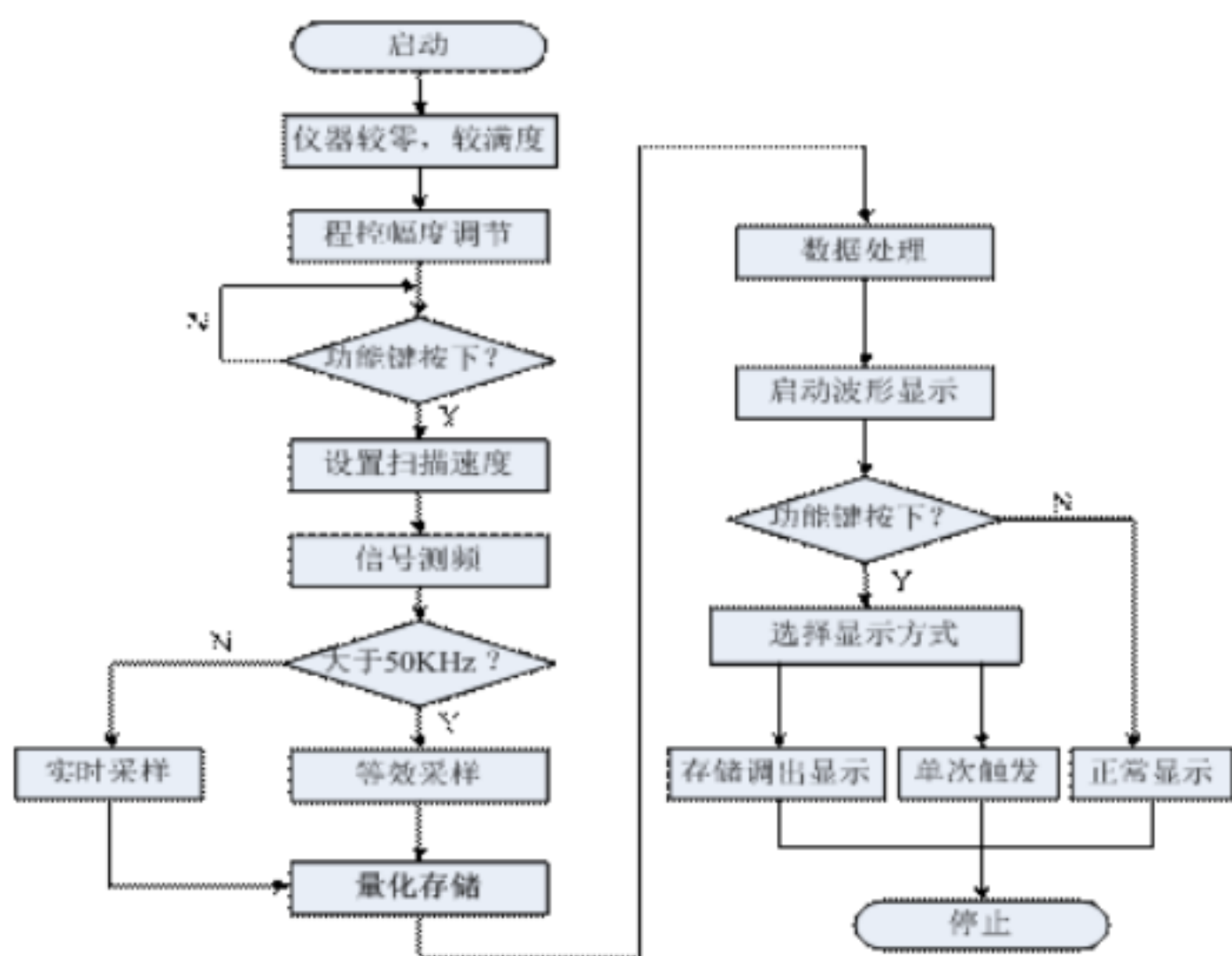


图 5 系统软件总体流程图

在信号输入前需进行程控幅度调节，依据信号输入幅度范围（ $0 \sim 8V$ ）和 A/D 芯片输入电压要求（ $0 \sim 4V$ ），首先将信号衰减 2 倍，以防止输入芯片的电压过高而损坏电路，然后根据信号电压幅度判断后续放大倍数，使输入电压幅度范围满足系统要求，保证采样效果。程控幅度调节流程图如附录 14 所示。

## 2、触发方案设计

单次触发时，在触发后就采集、存储被测信号的数据，直到单次信号结束或者采集单次信号的一个完整页面。连续触发时，按照要求一旦产生触发，就采集、存储一个页面的数据。在未存满一个之前即使再次满足触发条件也不会产生触发作用；但是在存满一个页面后，如果再次产生触发则开始一个新的页面的采集、存储过程，并以新的数据取代已经存储的数据，依此规律随着触发信号的出现不断重复上述过程。

## 3、频率测量方案设计

测频模块的具体设计思路为：首先将 A/D 转换器转换后的数据通过一个比较器得到测频脉冲，由于本设计中的 A/D 将  $0V$  电压转换为  $0x80$ ，为避免在  $0V$  附近的小信号振荡造成测频误差，将比较器的固定比较值设定为  $0x88$ 。然后将测频脉冲通过一个 D 触发器同步后便开始计数，在计数过程中为避免尖脉冲或毛刺信号造成对计数的影响，根据上次测频的结果选择合适的过滤脉宽，即比给定脉冲宽度小的信号脉冲将不会被计数，提高了整个测量的精度。

## 4、同步扫描电压设计

DSO 输出稳定的波形要求通用示波器 X 通道的扫描电压和 Y 通道的信号同步。设计中由 DSO 内部产生同步扫描电压作为通用示波器的扫描电压，在测试过程中可以不用对普通示波器进行操作和调整。数字存储示波器的扫描电压是由 D/A 产生的一种阶梯波电压。因为整个屏幕显示 256 个数据点，一次扫描需要 256 个阶梯，因此采用 8 位 D/A 就可以产生所要求的同步扫描电压，设为  $D/A_x$ 。输入数据应是从 00H 开始的 + 1 递增值，直至 0FFH 为止。

五、测试方案与测试结果

1、测试方案

简易 DSO 测试方案图见 附录 15。测试仪器清单见 附录 16。

2、测试结果及分析

(1) 单次触发扫描的测试。

程控触发电平，观察简易 DSO 能否产生扫描电压，并在信号上升沿开始显示波形。观察结果显示 DSO 能够产生扫描电压，并显示波形。

(2) 经测量得到，输入短路时输出噪声的峰-峰值为 1.62mV，小于 2mV 的指标要求。

(3) 100kHz 的方波校准信号的电压幅值为 0.298V，误差为 0.67%，满足指标要求。

(4) 垂直灵敏度测试。

正弦信号，频率为 10KHz，记录表格：

档位	输入 $V_i/V$	输出 $V_o/V$	误差 = $ V_o - V_i /V_i \times 100\%$
1V/div	8	7.8	2.50%
	6	5.8	3.33%
	4	4.1	2.50%
0.1V/div	0.8	0.77	3.75%
	0.6	0.61	1.67%
	0.4	0.38	5.00%
2mV/div	0.016	0.0154	3.75%
	0.008	0.0081	1.25%
	0.004	0.0039	2.50%

(5) 扫描速度测试

正弦信号，幅度为 1V，记录表格：

档位	输入信号周期 /s	输出信号周期 /s	误差 = $  -   \times 100\%$
20ms/div	100e-003	102e-003	2.0%
	20e-003	20.5e-003	2.5%
2 $\mu$ s /div	2e-006	2.05e-006	2.5%
	5e-006	5.1e-006	2.0%
	10e-006	9.8e-006	2.0%
100 ns/div	100e-009	102e-009	2.0%
	200e-009	206e-009	3.0%



	1000e-009	990e-009	1.0%
--	-----------	----------	------

由表中数据知，测量结果都在测量误差允许范围内，满足题目要求的误差5%，很好地完成了设计任务。

## 六、总结

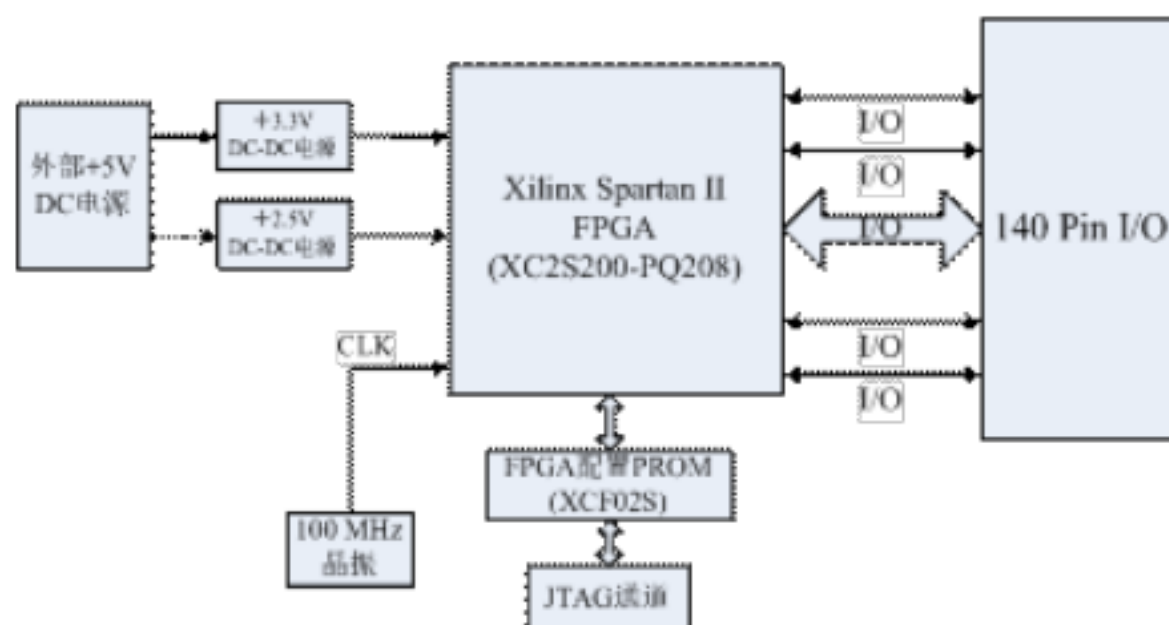
设计采用 FPGA 最小系统为控制核心，实现了一款具有特色的数字存储示波器。通过测试，系统不但完成了基本要求，也完成了发挥部分的要求。经过几天的努力实践，不断的测试，不断的改进电路和程序，我们最终圆满完成了设计任务。在设计过程中，我们不仅仅使自身水平得到了检验，更重要的是学到很多课本上没有的知识，使自己得到了进一步的提高。同时也特别感谢各位老师和同学的帮助和支持，使我们这次设计能够顺利完成。

### 参考文献：

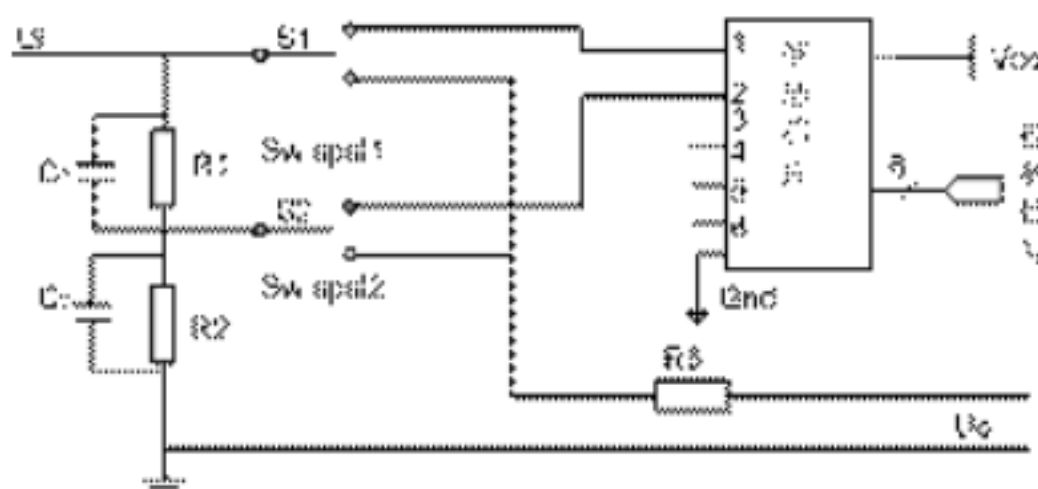
1. 潘松，黄继业．《EDA 技术实用教程》．科学出版社，2002 年第一版
2. 曾凡泰，陈美金．《VHDL 程序设计》．清华大学出版社，2001 年第 2 版
3. 黄智伟．《全国大学生电子设计竞赛训练教程》．电子工业出版社，2005 年第 1 版

## 附录

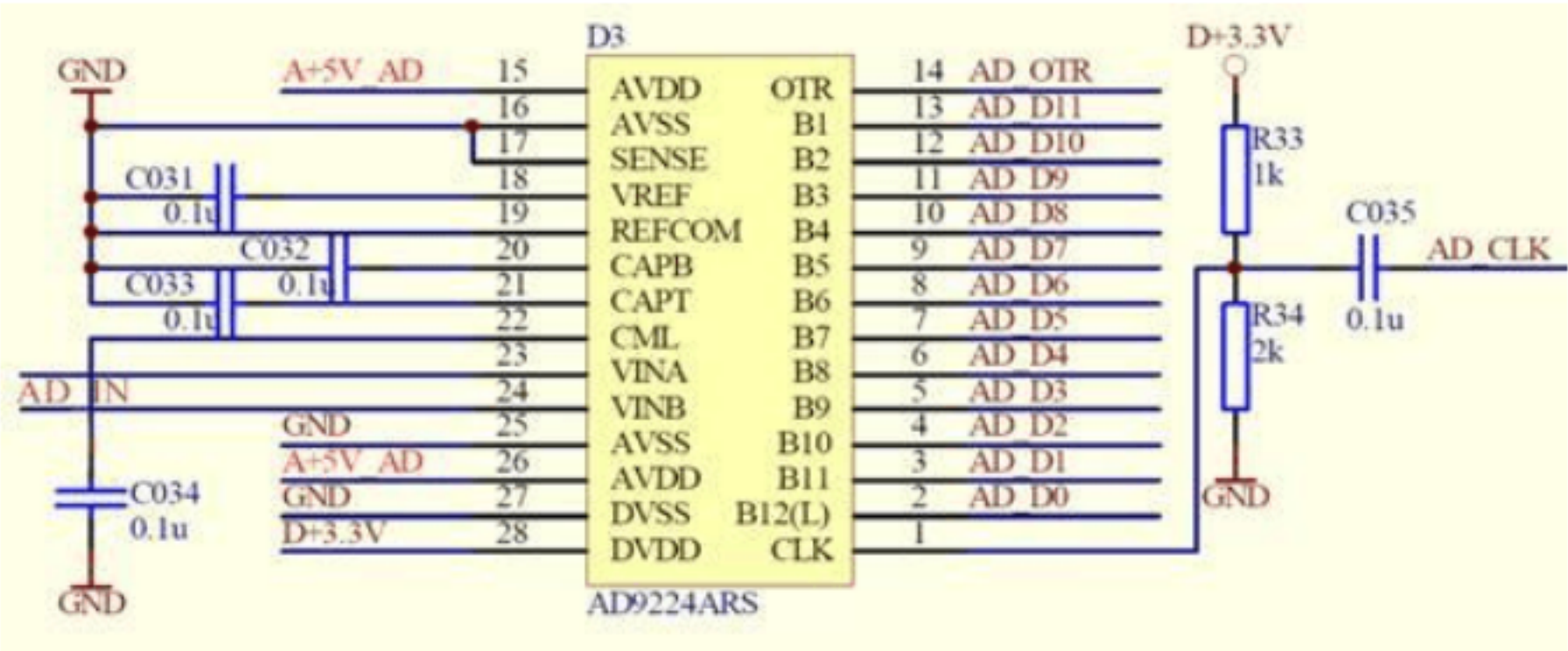
## 附录 1、FPGA 最小系统框图



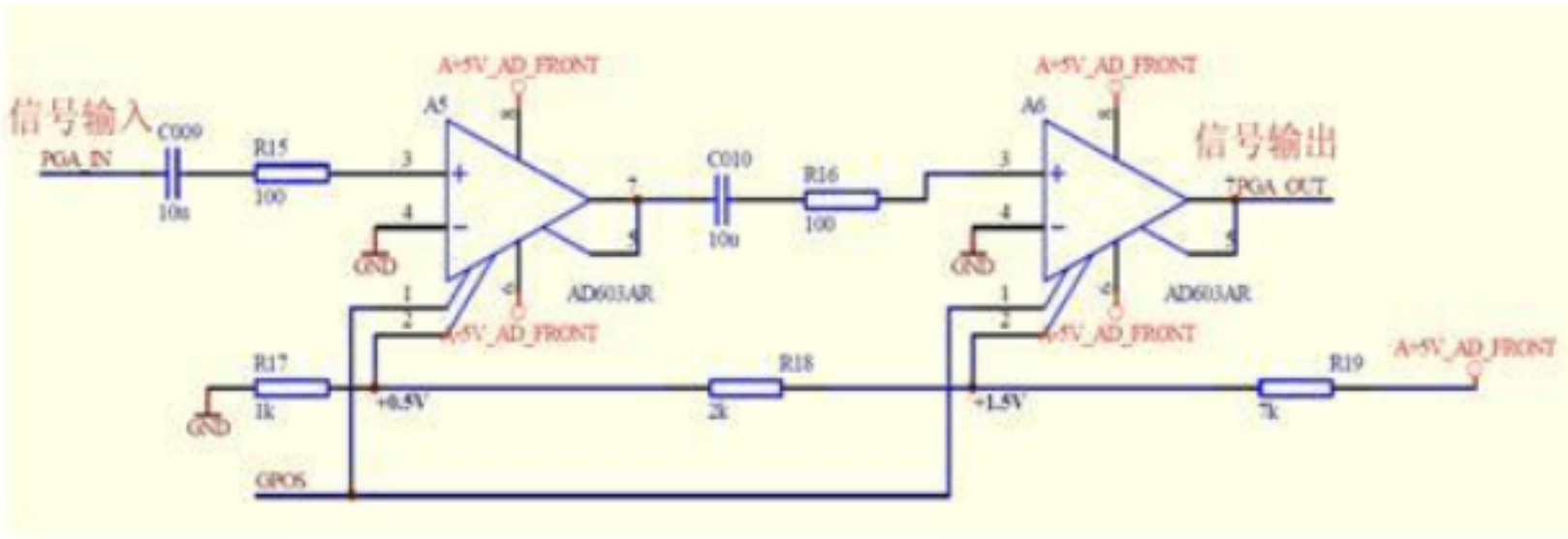
## 附录 2、信号衰减电路原理图



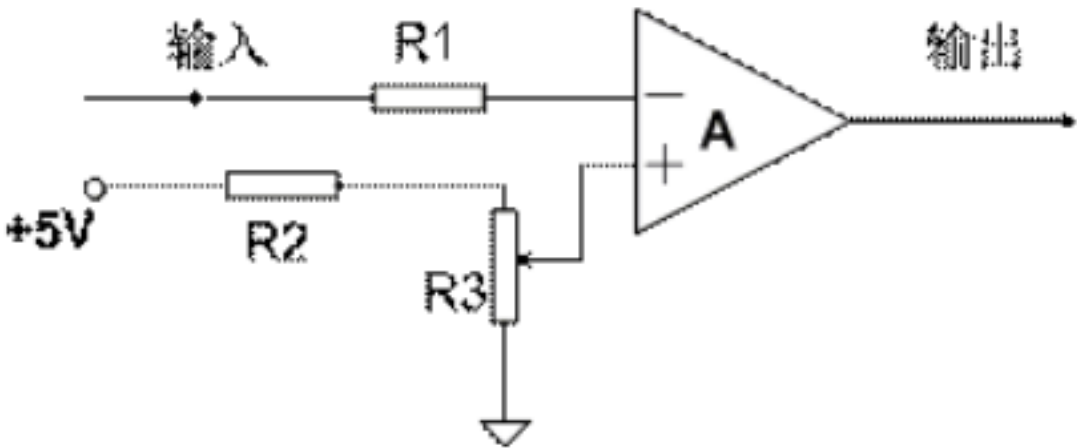
附录 3、限幅稳压电路



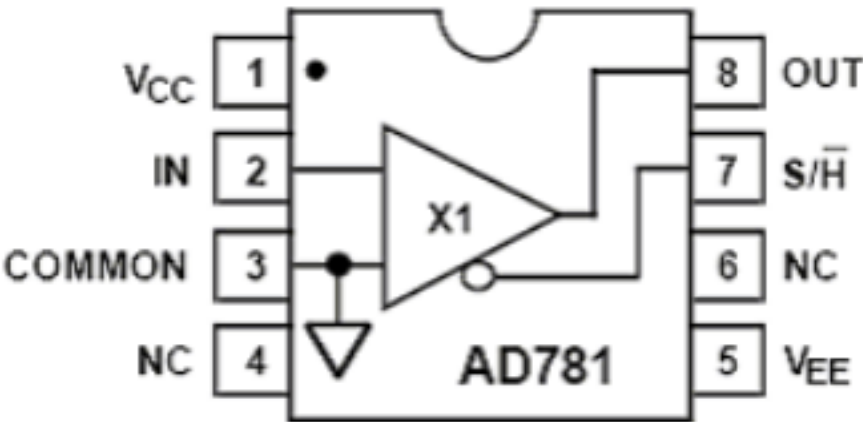
附录 4、两级程控放大电路



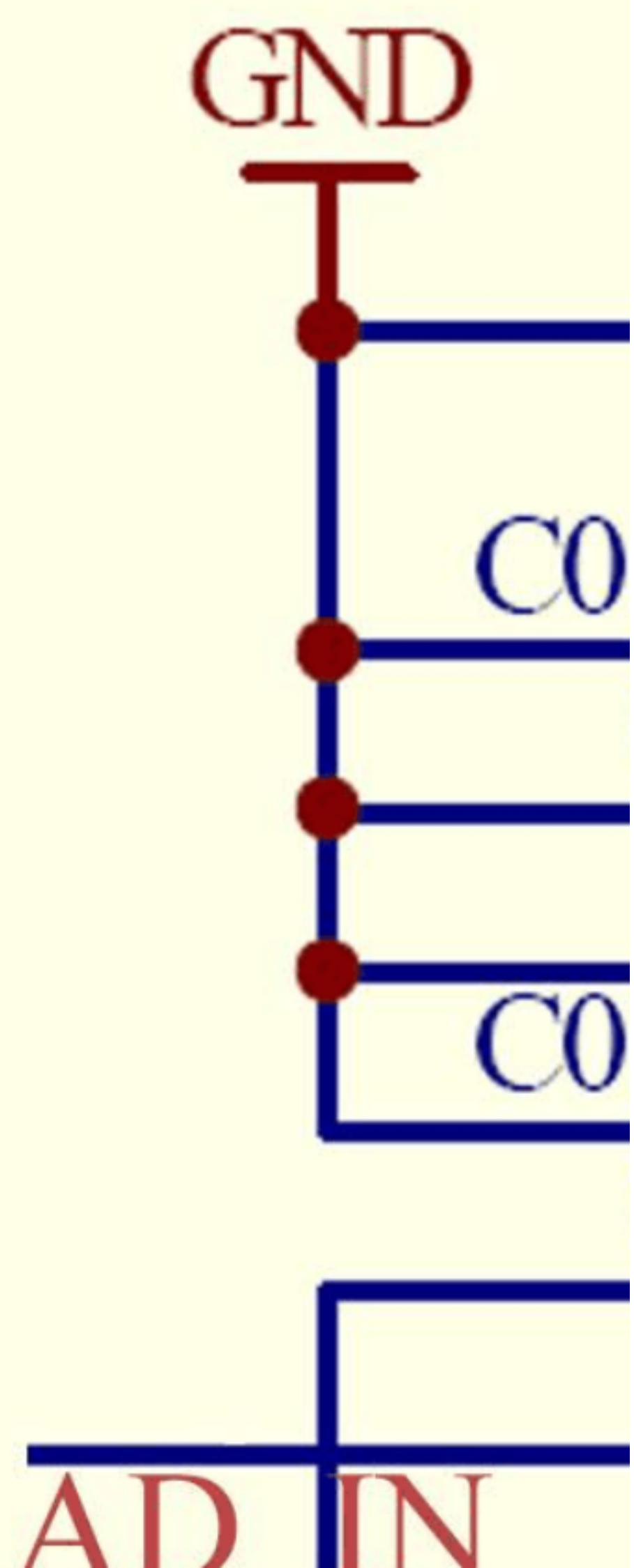
附录 5、触发器电路



附录 6、取样保持芯片 AD781 内部功能和引脚图

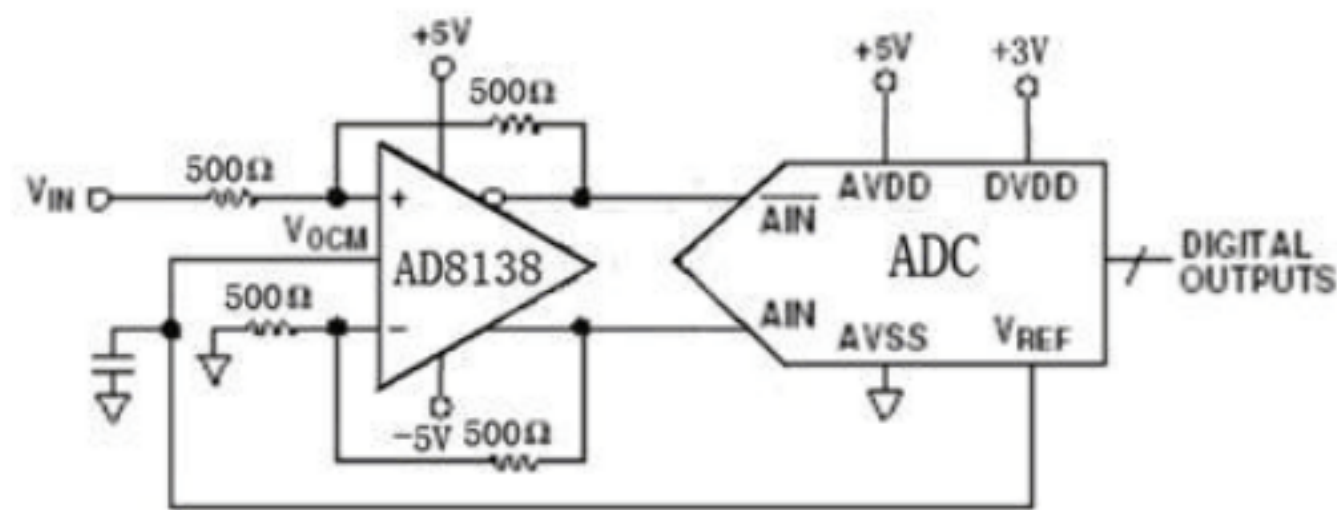


## 附录 7、AD9224 应用电路设计

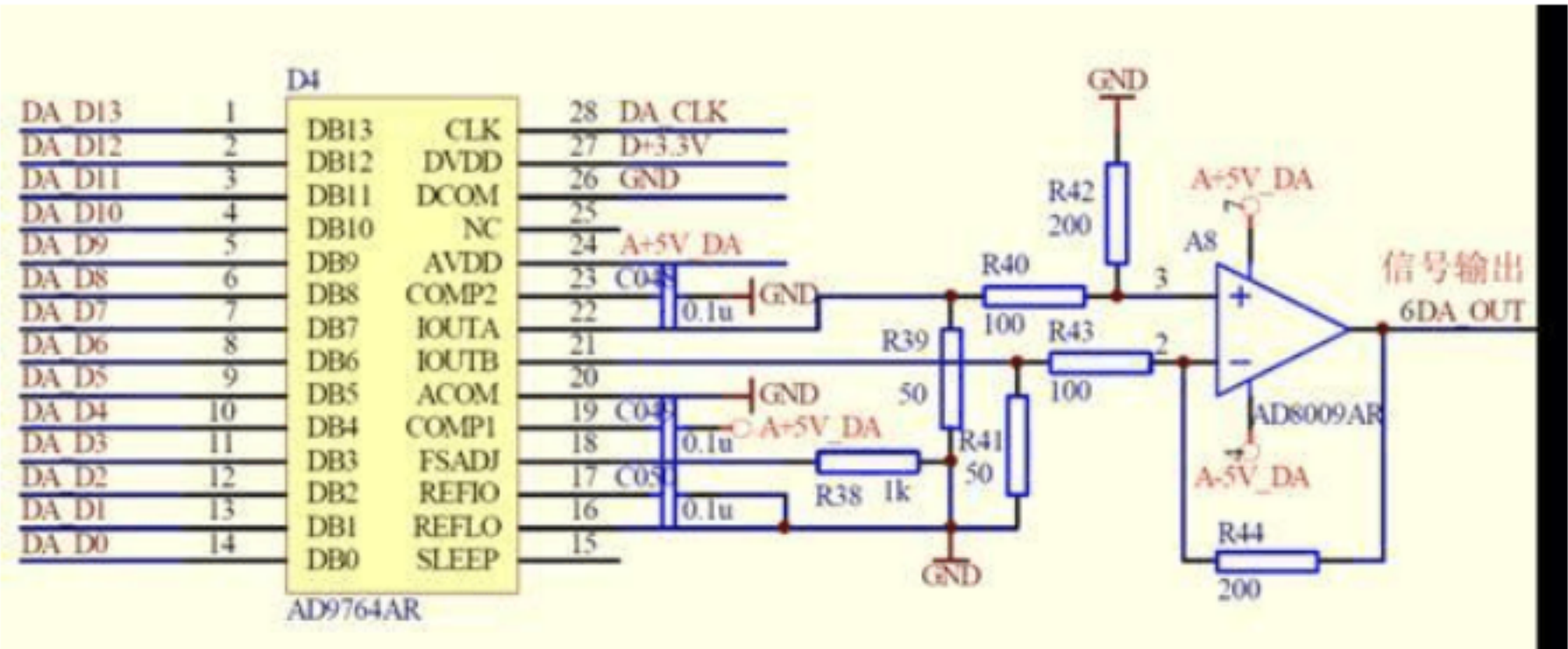




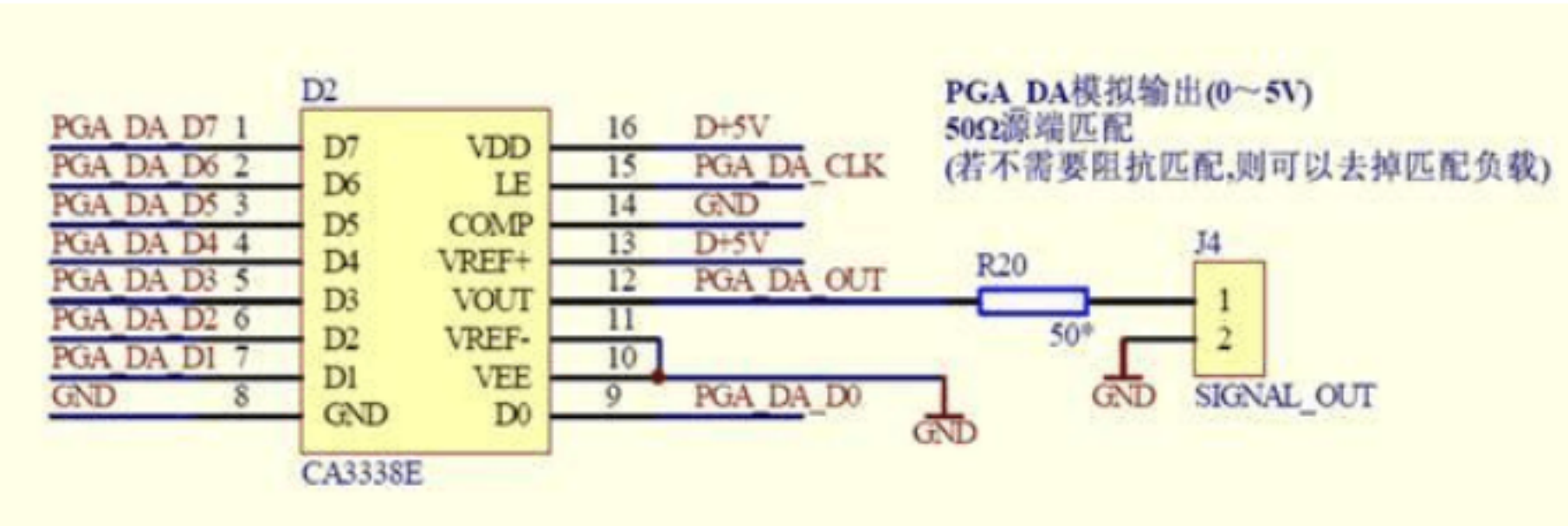
附录 8、AD8138 应用电路



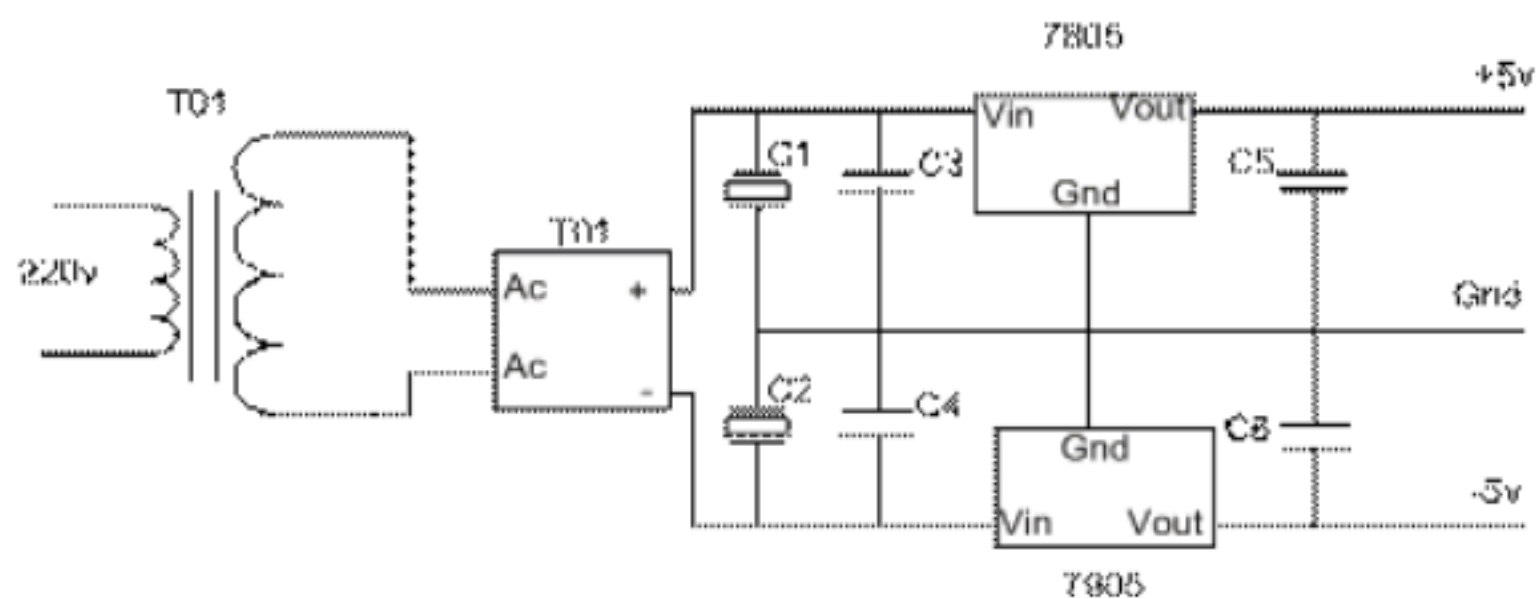
附录 9、DA 转换芯片 AD9764 应用电路



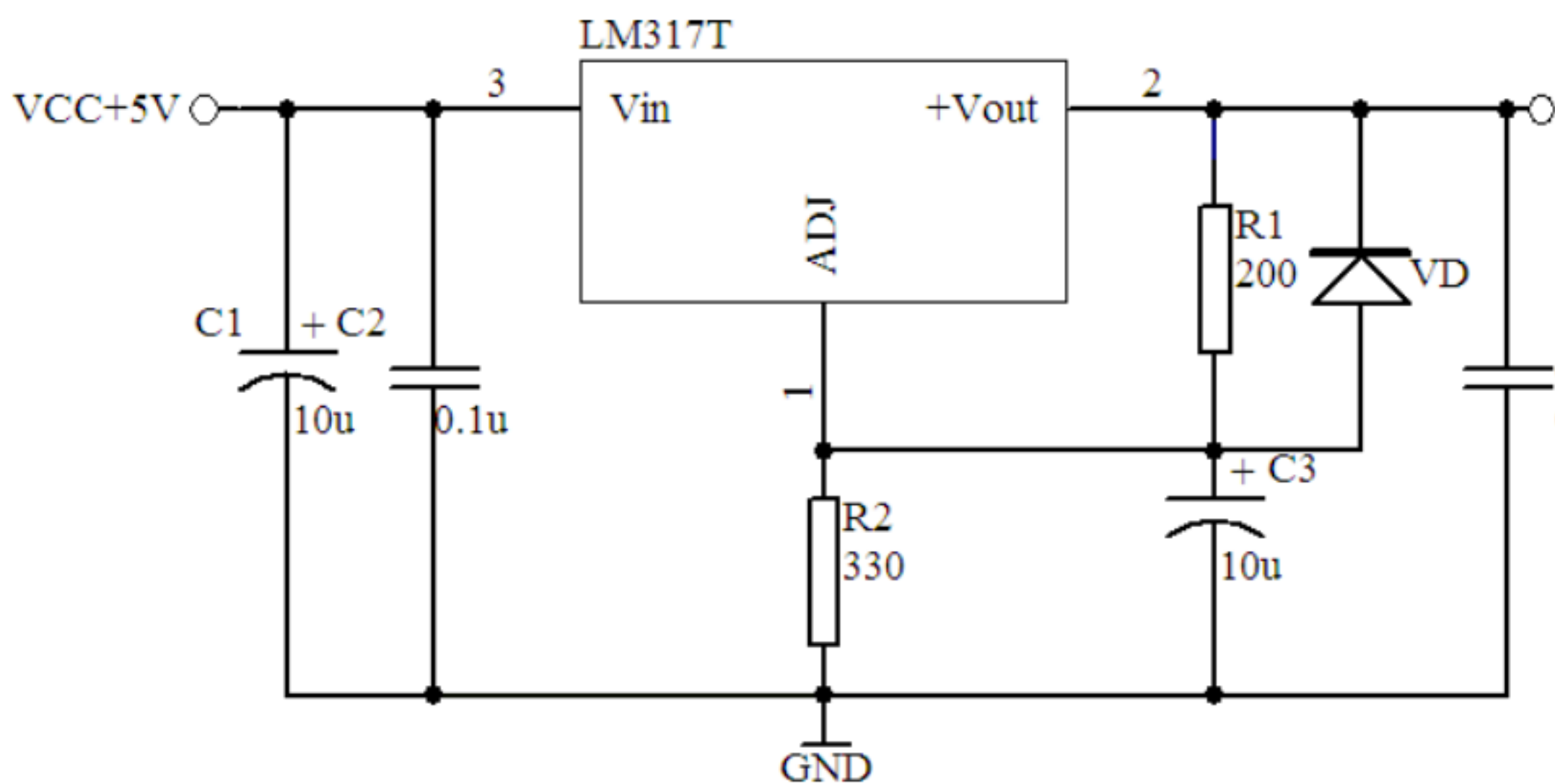
附录 10、DA 转换芯片 CA3338E 应用电路



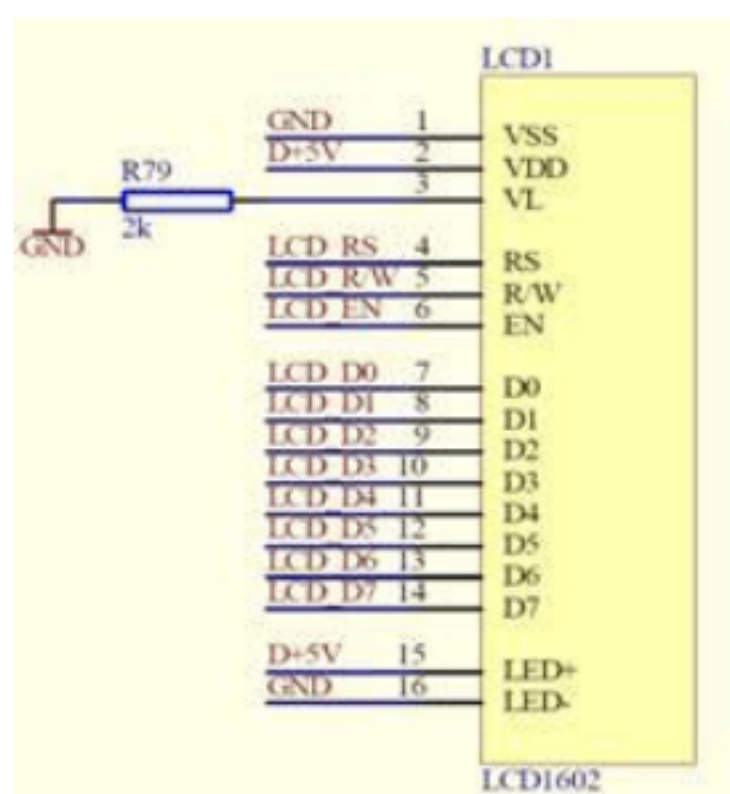
附录 11、直流稳压源原理图



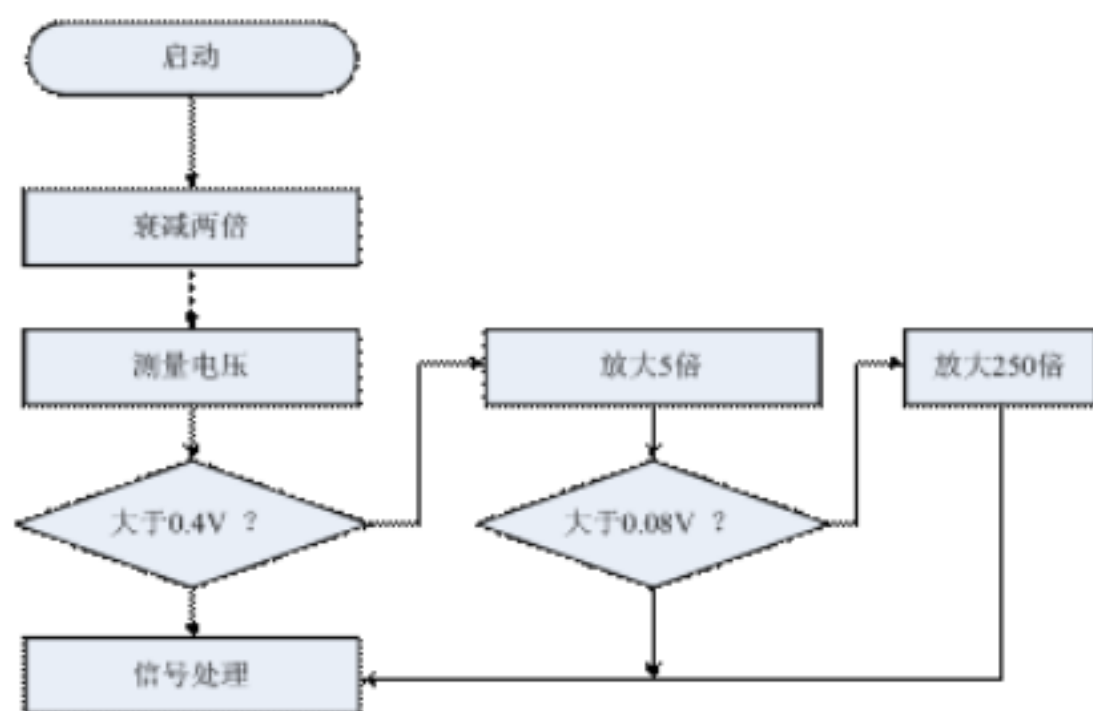
附录 12、三端可调稳压器 LM317 电路原理图



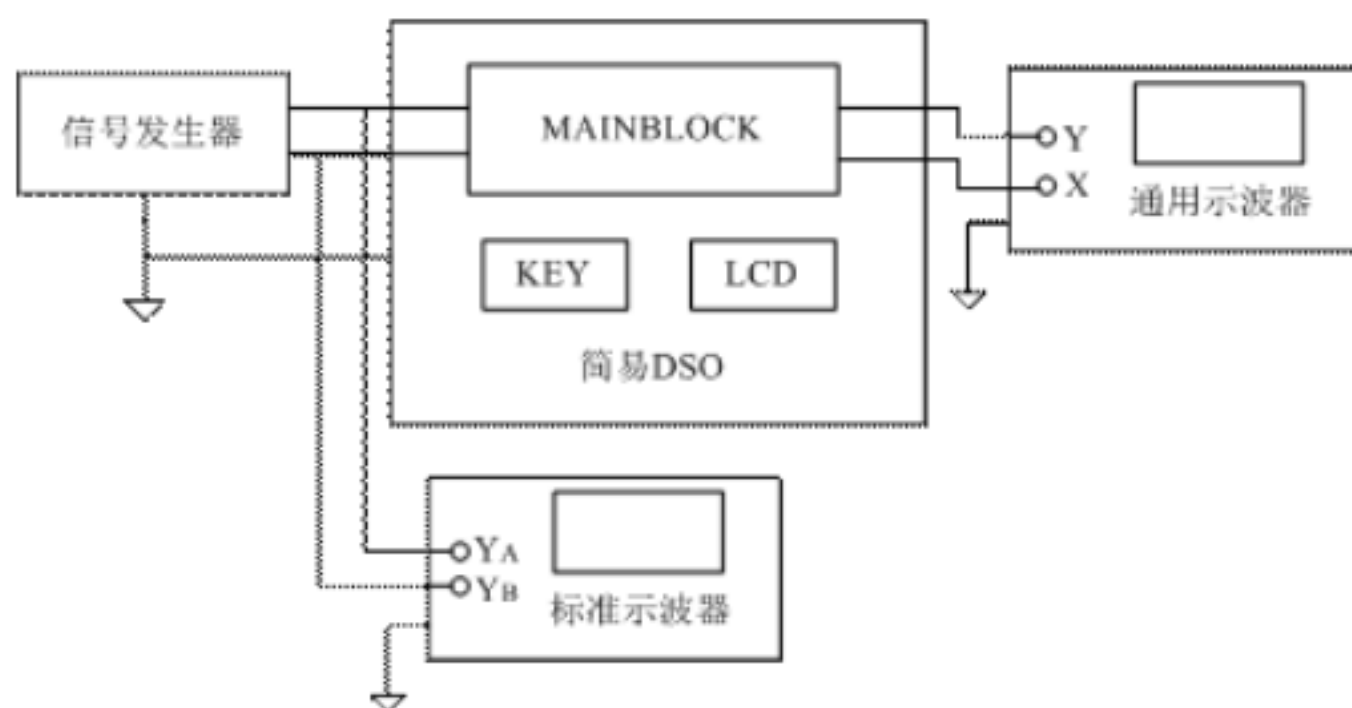
附录 13、TS1602 应用电路



附录 14、程控幅度调节流程图



附录 15、DSO 测试方案图



附录 16、测试使用的仪器设备

表 4.1.1 测试使用的仪器设备

序号	名称	型号	数量	备注
1	3 位半数字万用表	UNI-T	1	深圳胜利公司
2	函数信号发生器	GFG-8216A	1	南京无线电仪器厂
3	逻辑笔		1	
4	双踪示波器	YB4365	1	江苏扬中电子仪器厂
5	数字示波器	TDS210	1	广州致远电子有限公司