

基于 FPGA 的 VGA 显示简易数字示波器设计

行韶谓 段衍东 禹林焱

(电子科技大学自动化工程学院 成都 611731)

摘要: 为了实现数字示波器的便携化和模块化,基于 FPGA 设计了 1 款 VGA 显示的简易数字示波器。利用 FPGA 芯片将控制单元和存储单元融合代替了传统的单片机控制单元,减小了系统的复杂程度,提高了示波器的性能。同时,根据具体指标和软件性能选用了合适的 ADC 等芯片对信号前级调理做了优化,利用程控放大电路实现了对信号的增益控制。显示部分则选用了 VGA 显示器,用 VGA 标准接口连接 FPGA,提高了整个系统的模块化程度,使整个系统的成本降低,维护性提高。经过相关实验检测,系统工作稳定,输入信号动态范围大,显示清晰,达到了设计要求。

关键词: FPGA;数字示波器;VGA

中图分类号: TM935.37 **文献标识码:** A

Simply-designed digital storage oscilloscope with VGA based on FPGA

Xing Shaoxu Duan Yandong Yu linhan

(School of automation, University of electronic science & technology of china, Chengdu 611731)

Abstract: In order to realize the modularity and portable of the digital storage oscilloscope, a simply-designed digital storage oscilloscope with VGA based on FPGA, which is described in this paper, is designed. The chip of FPGA which replaces the traditional control module of MCU unites the control module and storage module. This design decreases the system's complexity and improves the performance of the oscilloscope. Meanwhile the signal process is optimized with suitable chips of ADC and other circuits. The programmable magnification is used to control the gain of the signal. VGA displayer is used as the display module. VGA displayer is connected to FPGA by the standard VGA connector. This design makes the system more modular, cheap and easy to be maintained. During relative tests, the system, with a large dynamic range, worked steadily, and the display is clear.

Keywords: FPGA; digital storage oscilloscope; VGA

0 引言

数字示波器是通用测量仪器之一,广泛应用在各种电子测量领域^[1],其使用方便,且具有存储功能,同时能对测量信号进行各种处理^[2],受到了电子爱好者和测量工作者的欢迎。但由于其成本较高,显示屏幕较小,特别是在大专院校、职业高中电子电路实验和实验演示中推广使用受到了一定的限制。由于大专院校、职业高中电子电路实验室计算机装备很普遍,为了利用计算机屏幕实现电子电路实验和实验演示,基于 FPGA,研制成本低廉、VGA 显示、显示屏幕较大的简易数字示波器显得尤为重要。本文主要是基于 FPGA,设计 VGA 显示的简易数字示波器,为大专院校、职业高中和电子技校的电子、自动控制和物理实验室等提供数字示波器普及具有重要的实际意义。

本文于 2012 年 9 月收到。

1 设计技术指标要求

模拟带宽:5 MHz;
实时采样率: ≥ 25 Msps;
等效采样率: ≥ 125 Msps;
垂直分辨率:8 bit;
存储深度:2.5 Kpts;
触发模式:边沿触发(上升、下降、上升/下降)、脉宽触发(可选);
时基:200~5 μ s/div(1-2-5 步进,共 5 档);
垂直灵敏度:20 mV/div、50 mV/div、100 mV/div、200 mV;
波形显示区:水平 10 div \times 垂直 8 div,水平显示分辨率 25 点/div;

显示方式:多种形式(最好是计算机)。

2 系统方案设计

要完成设计指标要求,首先要进行系统方案设计,其

整体系统如图1所示,整个系统包括信号输入电路、控制部分、A/D转换与采样电路、时基电路、存储子系统与显示电路等。

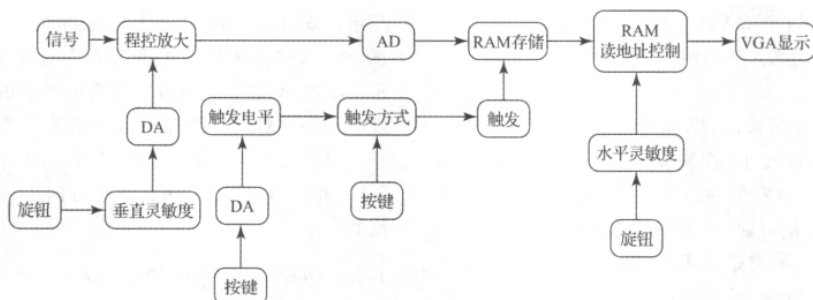


图1 整体系统

2.1 控制部分分析与设计

控制部分可以采用MSP430单片机和FPGA相结合^[3],控制示波器的显示、触发、存储等功能电路。用单片机根据触发信号控制整个系统的运行,单片机检测按键等输入装置,向FPGA发送指令从而控制AD芯片和显示部分电路的工作。也可以只采用FPGA作为控制芯片^[4-5],将触发信号接入FPGA芯片,FPGA根据触发信号来控制整个系统运行的时序,同时检测按键旋钮等输入装置,控制AD的时钟选择和显示电路。前一种方案,同时使用单片机和FPGA,二者之间相互通信,硬件电路和软件系统较为复杂庞大,系统稳定性有所欠缺,成品携带不方便。后一种方案仅仅使用FPGA,硬件电路规模小,软件修改方便,系统稳定性高,成品体积小,携带使用方便。综合考虑,本设计选择单独使用FPGA设计数字示波器的控制部分。

2.2 A/D转换芯片选择

根据设计要求分析可知,如果不采用并行采样的情况下,实时采样速率要达到25 MHz,所用AD的采样时钟也必须达到25 MHz。由于简易示波器没有对于精确数字测量提出很高的要求,对于示波器的垂直灵敏度要求是8 bit,即AD只要有8 bit就足够完成指标。

采用LTC1420,采样率最高10 MHz,12 bit,对于PCB布线的要求比较小,测量精度非常高。可以降低对于硬件制作的要求,但是由于其采样率最高只能达到10 MHz,如果采用该方案,则必须采用并行采样,并且需要3块以上的AD,大大的增加了电路板面积、接口数量,并且让程序复杂化,同时12 bit的精度对于设计要求的8 bit来说并没有意义。

采用TLC5540,采样率最高40 MHz,8 bit,其采样率较高,可以满足设计要求中25 MHz实时采样率的要求,仅需要1块AD就可以完成,降低了成本与软件部分的复

杂程度,但是TLC5540在应用中一直存在采样误差较大的问题,对于系统后期要添加测量功能较为不利。

采用ADS809,采样率最高80 MHz,12 bit,性能较为出色,采样率非常高,可以达到80 MHz,远远超出了设计要求;而12 bit的精度与LTC1420一样,对作品没有实际的意义。ADS809这款AD对走线要求非常高,而时钟信号的抖动程度直接决定了AD能否正常使用,考虑到使用独立的CycloneIII最小系统版,时钟信号之间存在板级连接,很难保证ADS809的正常工作。经过如何简化方案、降低成本、更好的达到设计指标要求,综合考虑,选择TLC5540芯片比较适合本系统的设计。

2.3 时基及采样率实现方法研究

示波器的时基与采样率、存储深度、显示区域大小等指标相关。设计要求显示区域中水平分辨率为25点/div,共10 div,同时规定时基为200 ns/div、500 ns/div、1 μ s/div、2 μ s/div、5 μ s/div,所以根据以上2个数据可以得出在不同的时基下,显示区域内水平方向上相邻2个点之间的时间为:4 ns、20 ns、40 ns、80 ns、200 ns。实现这个要求可以设计2种不同方案,进行比较研究。

方案一:根据两个点之间不同的时间采用相应的采样率,分别采用250 MHz、50 MHz、25 MHz、12.5 MHz、5 MHz、分别将上述频率的方波作为采样AD的时钟信号。250 MHz的采样率可以采用等效采样的是技术实现。

方案二:200 ns/div所对应的250 MHz的采样率采用等效采样技术实现,其余时基对应的采样率则一律采用50 MHz,然后采取减采样技术,间隔相应的时间来选取合适的采样点,从而等效降低了采样率。

方案一涉及多种不同频率的方波,软件实现较为复杂,方案二则只需50 MHz和250 MHz的方波,方波产生简单,切换方便,软件系统简易稳定,综合考虑,采用方案二。

2.4 数据存储

数据存储是数字示波器中的重要部分,既可以将 AD 所采到的波形数据存入 FPGA 外部专用的 RAM 芯片中,也可以利用 FPGA 内部的 RAM 软核来存储波形数据。前一种方法电路复杂,容易产生问题,系统稳定性不够,而后一种方法 FPGA 内部 RAM 软核调用方便,容量足够,简单易行。因此采用第二种方法进行设计。

2.5 显示电路

显示电路既可采用液晶,也可采用 VGA 显示器作为显示部分。液晶体积较小,控制复杂,色彩匮乏,没有新意,特别不适用于实验室的演示使用。VGA 接口已被大多数显示设备采用,接口通用,电路简单,控制软件编写和修改方便,色彩丰富,同时适合多种显示设备,特别是适合于使用计算机屏幕显示、设置投影显示,便于实验演示教学。因此最终采用 VGA 显示器作为显示部分。

3 理论分析与计算^[6]

3.1 时基实现及采样率分析

根据方案设计,除了 200 ns/div 采用 250 MHz 的等效采样外,其余的时基档位一律采用 50 MHz 的采样率,并结合减采样技术实现时基档位的变化,4 个时基档位所需的实际采样率分别为 50 MHz、25 MHz、12.5 MHz、5 MHz,后 3 个时基档位时则需对 50 MHz 的采样率所得的数据每间隔 2 个、每间隔 4 个、每间隔 10 个进行 1 次抽选,从而实现采样率的变化。

3.2 采样方式分析

由于 AD 芯片一般达不到 250 MHz 的采样速率,加之 FPGA 运算能力有限,因此难以采用插值的方法来等效提高到 250 MHz 的采样速率,故 200 ns/div 时基档位采用等效采样的方法。由于系统方案设计选择 AD 芯片 TLC5540,每片 AD 的最高时钟频率只有 40 MHz,故采用 2 片 TLC5540 进行并行采样,每片时钟频率固定在 25 MHz,对采样得到的数据进行整合后所得到的数据就相当于 50 MHz 采样率所采得的数据。

3.3 垂直灵敏度分析

根据设计要求,垂直灵敏度一共分为 4 档,20 mV/div、50 mV/div、100 mV/div、200 mV/div,加之显示区域垂直为 8 div,为使波形在适当的垂直灵敏度档位时能满屏显示,故当 AD 的输入电压范围固定时,幅度分别为 0.16 V、0.40 V、0.80 V、1.6 V 的信号在进入 AD 之前要经过相应的衰减电路,使波形衰减到 AD 的输入范围从而使波形全屏显示。

3.4 存储深度分析

设计要求存储深度为 2.5 Kpts,存储深度为示波器在最大采样率采样时的波形数据存储数量。本设计中要求最大采样率为 250 MHz,当采样率为 250 MHz 时,系统可以按时间顺序将采样得到的数据依次存入 RAM,因此,可

以使用存储单元超过 2 500 个的 FPGA 内部 RAM 软核作为存储系统。

3.5 显示部分

设计要求显示部分为垂直 256 个点,水平 250 个点,而 VGA 的最低显示分辨率为 640×480 ,综合考虑分辨率及显示的美观和系统的复杂性、稳定性后,决定选择屏幕中部 500×256 的范围作为显示范围,水平方向上每 2 个点显示 1 个波形数据,垂直方向上则屏幕上的点与波形数据幅度大小一一对应。因此可以找出波形数据和屏幕显示位置的对应关系,屏幕上水平方向上的坐标与波形数据在 RAM 中的地址对应,而其垂直方向上的坐标则与波形数据的大小对应。

4 系统电路与程序设计

4.1 硬件设计

示波器的硬件电路主要分为前向通路放大倍数调节部分、ADC 驱动电路、存储电路、触发电路 4 大部分。在 4 大部分之中 ADC 驱动电路是重中之重,为了达到指标要求能够有 25 MHz 实时采样率,选择 TLC5540 高速运放,其采样率最高可以达到 40 MHz。

4.1.1 前向通路的调理^[7]

根据设计要求,示波器的垂直灵敏度应该分为 4 档,在模拟电路上的要求就是在相同的 ADC 输入范围情况下,将信号幅度大小不同的时候分别放大 1 倍、放大 2 倍、放大 4 倍、放大 8 倍,而考虑到带宽要求 5 MHz,并对方波有测量要求,所以为了尽量减少失真,考虑到 5 次谐波内谐波成分不衰减,带宽应该尽可能的大。

利用程控放大设计的放大电路如图 2 所示。其电路简单,通过加入电压控制部分,实现相对精确的控制放大倍数。同时,需要外加 1 片 DAC 来进行模拟电压输出,增加 IO 口的数量。利用 AD603 这款程控放大芯片可以保证在 90 MHz 的带宽以内有一 10~30 dB 的动态范围,示波器波形失真度相对较低,同时在芯片程控电压基准引脚上,采用了 TL431 进行输出,可以降低电源波动对于信号调理的影响。程控电压输出的 DAC 则采用最常用的低速 DAC0832,并且将参考电压设置的较小,以保证更高的精度。

4.1.2 ADC 驱动电路

为了实现设计要求和低廉价格,本设计选择单电源驱动的 LC5540 高速 ADC,需要对信号进行一定的调理,以保证信号可以落在输入电压范围以内。调理电路的设计中,利用高速运放来做加法器,将前级程控放大调理好的信号与 1 个直流成分叠加,输入 ADC 中,该直流电压的幅度为 ADC 输入参考电压的 1/2,这样可以保证前级信号的正负电压都可以进入,为了信号的稳定,这个直流电压采用 TL431 基准电压芯片来产生。

在 AD 的电路采用的 TLC5540 的 Datasheet 中使用

的标准电路如图3所示。将2块AD的基础用同一个TL431给出,尽可能减少外部误差对数量化的影响。由于FPGA使用的是最小核心板,为了保证CLK信号可以

有相对较好的上升沿,采用了同轴电缆传输CLK信号的方式,解决了CLK抖动的问题。

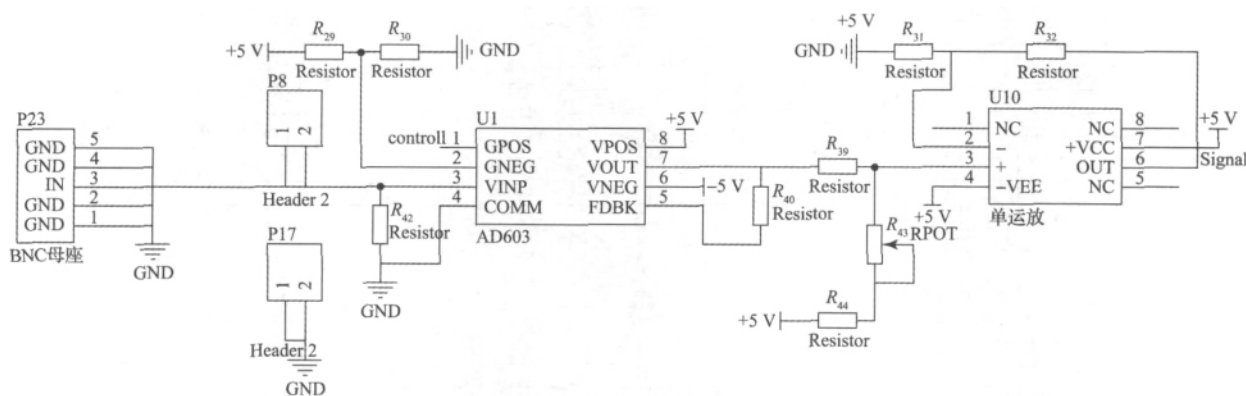


图2 垂直灵敏度控制及AD输入信号调节电路

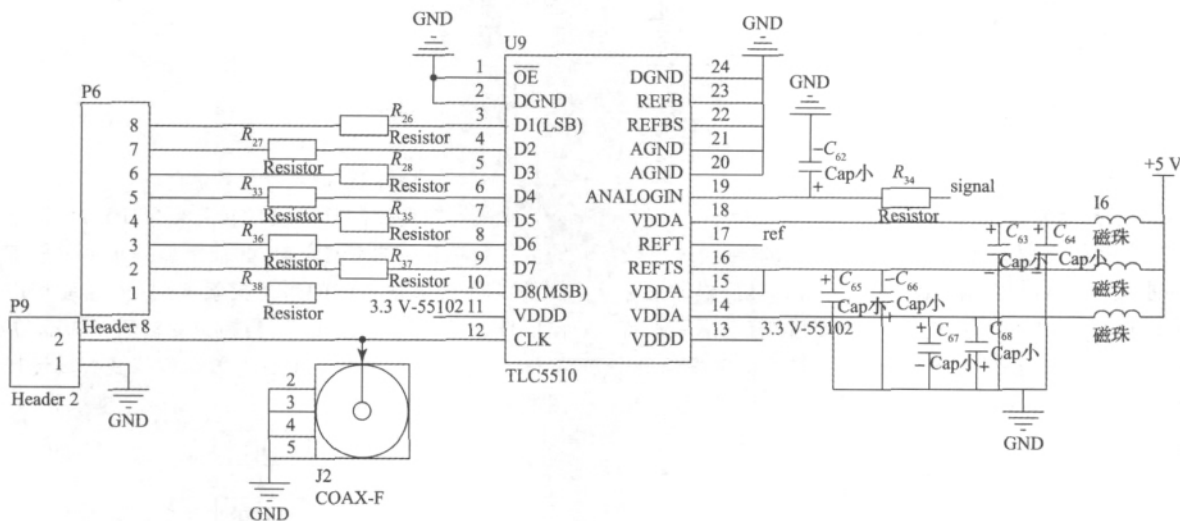


图3 TLC5510 AD电路

4.1.3 触发电路设计^[8]

触发电路设计如图4所示。触发电路的稳定,直接关系到FPGA是否能很好的采样并完成后续工作。为了对5 MHz信号进行比较后仍然能有相对完美的上升沿,选取AD8564高速比较器,该比较器的上升时间只有7 ns,对于5 MHz信号来说完全可以满足,并且这款高速比较器可以非常方便的加入滞回,这样触发信号可以变得更加稳定。同样的,为了能够完成设计中触发点可以调的要求,依旧采用了1块DAC来进行模拟电压输出,作为比较器的比较电压。双电源供电的AD8564简化了前级的调理部分,将AD603输出的信号接到比较器的输入端,其高输入阻抗也减少了它对前面ADC驱动级的影响。AD603与触发电平控制所用DA电路如图5所示。

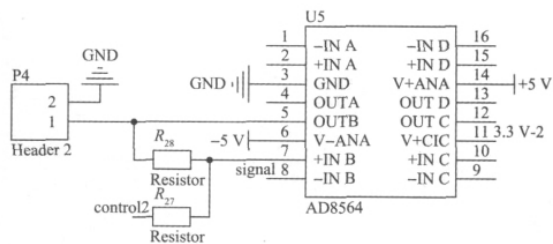


图4 触发电路

4.1.4 存储电路

简易数字示波器设计的存储深度要求是2.5 Ktps,而实际使用的FPGA的型号是CycloneIII,该型号的FPGA内部资源丰富,可以自建足够设计要求的RAM,考虑到硬

件电路应当尽量简单,可以减少不稳定因素的发生,存储 电路完全交由 FPGA 内部完成。

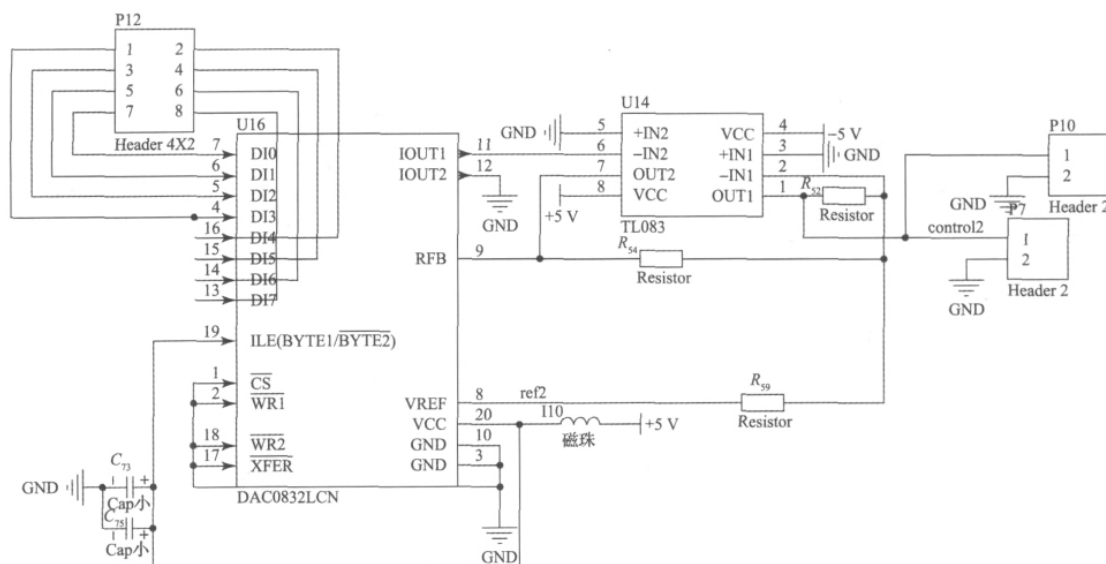


图 5 AD603 与触发电平控制所用 DA 电路

4.2 软件设计^[9-11]

4.2.1 触发控制软件设计

触发控制软件是示波器中的重要部分,信号经过比较器之后进入 FPGA,判断信号的上升下降沿,然后根据按键的设定选择相应的触发模式,启动触发后,启动 RAM 储存,并置高相应的触发屏蔽标志位,屏蔽之后的触发信号,当 RAM 读取周期结束之后,置低 RAM 的触发屏蔽标志位,接受下一次触发。其设计流程图如图 6 所示。

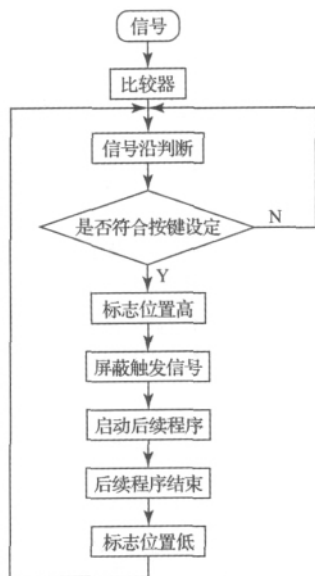


图 6 触发控制程序流程

4.2.2 水平灵敏度控制软件设计

水平灵敏度控制软件设计首先要使 FPGA 根据旋钮的信号判断旋钮的旋转方向,并依次加减水平灵敏度的档位, FPGA 会根据相应的水平灵敏度档位,抽取相应的采样信号,使其符合显示要求,当旋钮旋转到 200 ns/div 时,将整个系统切换到 250 MHz 等效采样模式。其设计流程图如图 7 所示。

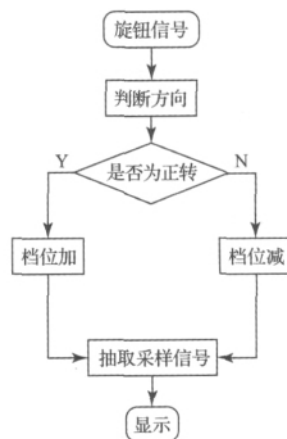


图 7 水平灵敏度控制程序流程

4.2.3 垂直灵敏度控制软件设计

垂直灵敏度控制软件设计首先要使 FPGA 根据旋钮判断旋钮的旋转方向,并依次加减垂直灵敏度档位, FPGA 会根据相应的垂直灵敏度档位,给程控放大控制 DA 相应的数字量,再由 DA 控制程控放大倍数,从而实现垂

直灵敏度的变化。其设计流程图如图8所示。

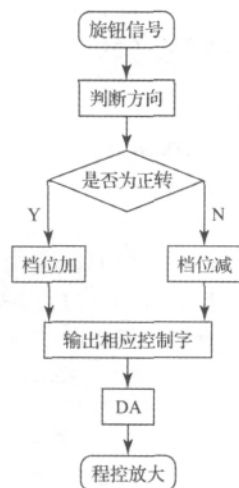


图8 垂直灵敏度控制程序流程

4.2.4 RAM存储

本设计中采用两级RAM存储,第一级RAM在触发的控制下存储2500个波形数据,第二级RAM根据相应的水平灵敏度的档位按不同的规律从第一级RAM中抽取相应的波形数据存储,VGA显示程序则实时读取第二级RAM的数据,当第二级RAM存储结束时,置低触发标志位,启动下一次触发。其设计流程图如图9所示。

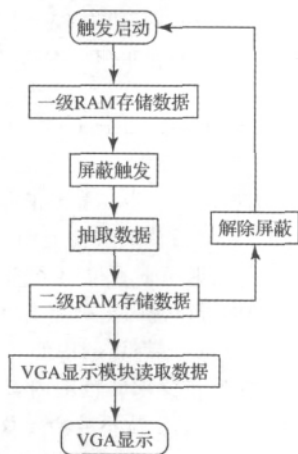


图9 RAM控制程序流程

4.2.5 显示控制

根据VGA的显示规律,将FPGA系统主时钟进行适当分频,分出VGA显示的场消隐和行消隐信号、RGB色彩信号,从而显示波形。其设计流程图如图10所示。

5 测试结果与内容

模拟带宽测试的测试条件:输入信号为1V_{pp}的正弦波,测试其幅度为0.707V_{pp}的频点测试结果,如表1所示。

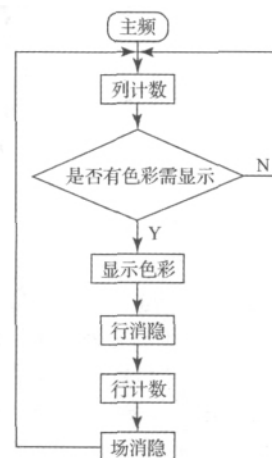


图10 显示控制程序流程

表1 模拟带宽测试结果

测试项目	测试结果					
输入信号频率/MHz	1	2	5	10	20	40
输入信号幅度/V	1.00	1.00	1.00	1.00	1.00	1.00
输出信号幅度/V	1.00	1.00	1.00	0.99	0.96	0.87

经过精确的测试,简易示波器系统在40MHz正弦信号输入情况下衰减依旧未达到3dB,模拟带宽超过40MHz,由于测试环境有所限制,函数发生器F40可以输出最大信号频率为40MHz,无法进一步测试。该指标完全达到设计要求。

VGA屏幕显示点数测试条件:在不同时基与垂直灵敏度条件下全屏显示点数的测试结果如表2所示。

表2 VGA屏幕显示点数测试结果

垂直灵敏度 /(mV/div)	时基				
	200 ns /div	500 ns /div	1 μs /div	2 μs /div	5 μs /div
20	246	242	251	252	256
50	255	249	254	250	250
100	251	244	258	244	241
200	248	260	253	249	242

经过测试,简易示波器系统在不同时基与不同垂直灵敏度的条件下均可以满足水平10div×垂直8div,水平显示分辨率25点/div的题目要求,即满屏幕250点。由于人工测量,并且VGA显示偶尔有所抖动的问题,点数测量不是非常精确,但依旧可以看出在250左右。该指标完全达到设计要求。

(下转第49页)

5 结 论

PoE 接口电路作为一类电源电路,需要对其进行浪涌测试防护,并且采用多级防护电路,每级防护电路之间要加入退耦器件,本文从理论上分析了变压器线路侧的电感无法实现对共模干扰的退耦作用的原因,改进了原先的 PoE 接口电路,最终通过了 ± 5 kV 的共模浪涌测试,对今后 PoE 接口电路的防护设计起到了警示意义。

参 考 文 献

- [1] 陈英美,段景汉,张家荣.以太网供电(PoE)的关键技术解析[J].今日电子,2006(2):45-47.
- [2] 韩景生,孙国强.以太网供电技术的研究与应用[J].仪器仪表学报,2005,26(8):493-494.
- [3] 张忠连,吴多龙.瞬态电压抑制器及其应用[J].科技资讯,2008(10):240-241.
- [4] 马浩森.气体放电管的应用[J].陕西师范大学继续教育

育学报,2005,22(1):111-113.

- [5] 钱金川.微电子设备防雷及电涌保护[J].机床电器,2011(1):54-59.
- [6] 陈嵩,武建刚.电源浪涌保护电路的正确运用[J].安全与电磁兼容,2011(3):49-52.
- [7] 陈嵩,周克生.用数字示波器实现传导骚扰预测量[J].电子测量与仪器学报,2004(s1):41-42.
- [8] 孙伟国,邱扬,权修桥,等.共模与差模传导干扰分析及抑制技术研究[J].电子质量,2004(10):18-20.

作 者 简 介

杨沛,男,1983 年出生,中国科学院研究生院毕业,工学硕士,现任诺基亚西门子通信技术(北京)有限公司上海分公司硬件工程师,主要研究方向为微波传输。
E-mail:yangrocky2008@hotmail.com

(上接第 35 页)

6 结 论

本文利用 FPGA 设计了 1 款简易的 VGA 显示的数字示波器,利用程控放大对输入电路进行设计,实现输入信号预处理和信号调理,利用高速 ADC 和 FPGA 实现了触发电路、驱动电路和显示等电路的设计,在时基控制程序中采用等效采样的方式完成对于高频信号的采集。通过软硬件设计解决了信号抖动和干扰问题。采用同轴电缆进行时钟信号传输,大大减少了干扰,提高了 AD 的采集质量。在运放的输出端通过加入小电阻,相等于在波特图中引入 1 个零点,减少了负载电容对于高速运放稳定性的影响,解决了信号振荡的问题。通过 VGA 显示程序修改,解决了 VGA 显示出现黑屏的问题。通过 AD 的采集时序和采集程序修改,消除了噪声,改善了显示波形。经整机实验测试:表明系统工作稳定,波形清晰,适合用于多种场合,达到了电路简单,成本低廉,可以利用计算机显示波形的设计要求。

参 考 文 献

- [1] 刘璇.数字示波器浅谈(一)[J].国外电子测量技术,2011,31(1):2-5.
- [2] 程建川.使用数字示波器进行测试测量的提示[J].国外电子测量技术,2009,28(5):5-7.
- [3] 苏建加,廖聪裕,鲁锦涛.基于 FPGA 的数字存储示波器设计[J].河北农机,2012,(3):62-63.

- [4] 叶芃,周建明,张沁川.高速数字存储示波器实现技术[J].电子测量与仪器学报,2005,19(3):42-45.
- [5] 王浩,王子斌.一种 2 Gsps 数字示波器数据采集系统的设计[J].信息与电子工程,2009,7(4):257-260.
- [6] 古天祥,王厚军,习友宝.电子测量原理[M].北京:机械工业出版社,2010.
- [7] 薛开昶.几种放大器的程控增益电路设计[J].陕西科技大学学报,2009,27(3):138-142.
- [8] 李世文,潘中良.数字存储示波器中触发电路的 FPGA 设计与实现[J].中国仪器仪表,2009(3):68-71.
- [9] 潘松,黄继业.EDA 技术与 VHDL[M].3 版.北京:清华大学出版社,2009.
- [10] 黄新,雷加.基于 FPGA 的交错采样数字存储示波器设计[J].电子测量技术,2010,33(7):73-76.
- [11] 潘建国,阙沛文,雷华明.基于 FPGA 的高速大容量数据采集系统设计[J].电子测量技术,2008,31(9):166-169.

作 者 简 介

行韶谓,男,1991 年出生,电子科技大学 2009 级本科生,主要从事电子测量仪器、信号处理和 FPGA 应用研究。
E-mail:joelv1991@gmail.com