

# 基于 HMC830 的低相噪低杂散频率源的设计

潘玉剑, 张晓发, 袁乃昌

(国防科学技术大学 电子科学与工程学院, 湖南 长沙 410073)

**摘要:** 针对频率源的相噪会恶化采样数据的信噪比, 杂散会降低接收机灵敏度, 提出了一种低相噪低杂散的设计方法。该方法利用 Hittite 公司的新推出的集成 VCO 的锁相环芯片 HMC830 进行设计, 供电部分采用多个低噪声稳压芯片, 参考频率源为 Pascall 公司的 OCXO 晶振, 环路滤波器为无源四阶, 使用 Hittite PLL Design 软件进行设计, 另外采用 C8051F300 单片机对锁相环芯片进行寄存器操作。实验结果显示: 鉴相频率为 100 MHz, 输出频率为 1.8 GHz 时, 整数分频模式下, 相位噪声为  $-112.2 \text{ dBc/Hz}@1 \text{ kHz}$ , 杂散抑制度为  $-75.6 \text{ dBc}$ 。

**关键词:** 频率源; 锁相环; HMC830; 相位噪声; 杂散

中图分类号: TN911.8

文献标识码: A

文章编号: 1674-6236(2011)19-0180-03

## Design of low phase noise and low spurious frequency source based on HMC830

PAN Yu-jian, ZHANG Xiao-fa, YUAN Nai-chang

(School of Electronic Science and Engineering, National University of Defense Technology, Changsha 410073, China)

**Abstract:** To deal with the problem that phase noise worsens the SNR of sampling data and spurious degrades the sensitivity of thereceiver, a method of low phase noise and low spurious is presented. The method designs with the help of HMC830 integrated with VCO from Hittite. Several low noise regulators are used as the power supply, and reference frequency source is OCXO from Pascall. Loop filter is passive and four-order designed under the Hittite PLL Design software. Additionally, C8051F300MCU is used to do register operation in the PLL chip. Experimental results show that in integer mode when the PD frequency is 100 MHz and output frequency is 1.8 GHz, the phase noise is  $-112.2 \text{ dBc/Hz}@1 \text{ kHz}$  and the spurious suppression ratio is  $-75.6 \text{ dBc}$ .

**Key words:** frequency source; PLL; HMC830; phase noise; spurious

频率源可在雷达中用作本振信号, 进行上下变频, 也可以作为数据处理的采样时钟等, 在雷达和移动通信领域有着重要的作用。相位噪声和杂散是衡量频率源的两个重要指标, 大的相位噪声会造成时域的抖动, 导致采样数据的信噪比恶化, 而大的杂散会影响混频后信号的纯度, 降低接收机灵敏度<sup>[1]</sup>。所以必须使这两者尽可能低。

频率源的设计目前主要有 3 种技术: 直接频率合成、锁相频率合成、DDS(直接数字频率合成), 而锁相频率合成具有高性价比的特点。文中使用了锁相频率合成这一技术, 借助于 HMC830 锁相环芯片设计出了一种低相噪低杂散的频率源。实验结果表明该频率源的设计取得了理想的效果。

## 1 HMC830 的主要性能和工作原理

HMC830 是 Hittite 公司于 2011 年 4 月份新推出的一款宽带锁相环芯片, 其内部集成了 VCO, 输出频率范围为 25 MHz~3 GHz。内部鉴相器的鉴相频率可达 100 MHz, 高的鉴相频率一方面可以降低相噪, 另一方面可以设计带宽较宽的低通滤波器, 从而抑制 VCO 噪声和缩短锁定时间。芯片典型的输出

功率为 6 dBm, 并且可以 3 dB 步进调节。该芯片可工作于整数分频模式和小数分频模式, 其中小数模式下典型分辨率为 3 Hz, 并且在小数分频模式下引入了精确频率模式, 使得某些符合特定条件的频率可以精确获得。这款锁相环芯片有着业界领先的低相噪和低杂散, 其典型相噪为  $-110 \text{ dBc/Hz}$ 。芯片尺寸为 6×6 mm, 并且在  $-40\sim+85 \text{ }^{\circ}\text{C}$  都能保持良好的性能。

如图 1 所示为 HMC830 的功能框图, 从图中可以看出该芯片的各个功能模块。

参考信号从 XREFP 管脚进去到参考支路 R 分频器、PFD 鉴频鉴相器、CP 电荷泵, 从 CP 管脚出去, 通过外部低通滤波器, 再从 VTUNE 管脚进去到 VCO 压控振荡器, 通过 N 分频器反馈到 PFD 鉴频鉴相器形成锁相环路。其中通过加到 N 分频器上的  $\Delta\Sigma$  调制器以提供小数分频的功能。VCO 通过 CAL 模块获得校准的能力, 最后 VCO 通过一可变系数的分频器将需要的频率输出, 其中管脚 RF\_P 和 RF\_N 为差分输出。

外部控制信号通过 SCK、SDI 和 SEN 管脚以 SPI 总线的形式写进芯片内部的寄存器。管脚 LD\_SDO 为多功能管脚, 可以输出内部寄存器的值, 也可以配置为锁定监测输出等信号, 配置为锁定监测输出时, 高电平表示环路已经锁定, 低电平

收稿日期: 2011-08-19

稿件编号: 201108064

作者简介: 潘玉剑(1987—), 男, 江苏盐城人, 硕士。研究方向: 射频微波电路设计。

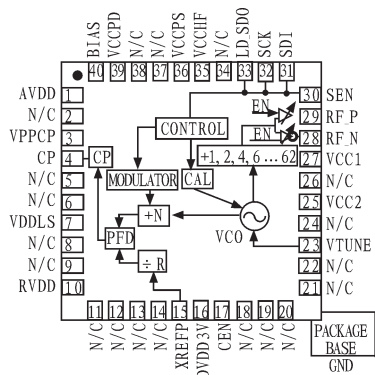


图1 HMC830功能框图

Fig. 1 HMC830 functional diagram

表示环路未锁定。CEN管脚为芯片使能,BIAS管脚需串联一电容到地,为偏置电路退耦。剩余管脚为各种电源输入以及空闲管脚。

该芯片输出频率为

$$f_{out} = \frac{f_{ref}}{R \times k} (N_{int} + N_{frac}) \quad (1)$$

其中,  $f_{ref}$  为参考信号频率,  $R$  为参考支路分频系数,  $N_{int}$  为反馈支路分频系数的整数部分,  $N_{frac}$  为反馈支路分频系数的小数部分(当工作在整数模式时该值为0),  $k$  为从VCO出来的分频系数,根据芯片规定,只能为偶数。上述值均可以通过芯片内部寄存器控制。

## 2 频率源的实现

频率源的实现主要包括硬件电路的实现和软件的调试,即寄存器的操作。

### 2.1 供电设计

由图1可以看出,该芯片有多达10个电源管脚,为了使输出的相噪和杂散尽可能小,供电部分需认真考虑。首先VCO的5 V供电不能受干扰影响,不然会增加噪声,故单独供电。数字供电和模拟供电要分开,故将5 V模拟VPPCP和5 V数字VDDLS分开供电。3.3 V的数字DVDD3V和单片机的3.3 V使用一个电源,剩余的3.3 V使用一个电源。故需共使用5块稳压芯片。稳压芯片采用NS公司的低噪声LP3878和LP5900稳压芯片,LP3878输出5 V,LP5900输出3.3 V。

### 2.2 低通滤波器设计

HMC830由于内部集成了VCO,故使用很简单,只需设计1个外部滤波器就可以工作。低通滤波器在环路中处于鉴相器和VCO之间,可以滤除来自晶振的噪声,鉴相器本身的输出噪声和载频分量,以及减少鉴相频率的泄露,还可以滤除来自VCO的噪声,但最重要的是建立起环路的动态特性。

滤波器设计时其带宽需要折中考虑,带宽小了,VCO噪声影响大,而且环路锁定时间延长;带宽大了,晶振和鉴相器噪声影响大。本设计借助于Hittite PLL Design设计滤波器。该软件是Hittite公司推出的锁相环辅助设计软件,可以仿真锁相环的相噪特性、锁定时间等。通过仿真比较,在鉴相频率为

100 MHz,输出频率为1.8 GHz时,设定滤波器为无源四阶低通滤波器,3 dB带宽为100 kHz,相位裕度为80度。滤波器电路如图2所示,电路两端分别接CP管脚和VTUNE管脚。

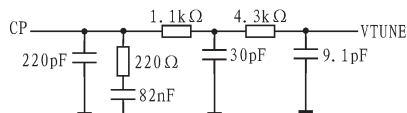


图2 低通滤波器电路图

Fig. 2 Low pass filter circuit

### 2.3 整体硬件电路设计

HMC830为差分输出,现在只需要单端输出。虽然可以通过寄存器设置为单端输出,但考虑到最大功率输出,故采用差分到单端的转换器,该转换器采用的是M/A-COM公司的ETC1-1-13。进行寄存器读写采用的是SiLabs公司的C8051F300,该单片机体积小,利于小型化。另外HMC830外围电路可以参照Hittite给出的评估版电路图进行设计。如图3所示,为设计完成的频率源的实体电路。

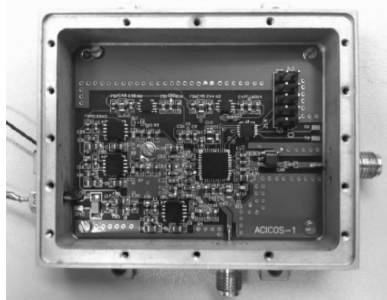


图3 频率源实物图

Fig. 3 Actual photo of frequency source

### 2.4 软件编程

HMC830拥有17个PLL寄存器和7个VCO Subsystem寄存器<sup>[4]</sup>。PLL寄存器为Reg00h到Reg0Ah到Reg13h,其中包括分多个频系数寄存器、电荷泵寄存器、锁定监测寄存器等。VCO Subsystem寄存器为VCO\_Reg00h到VCO\_Reg06h,包括VCO分频系数设定、输出功率设定和信号输出设定等。对VCO Subsystem寄存器的操作是通过写PLL寄存器Reg05实现的。

对寄存器操作的一般顺序和说明如下:

- 1) 写Reg02h寄存器,参考支路分频系数设定;
- 2) 写Reg06h寄存器,该寄存器设置芯片工作于整数模式或小数模式;
- 3) 写Reg07h寄存器,设置锁定监测的时间窗口。时间窗口设置过小会造成无法监测是否锁定;
- 4) 写Reg09h寄存器,设置电荷泵电流和电荷泵偏移电流。小数模式下需设置电荷泵偏移电流,整数模式不需要。一般电荷泵电流越大,相噪越小;
- 5) 写Reg0Ah,VCO自动校准设置,如设置为手动校准,可以实现捷变频;
- 6) 写Reg0Bh,可以设置为防止锁相环跳周或滑变;
- 8) 写Reg0Fh,LD\_SDO管脚功能定义,一般配置为锁定监

测输出;

9)写Reg05h,通过写该寄存器,间接写到VCO Subsystem的7个寄存器中,VCO\_Reg00h最后写,以便芯片能正确对VCO自动校准;

10)写Reg03h和Reg04h,设定N分频器分频系数;

11)写Reg0Ch,在小数模式下可将某些频率精确输出。

数据写入采用的是SPI总线形式,时序如图4所示。

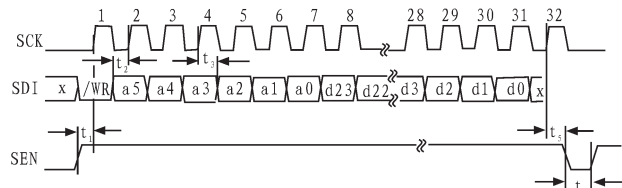
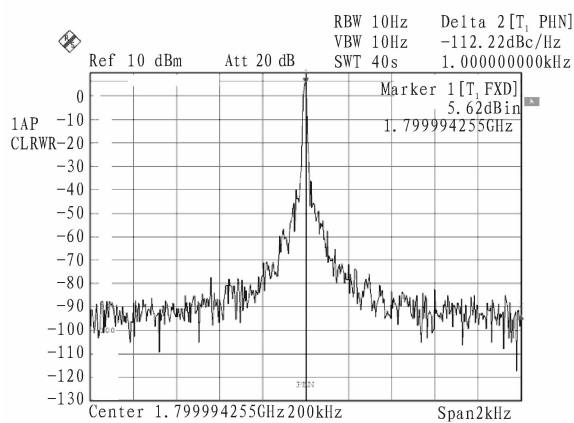
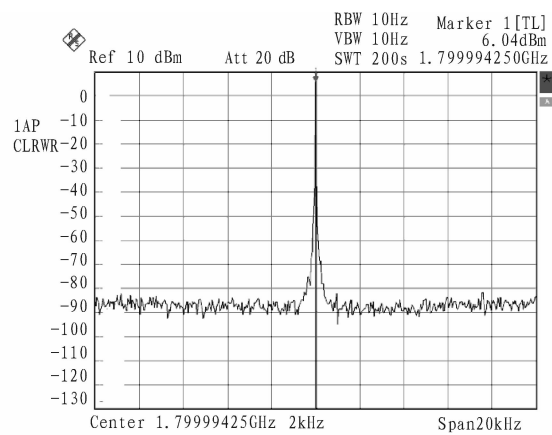


图4 HMC830 SPI写时序图

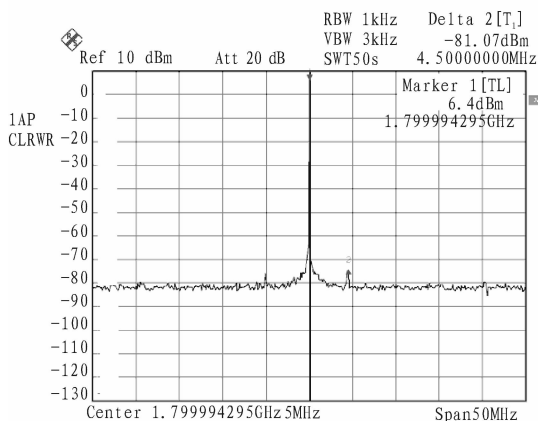
Fig. 4 HMC830 SPI timing diagram of write



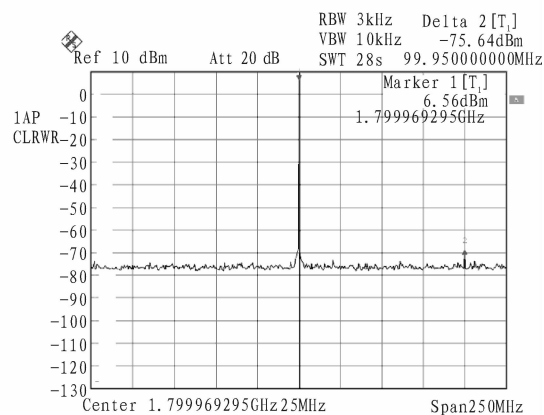
(a) 1 kHz处相噪  
(a) phase noise at 1 kHz



(b) 10 kHz处相噪  
(b) phase noise at 10 kHz



(c) 杂散一  
(c) spurious one



(d) 杂散二  
(d) spurious two

图5 测试结果

Fig.5 Test result

图5(a)显示偏离载波1 kHz时相噪为-112.2 dBc/Hz;(b)中span为20 kHz显示在偏离10 kHz的相噪和偏离1 kHz时相比,几乎没有变化;(c)显示在偏离载波4.5 MHz处有杂散,杂

SCK为来自单片机的时钟信号,SCK第一个上升沿,SDI为高电平即开始写,SEN为写使能.SDI先输入6位寄存器地址信号,再输入24位数据,该24位数据就是对应地址寄存器的值,在每一个时钟上升沿数据被送入芯片,高位先进。

软件编程采用的是Silicon Laboratories IDE编程环境,C语言编写,最后下载到单片机执行。

### 3 测试结果及分析

测试时,鉴相频率设置为100 MHz,输出频率为1.8 GHz,为了获取尽可能小的相噪,芯片工作在整数模式下。参考频率由晶振提供。晶振采用的是Pascall公司的OCXO-3-100.0-1-0-0晶振,该晶振在偏移1 kHz处相噪为-158 dBc,典型输出功率为13 dBm,性能很好。

测试仪器为R&S公司的FSP-40频谱分析仪。测试结果如图5所示。

散抑制度为-81 dBc;(d)中频谱仪span为250 MHz,在偏离载波100 MHz处有杂散,杂散抑制度为-75.6 dBc。这里的杂散是由于鉴相频率的泄露造成的。

(下转第186页)

高出分组或是分组数目较少的误码率几个数量级。即随着每一组中子载波数量的增加,系统的性能越来越坏。结果表明分组以后的确会影响系统的性能。但是考虑在多用户系统中如果能够在一定的天线数目中选择与其匹配的分组数目,这样就能达到两种目的:一是能够提高系统的效率;二是能够保证系统要求的BER。这两种结果正是设计者需要的。所以在大量用户的情况下设计者可以适当选择分组算法来减少运算量和信令的开销。

## 4 结 论

仿真结果可以看出自适应调制技术同样适合多天线系统,在MIMO-OFDM系统中同样是正确的。MIMO/OFDM技术是通过在OFDM传输系统中采用阵列天线实现空间分集,提高信号质量。因为采用多个天线,就会相应生成多个空间信道,而且若干个空间信道不太可能同时处于深衰落中。利用各个子信道间传输信息的互补,来提高多用户间信息传递的准确性,若是单用户还可以提高信息的传递速率。

在采用分集技术时,为了获得好的分集效果,要求分集接收到的各个信号副本之间的相关性尽可能的小。所以从上述的误码率曲线也可以看出来,发送与接收的天线数越多它对应的误码率曲线就越好。事实上从误码率曲线的仿真越来

越好,说明本文自适应比特分配算法在多用户中的有效性。

### 参考文献:

- [1] 王文博,郑侃.宽带无线通信OFDM技术[M].北京:人民邮电出版社,2003.
- [2] Joonsuk k, Cioffi J M. Spatial multiuser access OFDM with antenna diversity and power control [C]// VTC 2000, Boston, MA, USA, 2000:273-279.
- [3] Tarokh V, Seshachi N, Calderbank A R. Space-time codes for high data rate wireless communications performance analysis and code construction [J]. IEEE Trans, Inform. Theory, 1999(45):1456-1467.
- [4] Chow P S, Cioffi J M, Bingham J A C. A practical discrete multitone transceiver loading algorithm for data transmission over spectrally shaped channels [J]. IEEE Transactions on Communications, 1995(43):234-273.
- [5] Fischer R F H, Huber J B. A new loading algorithm for discrete multitone transmission[M]. IEEE Proc. Globecom, 1996(1):724-728.
- [6] 王昕,滕建辅. MIMO/OFDM系统中信道估计和自适应调制算法的研究[D]. 天津:天津大学,2005:81-83.

(上接第182页)

## 4 结 论

笔者介绍了利用Hittite公司新推出的HMC830锁相环芯片设计低相噪低杂散的频率源的方法,使用该方法获得了良好的性能。这款芯片集成了VCO,具有设计简单,带宽大,性能优异的特点。其低相噪低杂散的优点能够很好地满足雷达和无线通信系统的要求,可替代市场同类产品。

### 参考文献:

- [1] Analog Devices. 锁相环常见问题解答 [EB/OL]. (2011) [2011-08-19]. [http://www.analog.com/static/imported-files/zh/faqs/faq\\_PLL.pdf](http://www.analog.com/static/imported-files/zh/faqs/faq_PLL.pdf).
- [2] Hittite Microwave Corporation. HMC830LP6GE Datasheet[EB/OL]. (2011) [2011-08-19]. [http://www.hittite.com/content/documents/data\\_sheet/hmc830lp6g.pdf](http://www.hittite.com/content/documents/data_sheet/hmc830lp6g.pdf).

- [3] Gardner, Floyd M. 锁相环技术[M]. 姚剑清,译.北京:人民邮电出版社,2007.
- [4] Hittite Microwave Corporation. HMC830LP6GE Eval. PCB Schematic [EB/OL]. (2011) [2011-08-19]. [http://www.hittite.com/content/documents/eval\\_pcb\\_schematic/hmc830lp6g\\_eval\\_pcb\\_schematic.pdf](http://www.hittite.com/content/documents/eval_pcb_schematic/hmc830lp6g_eval_pcb_schematic.pdf).
- [5] Hittite Microwave Corporation. PLLs with Integrated VCORF applications Production & Operating Guide [EB/OL]. (2011) [2011-08-19]. [http://www.hittite.com/content/documents/operating\\_guide/pll\\_operating\\_guide\\_rf\\_vcos.pdf](http://www.hittite.com/content/documents/operating_guide/pll_operating_guide_rf_vcos.pdf).
- [6] Pascall Electronics. Ultra Low Noise VHF Crystal Oscillators [EB/OL]. (2011) [2011-08-19]. <http://www.pascall.co.uk/pdfs/OCXOF%200710.pdf>.

**欢迎投稿! 欢迎订阅! 欢迎刊登广告!**

国内刊号: CN61-1477/TN

国际刊号: ISSN 1674-6236

在线投稿系统: <http://mag.ieechina.com>

[ad@ieechina.com](mailto:ad@ieechina.com) (广告)

地 址: 西安市劳动南路210号5-1-3信箱

邮政编码: 710082