

# AD9854

## 特征

- **300M** 内部时钟频率
- 可进行频移键控 (**FSK**), 二元相移键控 (**BPSK**), 相移键控 (**PSK**), 脉冲调频 (**CHIRP**), 振幅调制 (**AM**) 操作
- 正交的双通道 **12** 位 **D/A** 转换器
- 超高速比较器, **3** 皮秒有效抖动偏差
- 外部动态特性:
  - **80 dB** 无杂散动态范围 (**SFDR**) @ **100 MHz** ( $\pm 1$  MHz) **A<sub>OUT</sub>**
- 4 倍到 20 倍可编程基准时钟乘法器
- 两个 48 位可编程频率寄存器
- 两个 14 位可编程相位补偿寄存器
- 12 位振幅调制和可编程的通断整形键控功能
- 单引脚 FSK 和 BPSK 数据输入接口
- PSK 功能可由 I/O 接口实现
- 具有线性和非线性的脉冲调频 (FM CHIRP) 功能, 带有引脚可控暂停功能
- 具有过渡 FSK 功能
- 在时钟发生器模式下, 有小于 **25 ps RMS** 抖动偏差
- 可自动进行双向频率扫描
- 能够对信号进行  $\sin(x)/x$  校正
- 简易的控制接口:
  - 可配置为 **10MHZ** 串行接口, **2** 线或 **3** 线 **SPI** 兼容接口或 **100MHZ** **8** 位并行可编程接口
- **3.3V** 单电源供电
- 具有多路低功耗功能
- 单输入或差分输入时钟
- 小型 **80** 脚 **LQFP** 封装

## 应用

- 便携式频率特性分析仪
- 可编程时钟发生器
- 应用于雷达和扫频系统的脉冲调频信号源
- 测试和测量设备
- 商业和业余的射频 (**RF**) 发射机

## 概述

AD9854 数字合成器是高集成度的器件, 它采用先进的 DDS 技术, 片内整合了两路高速、高性能正交 D/A 转换器通过数字化编程可以输出 I、Q 两路合成信号。在高稳定度时钟的驱动下, AD9854 将产生一高稳定的频率、相位、幅度可编程的正弦和余弦信号, 作为本振用于通信, 雷达等方面。AD9854 的 DDS 核具有 48 位的频率分辨率 (在 300M 系统时钟下, 频率分辨率可达 1uHZ)。输出 17 位相位截断保证了良好的无杂散动态范围指标。AD9854 允许输出的信号频率高达 150MHZ, 而数字调制输出频率可达 100MHZ。通过内部高速比较器正弦波转换为方波输出, 可用作方便的时钟发生器。器件有两个 14 位相位寄存器和一个用作 BPSK 操作的引脚。对于高阶的 PSK 调制, 可通过 I/O 接口改变相位控制字实现。具

有改进 DDS 结构的 12 位 I 和 Q 通道 D/A 转换器可以提供较大的带宽并有较好的窄带无杂散动态范围（SFDR）。如果不使用 Q 通道的正交功能，它还可以通过配置，由用户编程控制 D/A 转换。当配置高速比较器时，12 位 D/A 输出的方波可以用来做时钟发生器。它还有两个 12 位数字正交可编程幅度调制器，和通断整形键控功能，并有一个非常好的可控方波输出。同时脉冲调制功能在宽带扫频中也有重要应用。AD9854 的 300M 系统时钟可以通过 4X 和 20X 可编程控制电路由较低的外部基准时钟得到。直接的 300M 时钟也可以通过单端或差分输入。AD9854 还有单脚输入的常规 FSK 和改进的斜率 FSK 输出。AD9854 采用先进的 0.35 微米 COMS 工艺在 3.3V 单电源供电的情况下提供强大的功能。

AD9854 采用节省空间的 80 脚 LQFP 表面装配封装和改进散热的 80 脚 LQFP 封装。AD9854 的引脚与 AD9852 的单频信号发生器模式相兼容。AD9854 的特定操作允许温度是工业级范围：-40 到 85 摄氏度。

引脚配置和功能描述

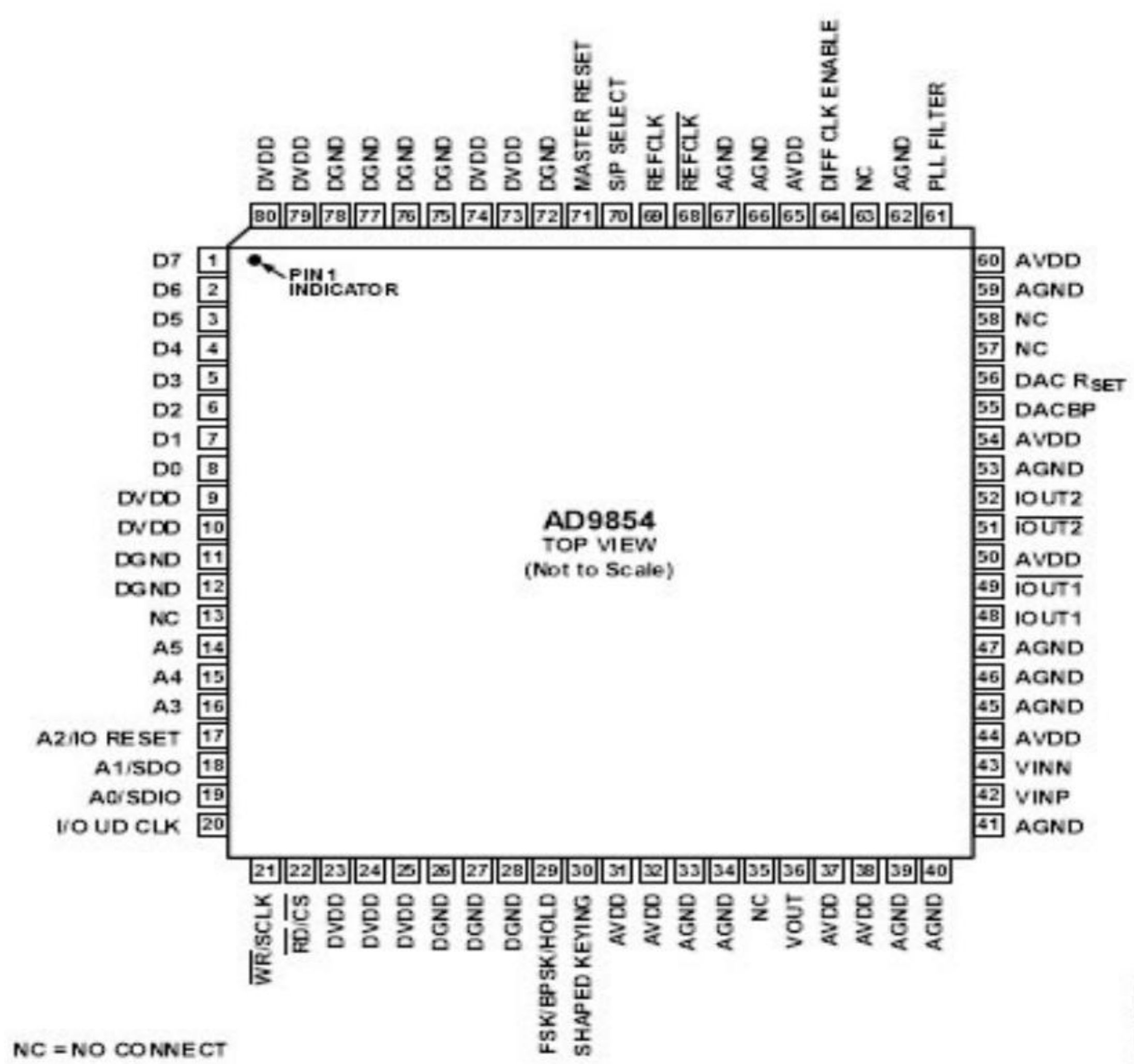


Figure 2. Pin Configuration

图 1 管脚配置  
表 1 引脚功能描述表

引脚号	记述	功能描述
-----	----	------



1 to 8	RD/CS	D7 to D0	八位并行可编程数据输入。只用于并行可编程模式。
9, 10, 23, 24, 25, 73, 74, 79, 80	FSK/BPSK/HOLD	DVDD	连接数字电路电源输入。正常情况下相对于模拟地和数字地的正向电位是 3.3V。
11, 12, 26, 27, 28, 72, 75, 76, 77, 78	SHAPED KEYING	DGND	连接数字电路的回路地。与模拟地具有相同的电位。
13, 35, 57, 58, 63	AVDD	NC	没有内部连接。
14 to 16	AGND	A5 to A0	可编程寄存器的六位地址输入。仅用于并行可编程模式。引脚 17 (A2), 18 (A1), Pin 19 (A0)在选择串行模式时还有第二功能，后面有具体描述。
(17)	VOUT VINP IOUT2	A2/IO RESET	串行通信总线的 I/O 允许复位端，由于编程协议的不成熟而没有应答信号产生。在这种方式下复位及不影响以前的编程设置也不影响表 7 中的默认编程设置。高电平时复位有效
(18)	IOUT2	A1/SDO	单向串行数据输出端。应用于 3 线串行通信模式中。
(19)	DACBP	A0/SDIO	双向串行数据输入/输出端。应用于 2 线串行通信模式中。
20	DAC R <sub>SET</sub>  PLL FILTER	I/O UD CLK	双向 I/O 更新时钟。方向的选择在控制寄存器中设置。如果作为输入端，时钟上升沿将 I/O 端口缓冲器的内容传送到可编程寄存器。如果作为输出端(默认)，输出一八个系统时钟周期的单脉冲（由低到高）表示内部频率更新已经发生。
21	REFCLK	WR/SCLK	写并行数据到 I/O 端口寄存器。复用功能为 SCLK 时，串行时钟与串行总线相结合，数据在时钟上升沿锁存。当选择并行模式时这个管脚复用为 WR 功能。模式选择在第 70 脚 (S/P 选择)。
22	REFCLK	RD/CS	从可编程寄存器中读出并行数据。复用功能为 CS 时，片选端与串行可编程总线相结合，低电平有效。当选择并行模式时这个管脚复用为 RD 功能。
S/P SELECT MASTER RESET			

29	FSK/BPSK/ HOLD	多功能复用引脚。其功能操作模式由可编程控制寄存器选择。在 FSK 模式时，低电平选择 F1，高电平选择 F2。在 BPSK 模式时，低电平选择相位 1，高电平选择相位 2。在 CHIRP 模式时，高电平使能 HOLD 功能，保持当前频率和停止后的状态。将管脚电平置低可重起 CHIRP 功能。
30	SHAPED KEYING	使用此管脚必须在可编程控制寄存器设置此功能。高电平时，在预先设定的频率下 I 和 Q 通道输出从 0 上升到满幅的信号。低电平时，在预先设定的频率下 I 和 Q 通道输出从满幅下降到 0 标度的信号。
31,32,37,38,44,50,54,60,65	AVDD	连接模拟电路的电压输入。 正常情况下保持对模拟地和数字地 3.3V 的正向压降。
33,34,39,40,41,45,46,47,53,59,62,66,67	AGND	连接模拟电路的回路地。 与数字地具有相同的电位。
36	VOUT	内部高速比较器同相输出引脚。 该引脚在负载 50 $\Omega$ 的情况下驱动功率为 10 dBm，其输出电平与 CMOS 电平兼容。
42	VINP	电压正向输入端。 内部高速比较器的同相输入端。
43	VINN	电压反向输入端。 内部高速比较器的倒相输入端。
48	IOUT1	I 通道单极性电流输出或余弦输出。(参考图 3.)
49	—— IOUT1	补充 I 通道单极性电流输出或余弦输出。
51	—— IOUT2	补充 Q 通道单极性电流输出或正弦输出。
52	IOUT2	Q 通道单极性电流输出或正弦输出。这种模拟输出可以通过接收 12 位数据代替内部正弦数据，允许 AD9854 仿效 AD9852 的 DAC 功能。
55	DACBP	I 和 Q DAC 的公共旁路电容。接一个 0.01 $\mu$ F 的电容到 AVDD 可以改善谐波失真和杂散性。不接也可以(会使 SFDR 降低)。
56	DAC RSET	设置 I 和 Q 通道满电流输出的公共端。建立电阻为 39.9/IOUT（输出电流）。通常建立电阻在 8K（5mA）到 2K（20mA）。
61	PLL FILTER	为基准时钟倍乘锁相环路滤波器外部零位补偿网络提供连接。零位补偿网络由一个 1.3 k $\Omega$ 电阻和一个 0.01 $\mu$ F 电容组成。网络的另一端必须连接模拟电源，并尽可能靠近第 60 脚。为了更好的抑制相位噪声，通过在控制寄存器（1EH）设置旁路倍频位，屏蔽掉基准时钟乘法器。
64	DIFF CLK ENABLE	差分基准时钟使能。 该管脚高电平使能差分时钟输入， REFCLKA 和 REFCLKB (管脚 69 和 68)。
68	REFCLKA	差分时钟补偿信号 (180 度相位)。当选定单端信号输入模式用户需要把该管脚连接到高电平或低电平。它的输入是和基准时钟是相同的信号电平。
69	REFCLKB	单端基准时钟输入端 (要求 CMOS 逻辑电平) 和差分输入信号的一端。在差分时钟模式下，输入可以是 CMOS 逻辑电平也可以是峰峰值大于 400mV，中心直流电平约 1.6V 的方波或正弦波。
70	S/P SELECT	选择串行编程模式（低电平）和并行编程模式（高电平）。
71	MASTER RESET	初始化串/并总线为用户的编程做准备。设置可编程寄存器为表 7 中的无操作默认状态值。



# 操作说明

AD9854 正交数字信号发生器是一款有着广泛应用的非常灵活的器件。器件包括一个 48 位的相位累加器，可编程基准时钟乘法器，反辛格滤波器，数字乘法器，两个 12 位/300HZ 数模转换器，一个高速模拟比较器和内部逻辑电路。这款高度集成的器件可以用作本机震荡发生器，灵活的时钟发生器和 FSK/BPSK 调制器。

Analog Devices 股份有限公司的技术指南提供了关于器件功能模块的操作说明。指南包括利用 DDS 器件产生信号的技术描述并提供了适合多种数字化实体的基本应用。文件，《关于数字信号发生器的技术指南》在 AD 公司 DDS 网页 [www.analog.com/dds](http://www.analog.com/dds) DDS 技术库中提供。

## 操作模式

AD9854 有 5 种可编程操作模式。为了选择某一模式，必须对控制寄存器（并行操作地址：1FH）中的 3 个相关位进行编程设置。具体描述在下表：

表 2. 模式选择表

模式 2	模式 1	模式 0	结果
0	0	0	Single Tone
0	0	1	FSK
0	1	0	Ramped FSK
0	1	1	Chirp
1	0	0	BPSK

在每种模式下都有许多功能不被允许。

### 单信号模式（模式 000）

这是用户复位之后的一种默认模式。也可以通过用户编程使能这种模式。相位累加器用以产生信号的频率，它有 48 位有效值，取自频率调整寄存器 1，它的默认值为 0。保留寄存器的默认值更能决定输出信号的质量。

用户复位后，默认设置配置器件，输出 0HZ，0 相位的信号。在上电复位时，在 I 和 Q 通道输出的是一半满幅电流的直流信号。这是默认模式的 0 幅度输出。选择幅度开关键控模式则需要更多细节的输出幅度控制。若输出用户定义的信号需要对 28 个寄存器全部或部分进行编程。

表 35 显示了从默认 0HZ 到用户定义输出频率的变化。

和所有 AD DDS 器件一样，频率控制字有如下定义：

$$FTW = (Desired\ Output\ Frequency \times 2^N) / SYSCLK$$

式中：

N 相位累加器的资源（本器件 48 位）。

Frequency 以 HZ 表示。

FTW（频率调整字）是一个定义数字。

一旦定义数字选定，它必须转换为内部的权重为 1 或 0 的 48 位串行二进制码。建立的 DAC 输出信号频率范围从直流到 1/2 系统时钟。

改变频率时相位是连续的，这意味着新的频率的相位取样值参考之前输出频率的相位取样值。

AD9854 的 I 和 Q 通道输出的信号总是保持 90 度的相位差。调整每个通道的输出相位两个 14 位相位寄存器并不是独立的。换言之，两 DAC 输出通过相位补偿互相影响。

单信号模式允许用户控制以下信号参数：

- 48 位输出频率精度
- 12 位输出幅度精度
  - 固定的，用户定义的幅度
  - 可变的，可编程幅度控制
  - 自动的，可编程，单引脚控制，幅度成型键控
- 14 位输出相位精度

这些参数可以在 100MHZ 并行速度下通过 8 位并行端口或 10MHZ 串行端口通过编程改变和调整。联合这些属性在单信号模式下可以实现 FM, AM, PM, FSK, PSK 和 ASK 操作。



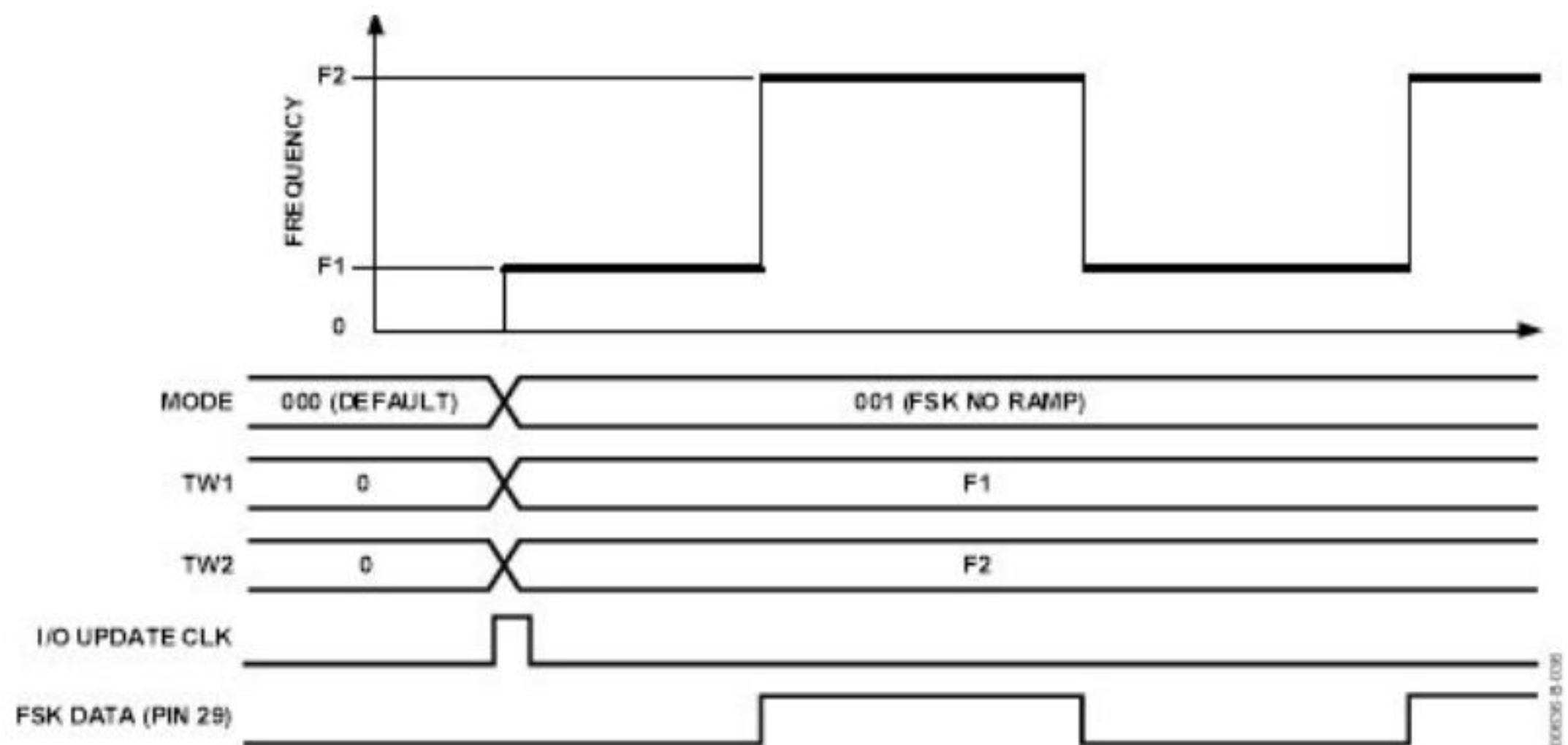


Figure 36. Traditional FSK Mode

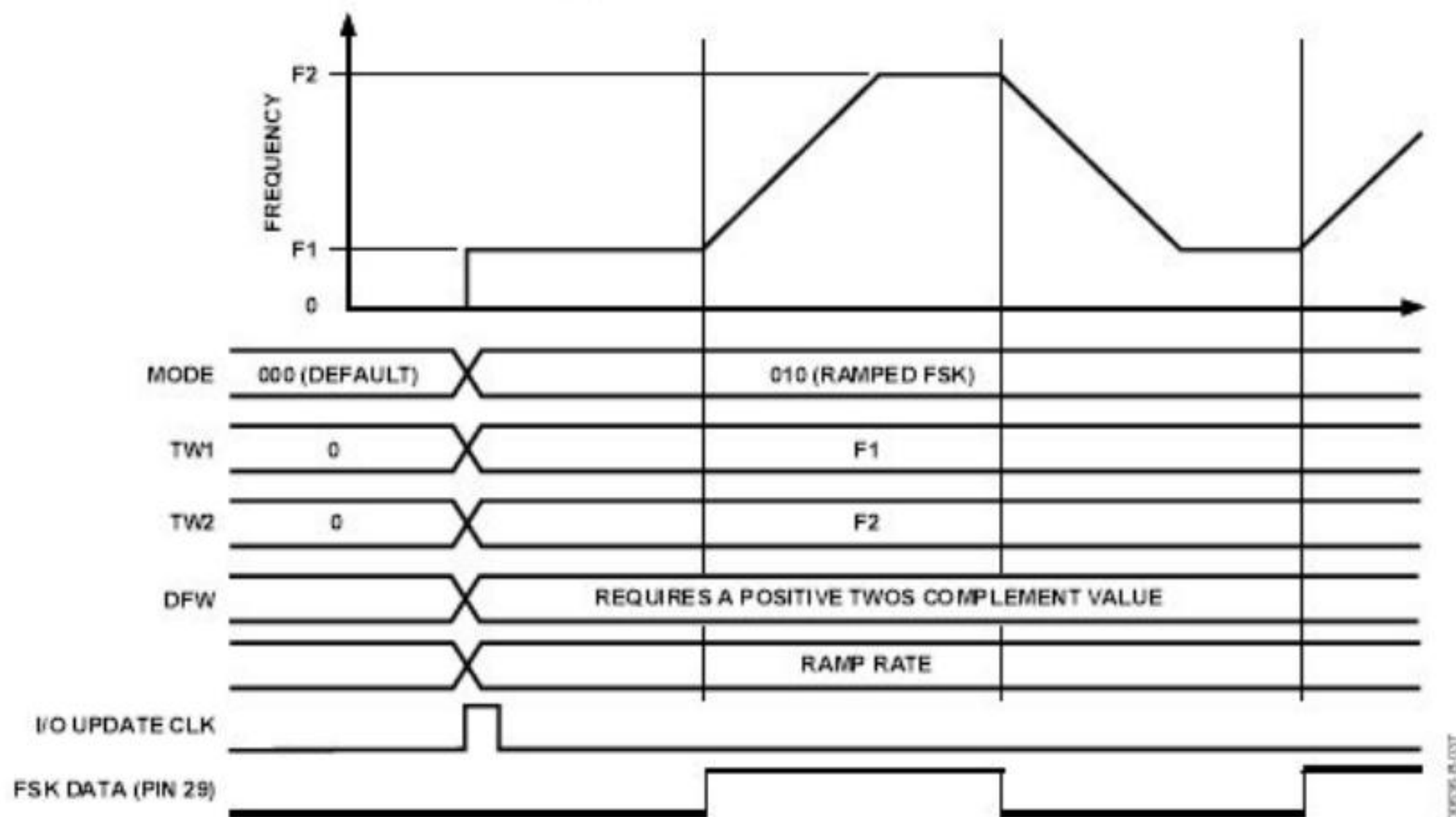


Figure 37. Ramped FSK Mode

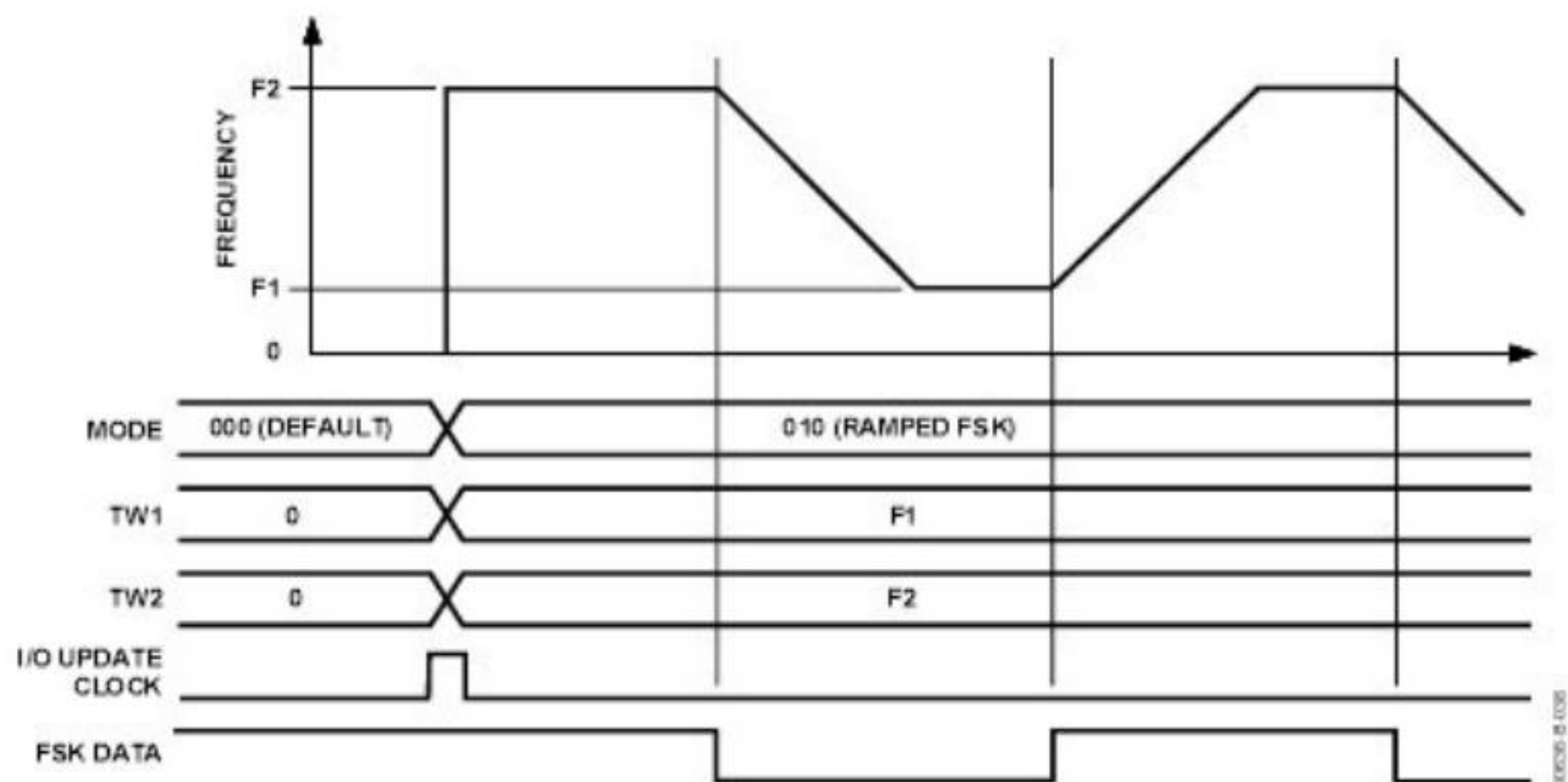


Figure 38. Ramped FSK Mode

### 无斜率 FSK (模式 001)

当这种模式被选中, 输出的 DDS 频率是一个选择频率控制寄存器 1 和 2 的函数, 它的输出取决于 29 脚逻辑电平的高低。29 脚为逻辑低电平时选择 F1 (频率控制字 1, 并行地址为 04H 到 09H), 29 脚为逻辑高电平时选择 F2 (频率控制字 2, 并行地址为 0AH 到 0FH)。改变频率相位连续, 并且和 FSK 数据引脚内部一致。但是, FSK 数据信号和 DAC 输出存在线性时延。

无斜率 FSK, 是传统 FSK, 它传输的是数字信号, 它在数字通信中有着重要作用。但是它会影响到 RF 发射机的使用带宽, 因此用斜率 FSK 来改善使用带宽。

### 斜率 FSK (模式 010)

这种 FSK 模式下, 频率从 F1 到 F2 不是直接变化, 而是通过扫频和斜率形成。线性扫频和斜率形成可以很容易的自动完成, 不过这都是许多设置中的一项。其它频率传输的设置, 用户可以配置增量控制寄存器, 来编程控制扫频间隔和扫频速度。

频率斜率变化不管是线性还是非线性都会输出许多介于 F1 和 F2 之间的频率, 而不仅是这两个基本输出。图 37 和 38 描述了一线性斜率 FSK 信号的频率输出与时间的关系。

需要注意, 在斜率 FSK 模式下, 频率步进字是要求编程设置的, 它被用作双作用的补足值。须要注意的另一个问题是, 最低频率一定要放在频率控制寄存器 1 中。

斜率 FSK 通过同缓慢的、用户定义变化率的实时频率来改善传统 FSK 对带宽的限制。输出信号在 F1 和 F2 频率点保持时间与其它实时点相同或稍大。与传统 FSK 不同, 斜率 FSK 要求: F1 和 F2 分别存储低频率和高频率, 而不能任意。

用户必须通过编程来设定 DDSd 的中间频率变化的步进量 (of C48 位) 和每一步所持续的时间  $\Delta T$  (20 位)。另外, 如果要想让频率输出从 0 开始变化必须先给 CLR ACC1 位送一个正脉冲。对于分段的非线性频率传输, 必须对影响输出的寄存器进行编程设置。

并行寄存器 1AHex~1CHex 构成一个 20 位的斜率时钟寄存器。它是一个减计数器, 当计数值为 0 时输出一个脉冲信号。在 29 脚的输入电平没有变化时计数器一直有效。这个计数器在系统时钟下运行, 最大频率是 300MHz。每两个脉冲之间的时间周期用下式表示:

$$(N+1) * (\text{System Clock Period})$$

此处 N 是用户编程设置的 20 位斜率变化率。

N 的允许范围是 1 到  $(2^{20}-1)$ 。斜率变化时钟决定频率 F1 和 F2 之间的实时频率持续时间。当频率达到目标频率时计数器自动停止, 而 F1 和 F2 两频率点的持续时间由 29 脚输入的电平决定, 电平的高低决定到达的频率点的状态。

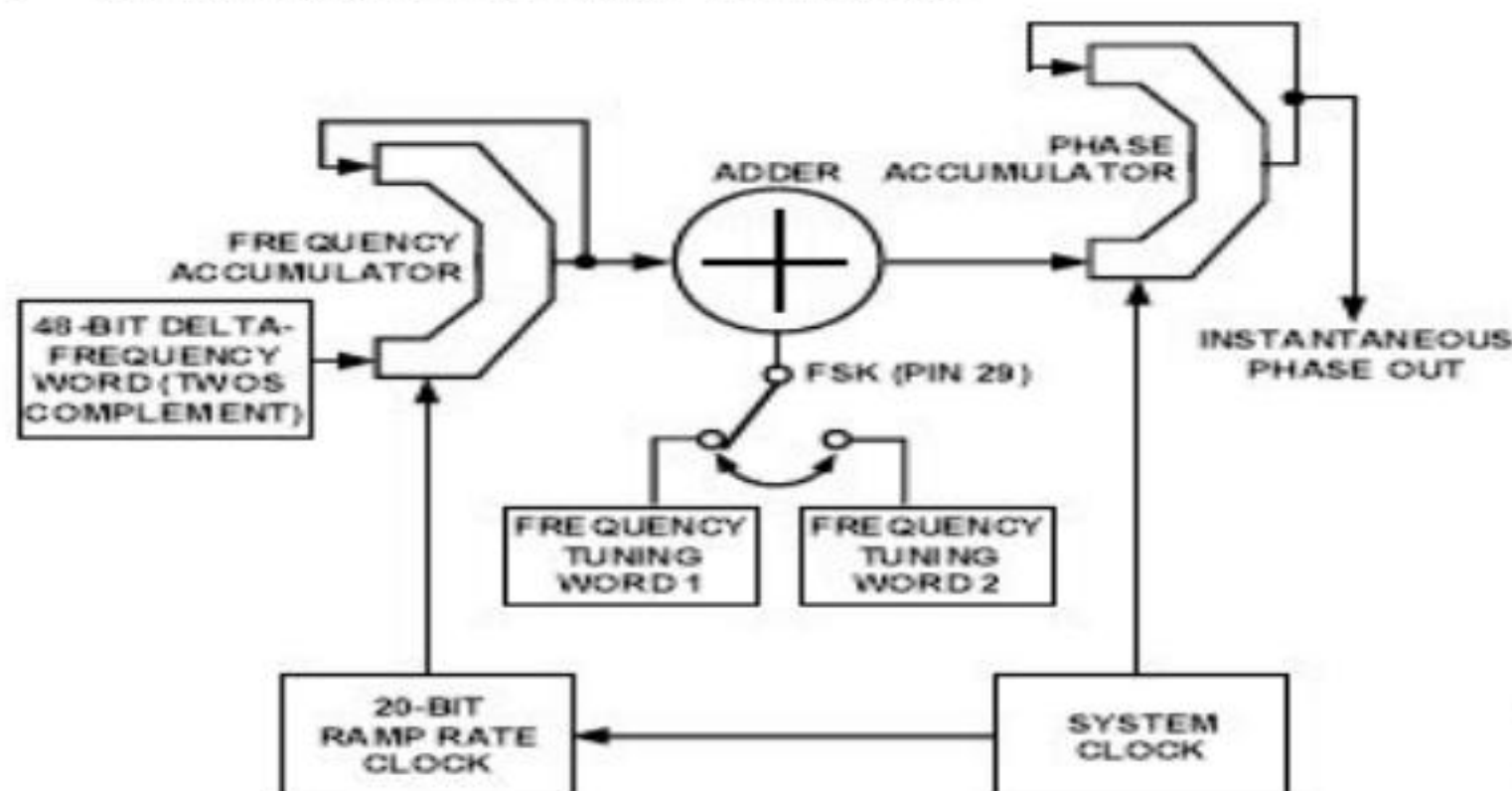


Figure 39. Block Diagram of Ramped FSK Function

图 39 FSK 功能模块图

并行寄存器 10Hex~15Hex 构成一个 48 位的双作用的斜率步进寄存器。当接收到斜率变化时钟时, 这个 48 位控制字被累加。此控制字被用来加或减到控制正弦或余弦输出的相位



步进的频率控制字寄存器 F1 或 F2。在这种模式下，29 脚的电平状态决定输出的频率是增量或减量斜率。其频率变化率是 20 位斜率变化寄存器的功能，一旦目标频率到达，计数器将停止计数即频率累加过程停止。

一般来说，频率步进字与频率控制字相比是一个比较小的值，举个例子，如果 F1 和 F2 分别是 1KHZ 和 13MHZ，那么步进频率字只有 25HZ。

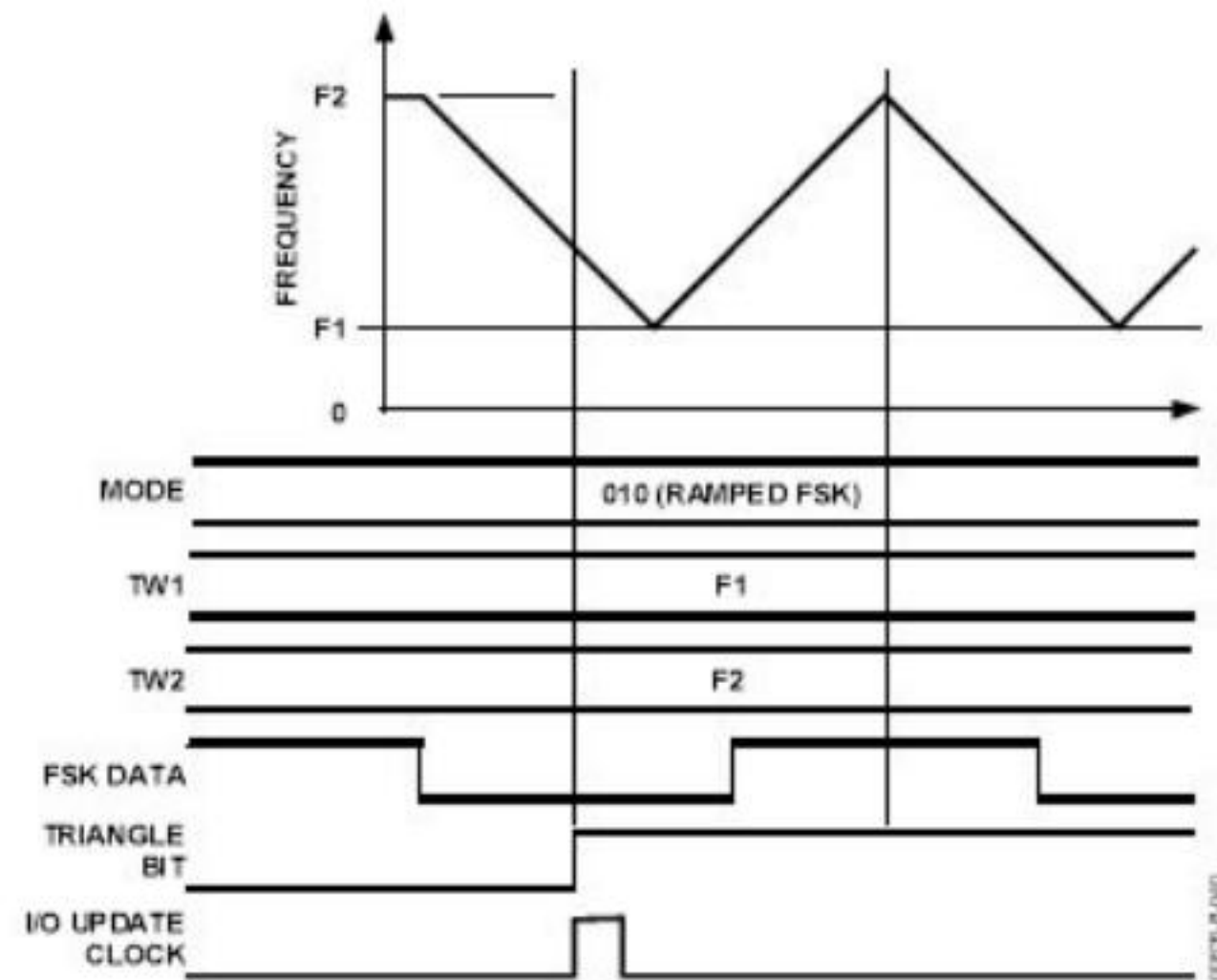


Figure 40. Effect of Triangle Bit in Ramped FSK Mode

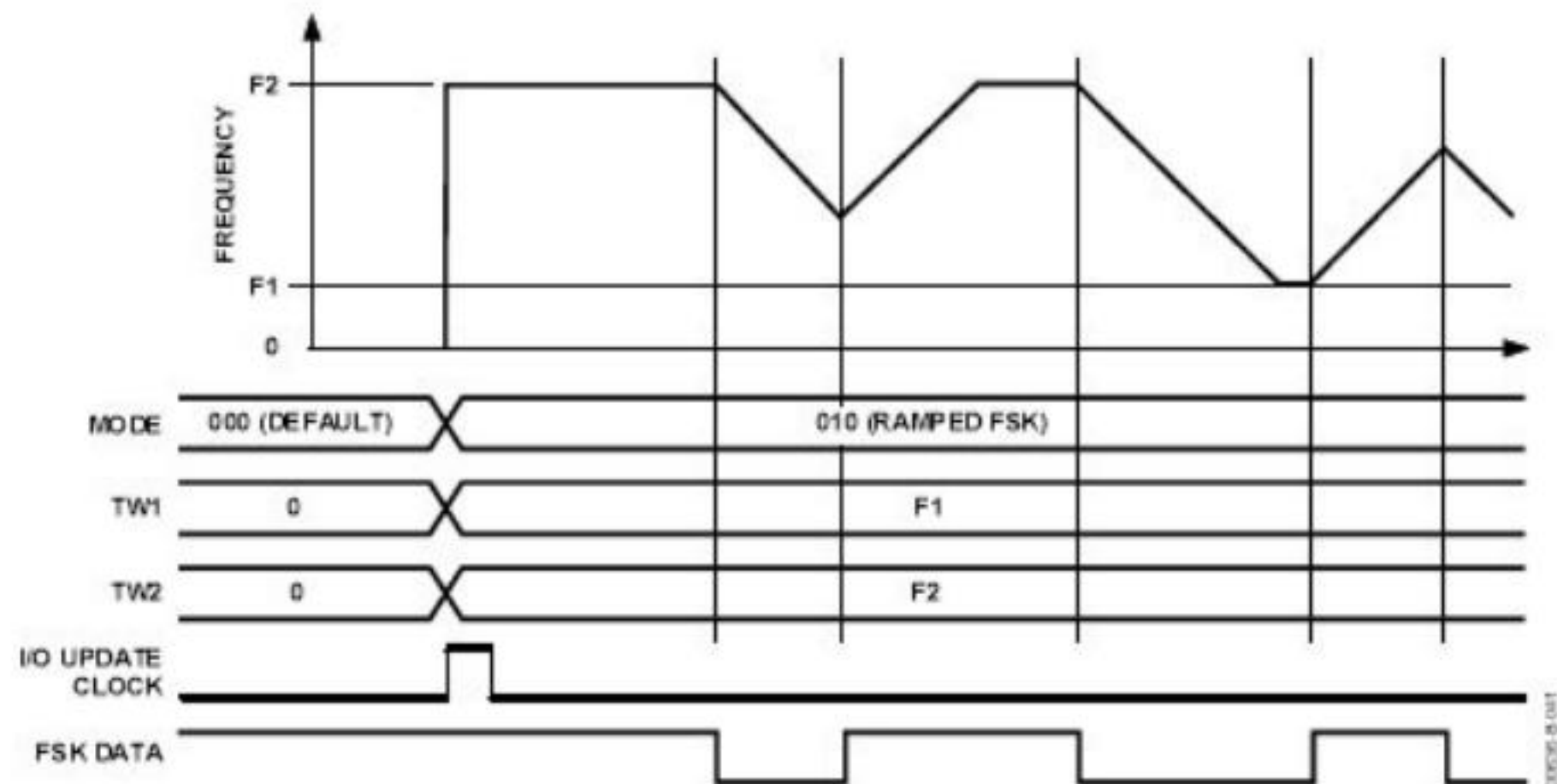


Figure 41. Effect of Premature Ramped FSK Data

图 41 显示了，电平过早的变化使频率的斜率变化翻转，并且以相同的变化率返回原状态。控制寄存器（1FHex）中含有一个“三角形”位。在 010 模式下设置此位为高电平将会再频率 F1 和 F2 之间进行三角形自动扫频，而不会受 29 脚电平变化的影响，如图 40。一旦这个位设置为 1，29 脚的状态将不会起作用。这一功能需要设置频率变化率和频率步进字来保证 F1 和 F2 之间的连续线性扫频具有相同的持续时间。使用此功能，可以对直流到最大输出频率之间的自动扫频。

在斜率 FSK 模式下 29 脚的电平和“三角形”位的上升沿决定扫频是从 F1 或 F2 开始（如图 42）。如果 29 脚电平是高电平而不是低电平，扫频则从 F2 开始而不是 F1。在 F1 和 F2 之间的斜率变化时，通过改变 20 位频率变化控制字和频率步进控制字，可增加斜率 FSK 模式的灵活性。结合多个线性斜率变化和各分段的不同斜率设置，可实现非线性的频率变化。在不同的设置下，DDS 的输出频率在 F1 和 F2 之间以不同的方式变化，实现多种方式扫频。

### 脉冲调频 (模式 011)

“Chirp”也称为“脉冲调频”(Pulsed FM)。该模式下,输出信号的频率在指定的范围和精度上发生线性或非线性的变化,扫描方向可以编程控制。该模式需要用户通过“HOLD”状态(29 管脚高电平)控制停止频率点,并控制频扫停止后的状态。

Chirp 模式是在指定的频率范围和频率精度上,频率可以是线性或非线性变化输出,而且扫频方向可控。在此模式中,大多数 Chirp 系统采用 FM 扫描方式,即 FM Chirp 模式,分线性和非线性脉冲调频两种方式。先设置频率控制字 F1,然后设置频率变化的步进量 OF 和每一步所持续的时间 $\Delta T$ ,最后使能更新实现脉冲调频。如果 OF 为正(最高位为 0),频率从 F1 向正方向扫描;4F 为负(最高位为 1),则频率从 F1 向负方向扫描。与 Ramped FSK 模式相比,该模式需要用户自己通过“HOLD”(P29 高电平)控制停止频率点,同时控制停止后的状态。一些复杂的跳频功能在这个模式下可以实现。

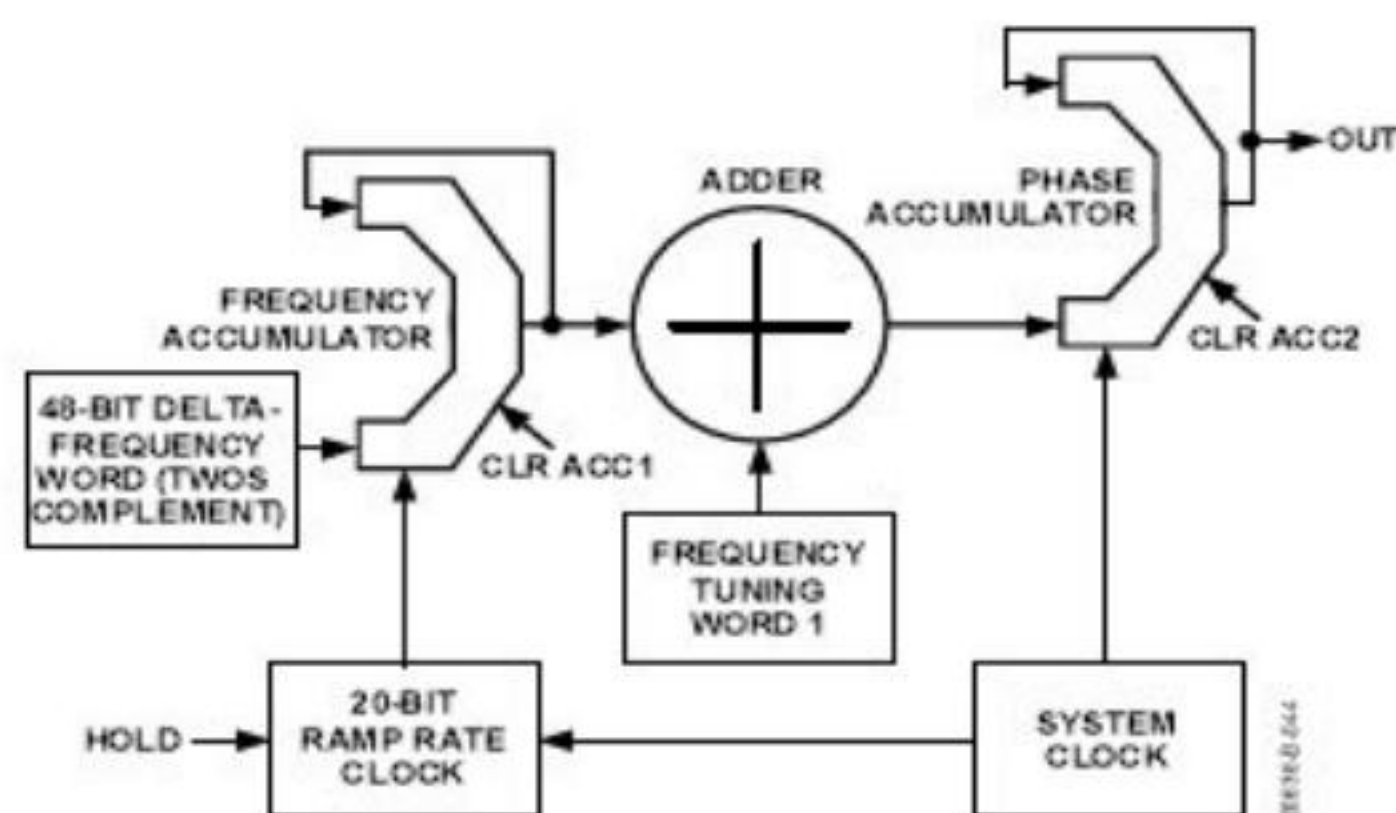


Figure 44. FM Chirp Components

图44 脉冲FM 模块

当 AD9854 工作在 Chirp 模式下时,基本编程步骤如下:

- (1)将初始频率控制字 WFc 写入 48 位 FTWI (Frequency Tuning Word 1)中。
- (2)将频率步进量写入 48 位 DFW (Delta Frequency Word)中。
- (3)将时间步进量写入 20 位 RRC (Ramp Rate Clock)中。
- (4)更新脉冲,将数据送入 DDS 核进行合成,输出信号。

在两个互补 DWT 中定义 FM Chirp 跳动的方向是有必要的。若果 48 位是 DWT 负的 (MSB 是高),则频率增量将会从 FTW1 向负方向改变。若果 48 位 DWT 字是正的 (MSB 是低),则频率增量将会向正方向改变。

值得注意的是 FTW1 仅仅是 FM Chirp 的开始点。这里没有约束返回 FTW1 的要求,一旦 FM Chirp 产生,它将会在奈奎斯特带宽 (直流到系统时钟 1/2 速率) 自由跳动 (在编程控制范围下)。

在 FM Chirp 模式中两个控制位可以利用,将会使能够返回开始频率 FTW1,或返回到 0HZ。首先,当 CLR ACC1 位 (寄存器地址 1F HEX) 设置为高,48 位频率累加 (ACC1) 的输出被清除,在一个持续一个系统时钟周期的 retriggerable 短脉冲后。输入到累加器的 48 位 DWT 字不影响 CLR ACC1 位。若果 CLR ACC1 位保持为高,单一短脉冲将会被释放到频率累加器 (ACC1),在每一个 I/O 更新时钟的上升沿,其作用是干扰当前的调频,设置频率回到 FTW1,以先前编程写好的速率和变化的方向继续该调频。在该调频模式中,清除频率累加器的输出如图 19 所示。如图中所示的 I/O 更新时钟,可以是使用者提供的或内部产生的。在该数据库中到处可以见到讨论 I/O 更新的描述。



另外，CLR ACC2 控制位（寄存器地址 1F HEX）是用于清除频率累加器和相位累加器的。当该位设置为高，相位累加器的输出将会从 DDS 中输出 0HZ。只要该位设置为高，频率和相位累加器将会被清除。从 0HZ 从新输出。要从新回到先前的 DDS 操作，CLR ACC2 必需设置为逻辑低，该位在脉冲产生 FM 中是非常之有用的。

图 20 表示作用于 CLR ACC2 位上的 DDS 输出频率。注意到寄存器被编程，当 CLR ACC2 位是高允许新的 FTW1 频率和斜升速率被生成。

另一种功能，只用于调频模式中，它就是 HOLD 引脚，引脚 29。该功能是停止进入斜升速率计数器的时钟信号。因此阻止任何更高时钟脉冲进入频率累加器，ACC1。其作用是保持调频跳动在目前的频率上面，在 HOLD 被拉高之前。当 HOLD 引脚回到底电平，始终重新使用和调频继续进行。在 HOLD 条件期间，使用者可以改变寄存器的编程，然而，斜升速率计数器必需重新操作在原来的速率直到计数器计数为 0，也包含在以各新的斜升速率技术产生。图 21 表示来 HOLD 功能在 DDS 输出频率的作用。

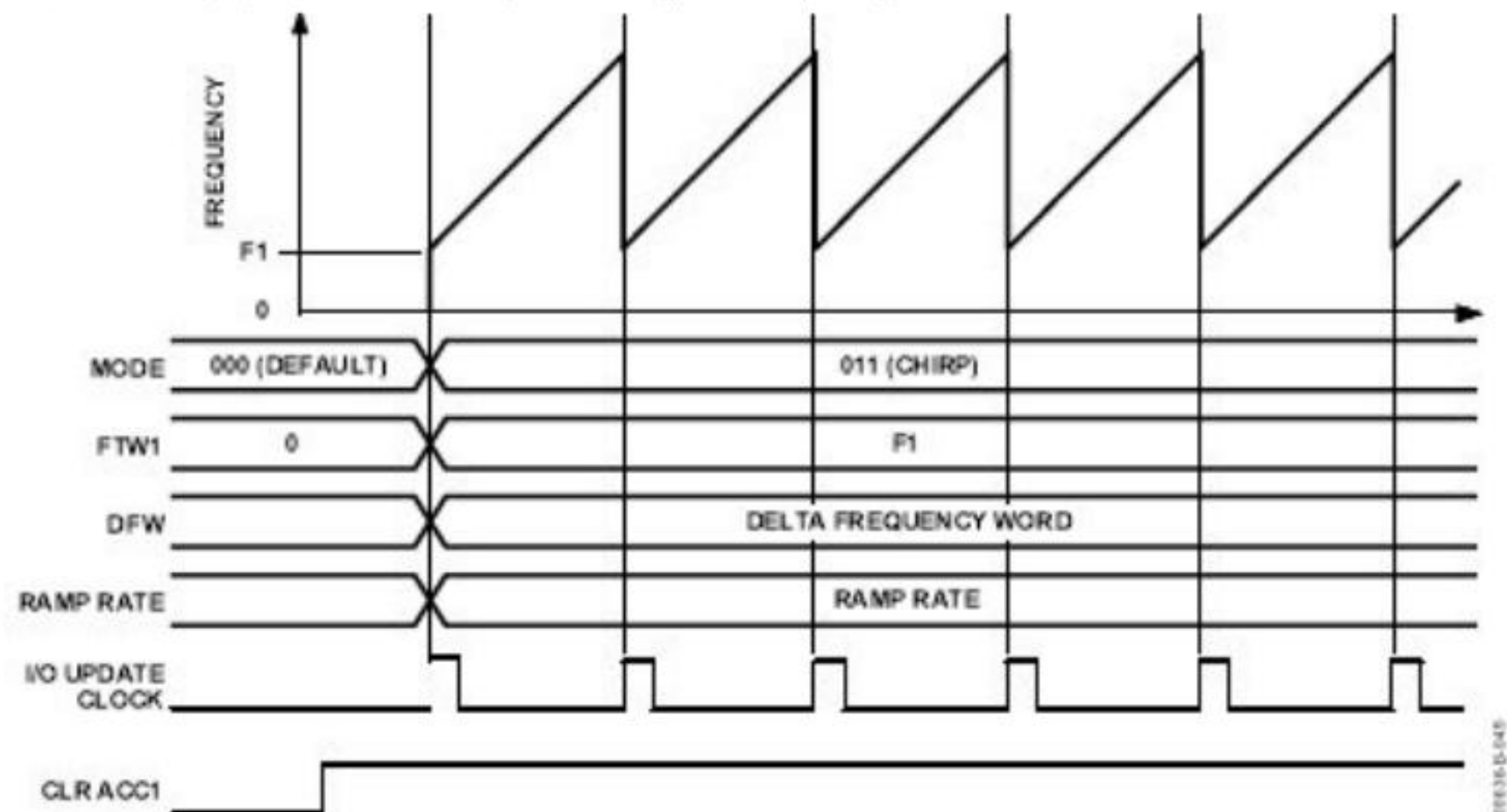


Figure 45. Effect of CLR ACC1 in FM Chirp Mode

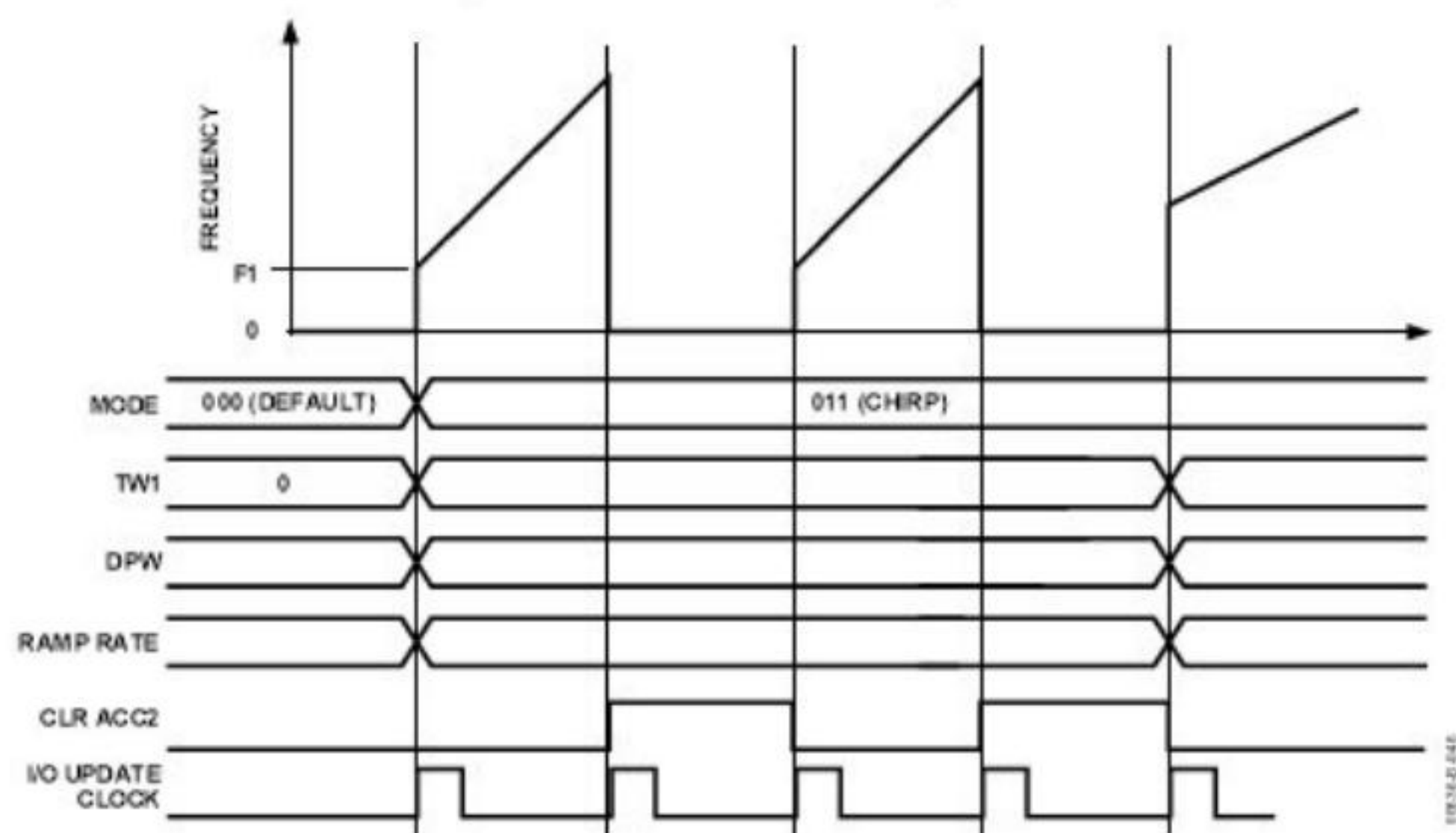


Figure 46. Effect of CLR ACC2 in Chirp Mode

32 位自动 I/O 更新计数器可以用于复杂结构的调频或斜升 FSK 序列。由于该内部计数器是以 AD9854 系统时钟合成的。它允许精确的时间编程改变被要求。在该情况下，仅仅要求使用者编写想要的仅存器早于更新时钟被产生。

在调频模式中，中心频率不是直接具体指定的，若用户不能控制调频，DDS 将会在 DC（直流频率）到奈奎斯特范围中自己选择。除非被用户终止，否则调频将会持续到系统有能力（也就是系统没有电提供）。

当调频的中心频率达到后，有几个问题自然的会产生：

- ⊙在中心频率停止使用 HOLD 引脚，或者写全 0 入频率累加器 DWT 寄存器中。
- ⊙使用 HOLD 引脚功能停止调频的跳动，用数字相乘器和 Shaped Keying 引脚，引脚 30，或经过可编程寄存器控制（地址 21-24 HEX）。
- ⊙使用 CLR ACC2 位控制突发中断传输。
- ⊙使用反方向，返回先前的频率或另一个频率点，中频以线性或用户直接方法继续调频。如果其与下行频率有关，一个负极性的 48 位 DWT 位（MSB 设置为高‘1’）必须寄存入寄存器地址 10-15 HEX。DWT 字的频率减少步进要求 MSB 设置为逻辑高电平。
- ⊙连续调频由立刻返回到起点频率(F1) 锯齿时期和重覆先前的调频过程。这是 CLR ACC1 控制位被使用的地方。自动，重覆调频可能被设定使用 32 位更新时钟发出 CLR ACC1 指令在精确时间间隔时间。调整间隔时间或改变 DWT 频率字将改变调频的范围。这是新任在用户平衡调频期间和频率决议达到适当的频率范围。

### 二进制相移键控（模式 100）

BPSK 模式:与 FSK 模式的控制方式相同,只是 F1 为载波频率,29 管脚选择相位控制字 P1 (低电平)和 P2 (高电平) 中的相位作为信号的相位输出。此外，还要通过频率寄存器对输出信号的频率进行控制。实现过程为:先将载波频率送频率控制寄存器 1，然后将相位控制字送至相位控制寄存器 1 和 2，再将 BPSK 的调制数据加载到 BPSK 端口，最后使能更新。

当 AD9854 工作在 BPSK 模式下时，基本编程步骤如下：

- (1)将初始频率控制字 WFC 写入 48 位 FTWI (Frequency Tuning Word 1)中。
- (2)将两个 14 位相位控制字分别送入相位调节寄存器 P1 和 P2 中。
- (3)将时间步进量写入 20 位 RRC (Ramp Rate Clock)中。
- (4)更新脉冲，将数据送入 DDS 核进行合成，输出信号。

## AD9854 的使用

### 内部和外部更新时钟

这种更新时钟功能占用一个 I/O 引脚（20 脚）和一个 32 位可编程减计数器。为使 I/O 寄存器的编程对 DDS 操作有效必须在 20 脚送外部时钟信号（由低电平到高电平变化）或使能内部的 32 位更新时钟。

当用户选择外部更新时钟，它的内部系统时钟会防止局部的寄存器的编程变化影响数据的建立和有效时间。这种模式可以让用户实现对编程信息使能的控制。系统默认更新时钟是内部更新，为了切换为外部更新用户必须将更新时钟位设置为逻辑高电平。内部更新模式时钟自动产生，更新脉冲的时间由用户来设置。

内部更新时钟的建立通过用户对 32 位更新时钟寄存器和时钟更新位的逻辑电平来设置。更新时钟减计数器的操作是在系统时钟的一半速率下进行的（最大为 150MHZ），并且它是从 32 位二进制值开始减计数的。当计数值为 0 时，会在 IO 更新脚自动产生一个输出，更新功能实现。在 20 脚的内部和外部的更新时钟，允许用户通过设置更新时钟速率来同步



编程信息。更新脉冲的输出时间为

$$(N + 1) \times (\text{System Clock Period} \times 2)$$

其中，N 是用户编程设置的 32 位有效值。N 的范围是从 1 到  $(2^{32} - 1)$  的值。内部更新时钟输出的脉冲会在 20 脚固定的持续 8 个时钟周期的高电平时间。

对更新时钟寄存器的值设置为小于 5 个时钟周期会让 IO 更新脚持续输出高电平，时钟更新功能仍然有效，但是用户不能利用该信号来指示数据的传输。这是 IO 更新时钟输出时的最低高电平持续时间。

## 通断整形键控

这一特征允许用户对 I 和 Q 通道输出的信号进行时间——幅度设置。这一功能在数据的突变传输中用来减小对频谱的限制，改善数据的传输。用户必须在控制寄存器中将 OSKEN 位置逻辑高电平来使能数字乘法器。否则如果 OSK EN 位为低电平，I 和 Q 通道的输出为满幅的信号，数字乘法器的控制将被旁路掉。除了设置 OSK EN 位以外，第二功能位，OSK INT 必须设置为高电平。逻辑高电平将选中内部的线性斜率增减控制功能。OSK INT 设置为低电平控制开关将由原来的数字乘法器切换到 12 位可编程幅度寄存器，输出的幅度在任何模式下都可以动态的变化。最大输出幅度是由  $R_{SET}$  电阻和 OSK INT 使能不可编程时决定的。

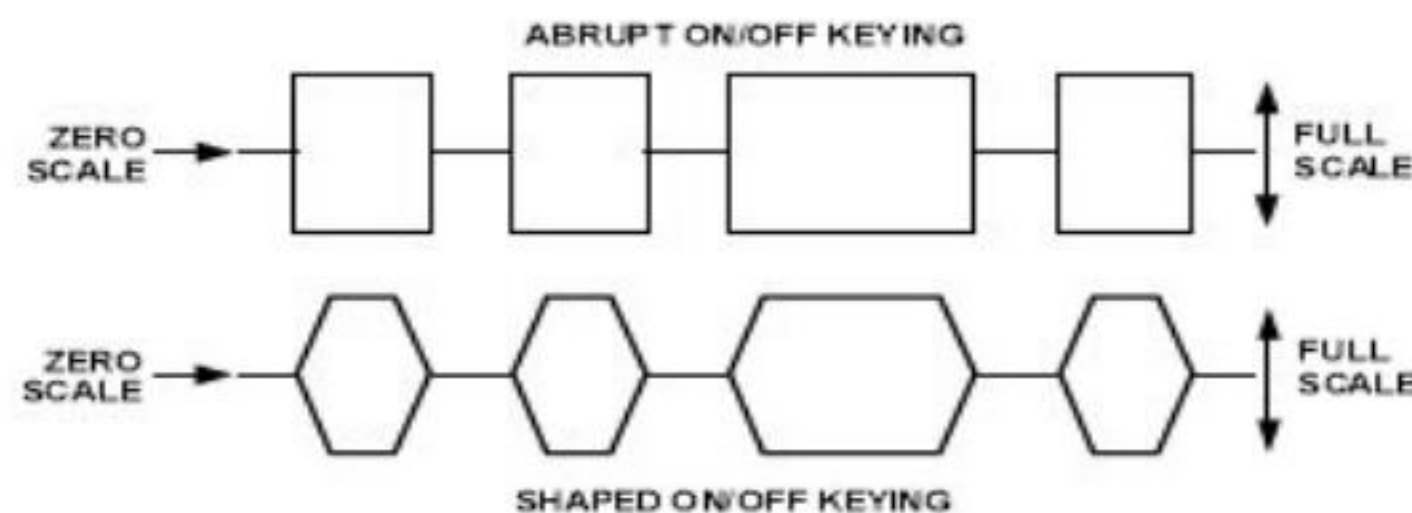


图 49 通断整形键控

输出从零幅到满幅的传输时间由用户通过编程设置。传输时间由两个固定成员和一个变量成员决定。变量是一个 8 位斜率计数器。这是一个减计数器，它的最大时钟是系统的最大时钟（300MHZ），在计数值为零时，输出一个脉冲。在脉冲的有效期间，将会发送一个 12 位计数值，它连接到一个 12 位数字乘法器。当数字乘法器的输入值是 0 时，输入信号与 0 相乘，产生一个零幅信号。当数字乘法器的输入值是 1 时，输入信号与 4095/4096 相乘，产生一个接近满幅的信号。还有 4094 个分段的乘数，输出的幅度由二进制数值决定。

如果减计数值小于 3，则斜率计数器无效，因此数字乘法器输出一个固定幅度的信号。这个停止条件可被用户利用，来产生 OOK 信号。

最后，当 OSK INT 位设置为高电平时，改变 30 脚的逻辑电平，实现整形键控，通过变成可自动完成线性功能。30 脚的逻辑高电平会有一个到满幅的线性输出并且一直保持直到逻辑电平变为低，输出会斜降至零幅。

## I 和 Q 通道输出

正弦和余弦输出分别由 I 和 Q 通道输出。它们的最大输出值由 56 脚的电阻决定，最大输出电流为 20 毫安。但是一般都设置为 10 毫安输出，这样可以有较好的无杂散动态比。设置输出电阻为

$$R_{SET} = 39.93 / I_{OUT}$$

模数输出的最大电压范围是 -0.5V 到 +1.0V。电压超出这个范围会使波形失真，甚至损坏器件。

## 模数输出控制



12 位的 Q 通道输出可重新配置为控制和辅助的模数输出。模数控制输出可给外部电路提供直流控制电平，也可输出交流信号以及控制比较器输出方波的占空比。当控制寄存器（并行地址为：1FH）中的 SRC Q DAC 位设置为逻辑高电平时，Q 通道的模数输入由内部的 12 位数据切换到外部输入，输入的是用户设定的两个 12 位比较数据。数据以最大 100MHZ 的速率通过并行或串行接口送入寄存器。此模数转换的时钟是系统时钟，每秒最多比较 300M 次，并且它和 I 通道具有相同的电流输出能力。

## 反 SINC 功能

由正弦查询表输出的数据将直接输入到逆 sinc 函数( Inverse SINC Function) 滤波器。AD9854 具有两个逆 sinc 函数滤波器,能够对信号进行  $\sin(x)/x$  校正,补偿 DAC 输出频谱中固有的  $\sin(x)/x$  滚降(roll2off) 效应,这种校正能够保证宽带信号如 QPSK(四相制移相键控信号),在从 DAC 输出时,幅度不会随着频率变化而产生突变。由逆 sinc 函数滤波器输出的信号将会乘上 1 个衰减因子,然后再送入到 D/ A 的转换器。通过配置 I、Q 支路 AM 调整寄存器,用户可以设置这个衰减因子的大小,该寄存器为 12Bit ,衰减因子的数值范围是 0~4095/ 4 096 。例如,当 AM 调整寄存器设置为 200 时,衰减因子则为:200/ 4 096 。此外,当开/ 关成形键控管脚(见图 2) 被设置为 1 时,AM 调整寄存器还可设定信号幅度由 0 到峰值的转换时间。在数据突变传输情况下,该功能会有效缓解频谱冲击和数据突变给信号生成带来的不利影响。数字信号经过生成、查表、滤波、衰减,最终送入到 D/ A 转换器。

## 基准时钟乘法器

基准时钟乘法器是一个允许用户编程的，内置基于锁相环（PLL）的可编程参考时钟倍乘器，倍乘范围为 4 倍到 20 倍。使用该功能允许用户仅仅输入 15MHZ 的参考时钟产生 300MHZ 的内部系统时钟。如表 2 所示，在控制寄存器中 1E HEX 的 5 位数据控制倍频器的值。

AD9854 的参考时钟功能能允许从外部时钟源输入的直接时钟。AD9854 的系统时钟可以是参考时钟倍频器的输出（如果被允许的前提下），也可以是参考时钟输入，REFCLK 可以是 single-ended 或 differentiated 输入，由引脚 64 DIFF CLK ENABLE 的设置确定，分别是低或高电平控制。

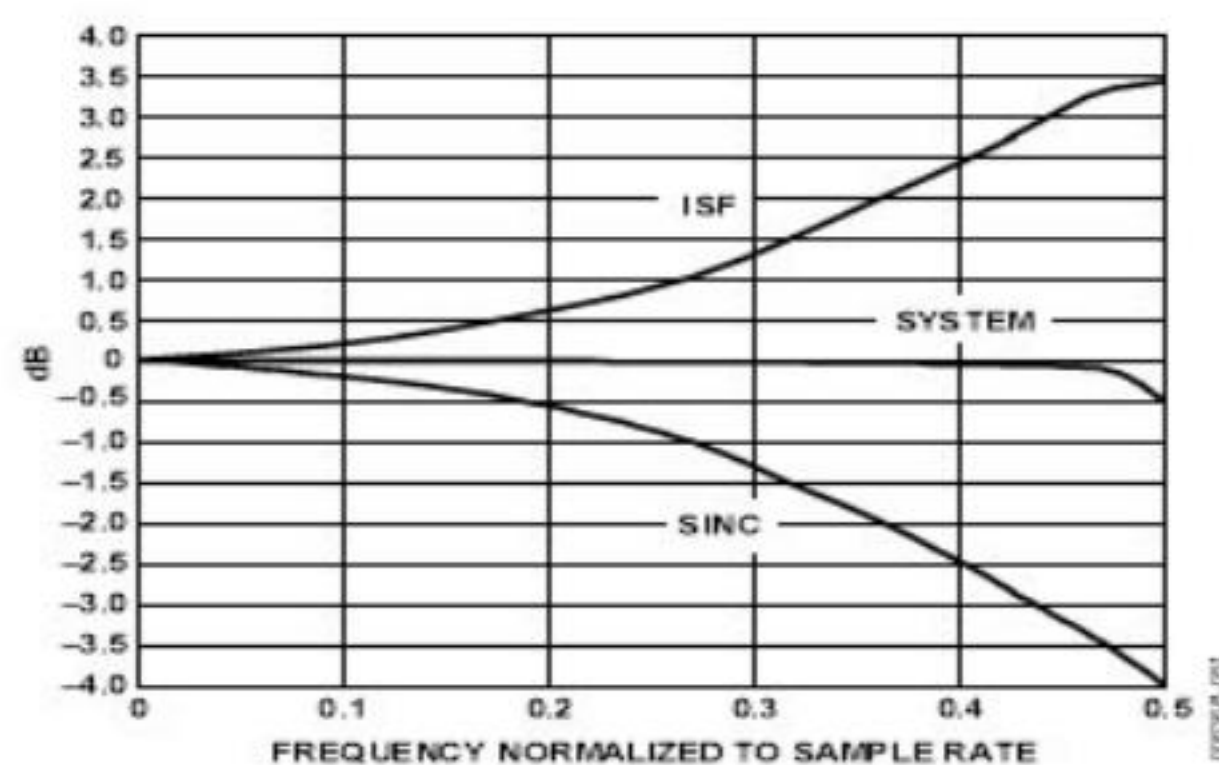


Figure 51. Inverse SINC Filter Response

图 51 反辛格滤波器效果图

## 倍频范围位

倍频范围位决定通过倍频之后的时钟范围。当倍频位设定为高电平操作时钟从 200MHZ 到 300MHZ（内部系统时钟速率）。当倍频位设定为低电平操作时钟为 200M 以下。倍频范围



位改变锁相环的参数来改善频率范围内的最佳相位噪声。

## 61 脚，倍频滤波

该引脚提供连接到 PLL 环路滤波器的外部 0 补偿网络。0 补偿网络由  $1.3\text{ K}\Omega$  的电阻和  $0.01\mu\text{F}$  的电容器串联组成。网络的另一端应该尽可能近地连接到引脚 60，AVDD。为了达到最佳的噪声效果，始终倍频器应该被分路，通过在控制寄存器 IE 地址中设置旁路倍频位。

## 差分时钟使能

这是一个可编程 PLL-based 参考时钟倍频器，其允许用户从 4 倍到 20 倍间选择整数倍的时钟。使用该功能允许用户仅仅输入  $15\text{ MHz}$  的参考时钟产生  $300\text{ MHz}$  的内部系统时钟。如表 III 所示，在控制寄存器中 1E HEX 的 5 位数据控制倍频器的值。

AD9854 的参考时钟功能允许从外部时钟源输入的直接时钟。AD9854 的系统时钟可以是参考时钟倍频器的输出（如果被允许的前提下），也可以是参考时钟输入，REFCLK 可以是 single-ended 或 differentiated 输入，由引脚 64 DIFF CLK ENABLE 的设置确定。分别是低或高电平控制。

对于信号单端输入方式，REFCLKB 管脚接电源或地；对于差分输入方式，输入端信号可以是方波或正弦波，直流电平大约为  $1.6\text{ V}$ ，峰峰值大于  $0.4\text{ V}$ 。

高速比较器——最优化的最高速度大于  $300\text{ MHz}$  的反复速率，低抖动，灵敏的输入，built-in 滞后，输出最小为 1 皮法的电平，连接到  $50\text{ }\Omega$  的负载或 CMOS 逻辑电平，连接到高阻抗负载。比较器能从节电模式到受保护电压之间分离。比较器使用于“时钟发生器”的应用，把 DDS 产生的滤波后的正弦波形变成方波。

## AD9854 的编程

AD9854 的各寄存器列出在下表，包含各各功能的片内编程信息。很多应用要求很小的编程规模去装配 AD9854，就可以使用了，实现功能了。但有一些要求用户使用所有的 12 个寄存器入口地址。AD9854 支持 8 位并行 I/O 操作或一位 SPI-compatible 串行 I/O 操作。所有入口寄存器能读和写，在每个 I/O 操作模式下。S/P 选择，引脚 70，用于 I/O 模式选择。若系统使用并行 I/O 模式，必须连接 S/P 选择引脚到 VDD。若系统操作在串行模式，必须连接 S/P 选择引脚到 GND。

不使用模式，I/O 口数据写入缓冲寄存器，不影响该部分操作直到缓冲寄存器传输数据到寄存器数据库。信息传输同时产生在系统时钟，两种产生方式：

- (1) 内部控制在某一由用户编程产生的速率
- (2) 由用户外部控制，I/O 操作能在没有 REFCLK 情况下进行，但数据从缓冲期传输到存储器，没有 REFCLK 是不行的。能从该文献更新时钟章节中了解到更多的详细信息。

复位管理——逻辑高电平有效，必须保证电平不小于 10 个系统时钟周期的持续时间。复位主要引起通信总线的初始化并载入默认值到内部或外部的时钟更新段。

表 3 寄存器分布表

寄存器地址	Bit 7	Bit 6	Bit 5	Bit 4	Bit3	Bit 2	Bit 1	Bit 0
1DH	无关	无关	无关	关闭比较器	保留位	关闭 Q 路数模转换器	关闭数模转换器	关闭数字模块
1EH	无关	参考时钟范围控制字	旁路参考时钟倍频器	参考时钟倍频控制字 4	参考时钟倍频控制字 3	参考时钟倍频控制字 2	参考时钟倍频控制字 1	参考时钟倍频控制字 0
1FH	清除累加器控制字 1	清除累加器控制字 2	三角波扫频控制位	Q 路数模转换器输入控制位	调制模式选择位 2	调制模式选择位 1	调制模式选择位 0	内部更新时钟
20H	无关	旁路反 SINC 函数滤波器	“通断整形键控”使能	“通断整形键控”内部控制	无关	无关	低位传输优先	串行输出使能
21H 22H	输出整形键控 I 通道复用<11:8>（位 15,14,13,12 没有使用） 输出整形键控 I 通道复用<7:0>							
23H 24H	输出整形键控 Q 通道复用<11:8>（位 15,14,13,12 没有使用） 输出整形键控 Q 通道复用<7:0>							
25H	输出整形 键控的斜率控制<7:0>							
26H 27H	Q 通道模数输出<11:8>（位 15,14,13,12 没有使用） Q 通道模数输出<7:0>							

## 并行输入输出操作

在 S/P 选择引脚被拉为高电平时，并行输入输出模式被激活。这种输入输出口与标准工业 DSPs 和 microcontrollers 相兼容。6 个地址位，8 个双向数据位，和分离的写/读控制输入来补足这输入输出口引脚。

并行输入输出操作模式允许到 1/10.5 纳秒对每个寄存器进行单字节操作。对寄存器的回读操作主要用来优化对 AD9854 的设计（读寄存器不能保证 100 MHz 的操作速度，这一点他们为只是软件调试准备的）。

并行输入输出操作时序图如图 52 和图 53 所示。



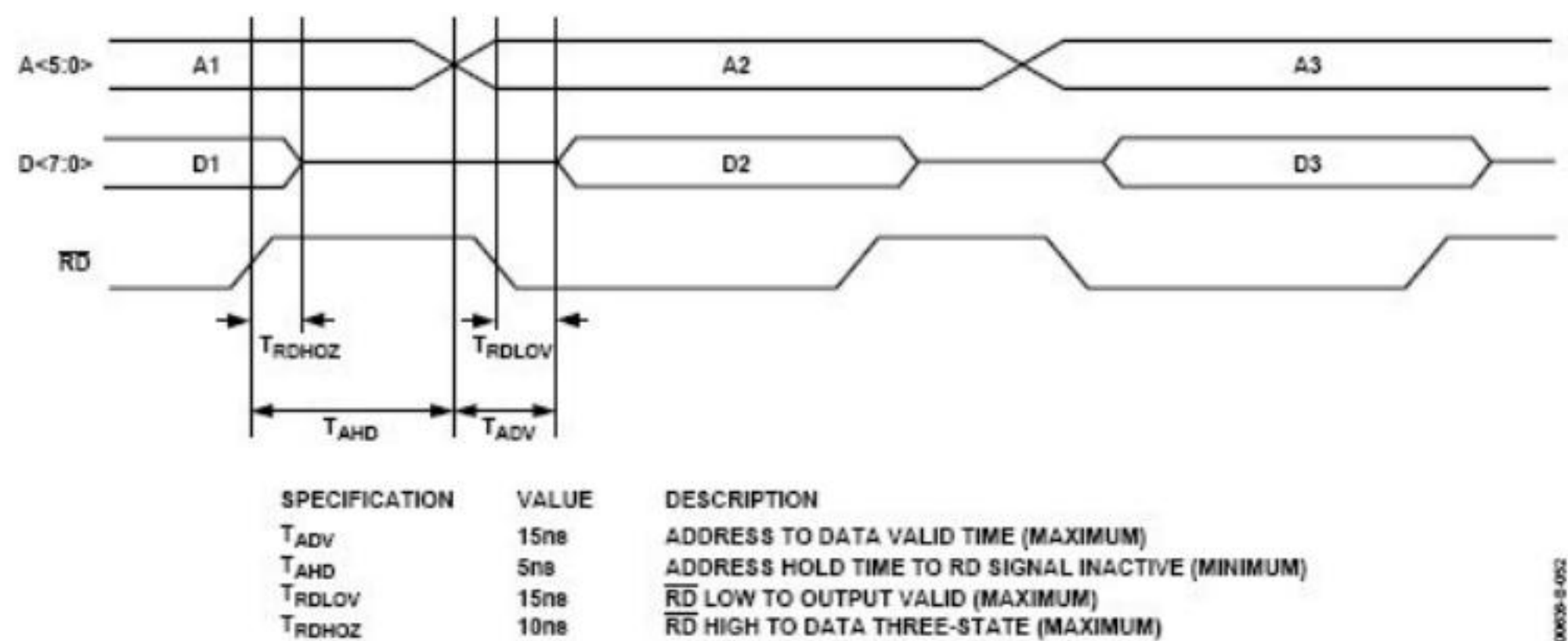


图 52 并行操作读时序图

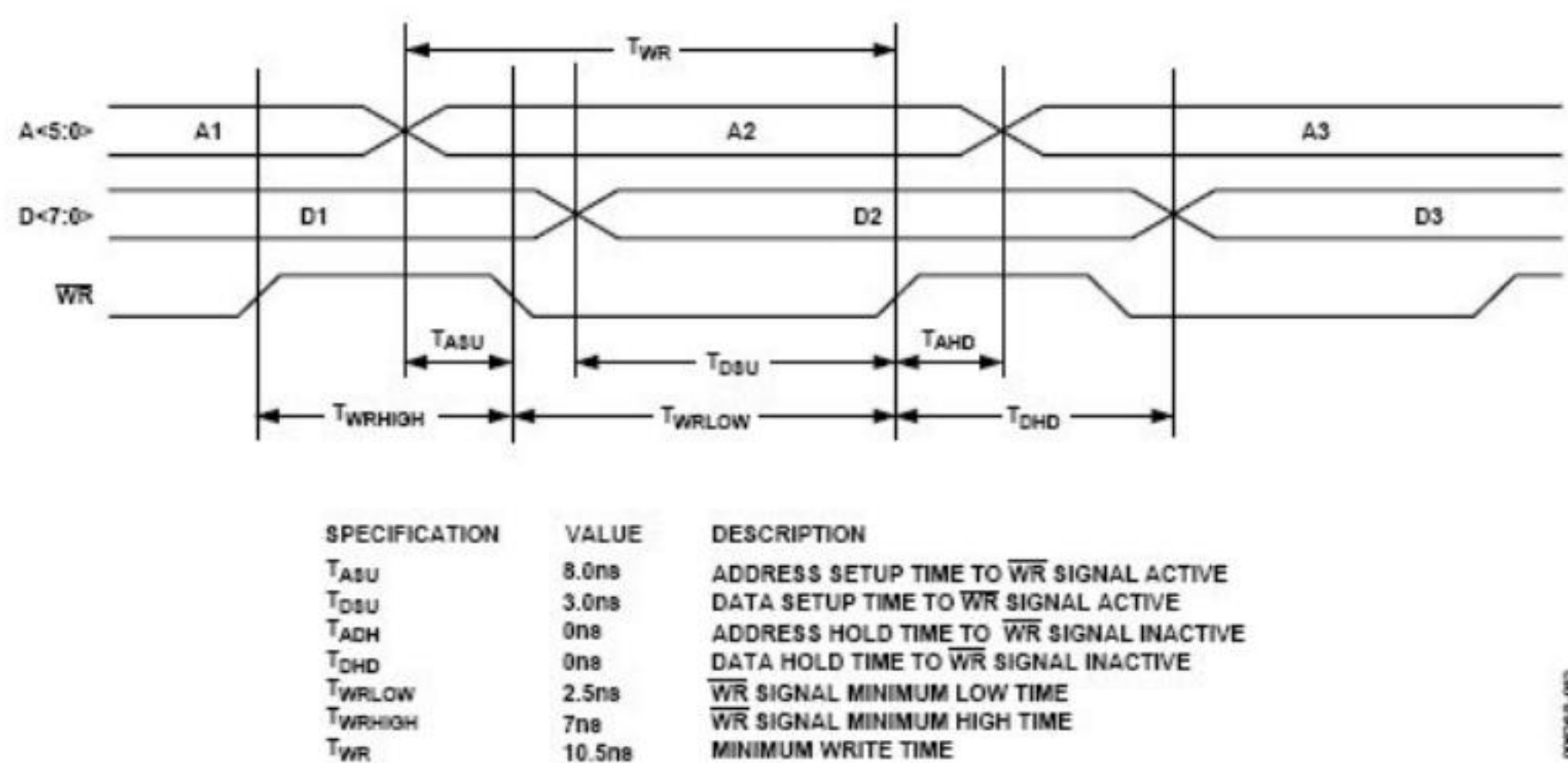


图 53 并行操作写时序图