****

**毕业设计（论文）开题报告**

**题目类型：工程设计**

**题 目：基于FPGA的双DSP冗余设计**

**专 业 自动化**

**学 生 何广龙**

**学 号 1110410421**

**指导教师 王强**

**日 期 2015.01.14**

**哈尔滨工业大学教务处制**

**说 明**

**一、开题报告主要内容**

1．课题来源及研究的目的和意义

（正文 宋体小4号字，行距1.25倍，段前0行，段后0行）

2．国内外在该方向的研究现状及分析

3．主要研究内容

4. 研究方案

5．进度安排，预期达到的目标

6．课题已具备和所需的条件、经费

7．研究过程中可能遇到的困难和问题，解决的措施

8．主要参考文献

**二、开题报告要求**

1．开题报告的字数应在3000字以上。

2．参考文献的要求：

（1）理工类论文的参考文献一般为10-15篇，其中学术期刊类文献不少于7篇，外文文献不少于3篇（特殊专业可酌情确定明确要求，并报教务处备案）；文科、管理类论文，参考文献一般为15-20篇，其中学术期刊类文献不少于12篇，外文文献不少于3篇。近五年的文献数不应少于总数的1/3，应有近两年的参考文献。教材、产品说明书、国家标准、未公开发表的研究报告不宜作为参考资料。

（2）参考文献按在开题报告中出现的次序列出。

（3）参考文献书写顺序：序号 作者.文章名.学术刊物名.年，卷（期）：引用起止页。

1．课题来源及研究的目的和意义

1.1课题来源

课题来自伺服随动电路板设计中的CPU冗余设计部分，该电路板是哈尔滨工业大学航天学院与某院某所的合作项目，即双DSP冗余惯性平台控制器的设计中的一部分。

1.2研究的目的和意义

在军事、航空航天、工业控制等领域中，经常需要控制系统在外空间、工业现场、汽车等场所工作。在这些复杂的环境中工作时，控制系统可能会因为电磁干扰、震动、大温差等发生故障。但是这些领域又要求控制系统必须有较强的鲁棒性，能够可靠、连续运行，所以需要采取措施提高系统的容错能力。在本项目中，为了避免惯性平台的控制器在工作中遇到程序跑飞、掉电等异常情况时，系统无法完成功能，选择采用双余度热备份DSP冗余设计。当主控制器发生故障时，系统自动切换到从控制器的控制下，保证功能的连续性；同时尝试修复故障的控制器，从硬件上提高系统的容错能力。因为FPGA的可靠性高于DSP[1]，故用FPGA实现用于检错和切换的硬件电路。

2．国内外在该方向的研究现状及分析

容错控制(Fault Tolerant Control, FTC)的概念在1986年正式提出，并在其后迅速发展。而容错控制系统是指，如果在执行器、传感器或元部件发生故障时，闭环控制系统仍能保持稳定，并具有较理想的控制特性，就称此闭环控制系统为容错控制系统。[2]

冗余是实现容错控制的一种有效方式，是一门涉及控制理论、信号处理等多领域的综合学科。目前冗余技术主要应用在一些对系统可靠性要求很高的场合，例如航空航天、军事、核电等。冗余技术开始兴起时主要使用三模冗余（TMR）提高系统可靠性，但是由于其需要额外的硬件与功耗，还会影响工作速度[3]，所以在部分领域逐渐由其它技术所替代。国外的冗余容错技术发展较早，应用场合也较多。在芯片级的冗余中最出名的是欧洲航天局数次运用到实际星载计算机系统中的LEON系列处理器。该系列处理器由Gaisler Research公司设计，在其内部采用了三模冗余技术和纠错检错技术，使控制系统不仅保证了可靠性，同时还缩小了体积和质量。[4]而G.Buja、J.R.Pimentel和A.Zuccollo在设计基于双通道的冗余 TTCAN 总线系统中通信模块的硬件电路时，采用了双路TTCAN 总线的冗余方式，利用模块级的冗余设计提高系统可靠性。[5]在计算机级（板级）设计中使用冗余技术的佼佼者有Compaq 公司的 Trucluster 系统和喜马拉雅（Himalaya，原天腾公司 Tandem Co. ）系列，都采用了双机热备份的方式保证系统可靠性。[6]而国内在这一领域起步较晚，特别是能用于商用的成果不多，但在航天、核能等领域都取得了较好效果。如国家海洋局的第一颗用于海洋水色探究的实验型业务卫星海洋一号，就搭载的使用双模冗余结构的星载计算机。[7]

3．主要研究内容

在深入了解冗余技术和仲裁技术的理论基础上，结合项目的具体要求，完成双DSP冗余系统的设计。其硬件设计包括冗余结构和备份方式的选择、DSP和FPGA选型、通讯方式的选择、切换电路和报警电路的设计。软件设计包括主从DSP各自的通讯程序、主从DSP的状态脉冲发生程序以及FPGA的状态检测逻辑、开关切换逻辑和报警逻辑。

要实现以上功能，首先要从多种多样的冗余技术、备份技术和通讯技术中选择合适的方法，既要保证系统的可靠性，又要兼顾系统的成本和运行效率，完成系统的整体设计；其次，完成芯片选型和各个模块的硬件设计；然后，需要在CCS3.3的环境下开发DSP程序，在ISE8.2和Modelsim联合环境下开发FPGA程序；接着，进行软硬件联调，保证软硬件协调工作；最后，进行故障注入，测试系统的可靠性。

4. 研究方案

4.1冗余结构的选择

常见的系统冗余结构有三种，分别为并联冗余方式、表决冗余方式和旁联冗余方式。这三种冗余结构的示意如图1。

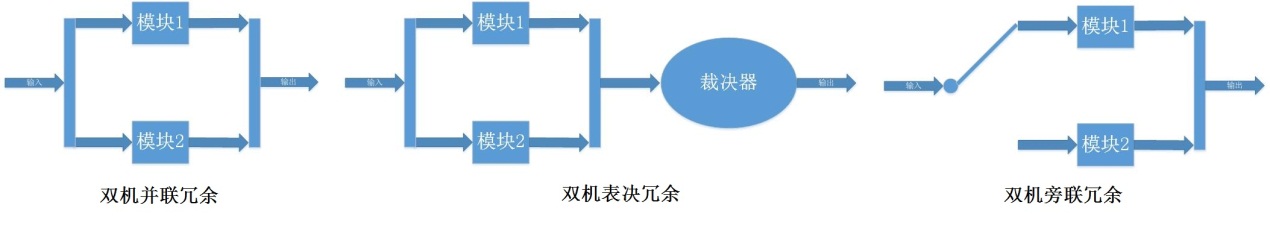


图 1 三种冗余结构

并联冗余的概率模型为：

(1)

其中 ——采用并联冗余方式的系统的可靠度；

——单个并联冗余单元的可靠度；

N ——并联系统中所有并联单元的数目。

假设，则对于双机系统，，相对于单机系统可靠性提高50%；对于三机系统，，相对于双机系统可靠性提升16.67%。

表决冗余的概率模型为：

(2)

其中 R(t) ——单个表决冗余单元的可靠度；

——采用表决冗余方式的系统的可靠度；

——表决器的可靠度；

N ——表决系统中所有并联单元的数目。

假设，，则对于双机系统，，相对于单机系统可靠性提高50%；对于三机系统，，相对于双机系统可靠性提升16.67%。

旁联冗余的概率模型为：

(3)

其中 … ——离线单元的可靠度；

——采用旁联冗余方式的系统的可靠度；

——故障检测切换开关的可靠度；

——激活单元的可靠度；

N为表决系统中所有旁联单元的数目。

假设，，则对于双机系统，，相对于单机系统可靠性提高49%；对于三机系统，，相对于双机系统可靠性提升16.44%。[8]

由上述计算可知，若假设故障监测及转换装置的可靠度为0.98，单元可靠度为0.5时，三种冗余方式可靠性非常接近，并联最高，旁联次之，表决最差。但考虑到旁联系统可以对离线模块进行修复，从而提升系统寿命，所以选择旁联冗余。另一方面，系统从单机变成双机时，可靠性提高都在50%左右，而从双机提升至三机，则只有16.5%左右。所以从成本和提升性能方面考虑，双机系统的性价比要高于三机系统。

综上，在本方案中选择双机旁联方式。

4.2备份方式的选择

按照工作方式的不同又可分为冷备份、温备份和热备份。对这三种工作方式有多种定义，本文取如下定义：

冷备份是指备份系统并未运行，也没有应用数据。一旦发生故障，需启动备份系统，并将应用数据导入后才能替代原系统工作。冷备份的优点是设备投资较少，节省通信费用，通信环境要求不高，但其缺点也很明显，故障后恢复时间较长，一般要数天至1周，数据完整性与一致性较差。

温备份是指将备份系统与工作系统同时运行，但是只是定期同步备份。一旦发生故障，直接使用定期备份的数据进行控制。它的优点优缺点与冷备份类似，但是恢复时间较短，只需要数小时。

热备份则是备份系统处于工作状态，并通过通讯部件时刻与当前工作系统进行数据同步。一旦发生故障，不用追补或只需追补很少的孤立数据，备份系统可快速接替已故障的系统运行。它的优点是恢复时间短，一般几十分钟到数小时，数据完整性与一致性最好，数据丢失可能性最小。缺点在于设备投资大，通信费用高，通信环境要求高，平时运行管理较复杂。

因为随动伺服系统对系统的实时性要求很好，需要在毫秒级的水平上完成切换，所以必须选用热备份保证系统控制的连续性。[9]

系统的总体设计框图如图2所示。

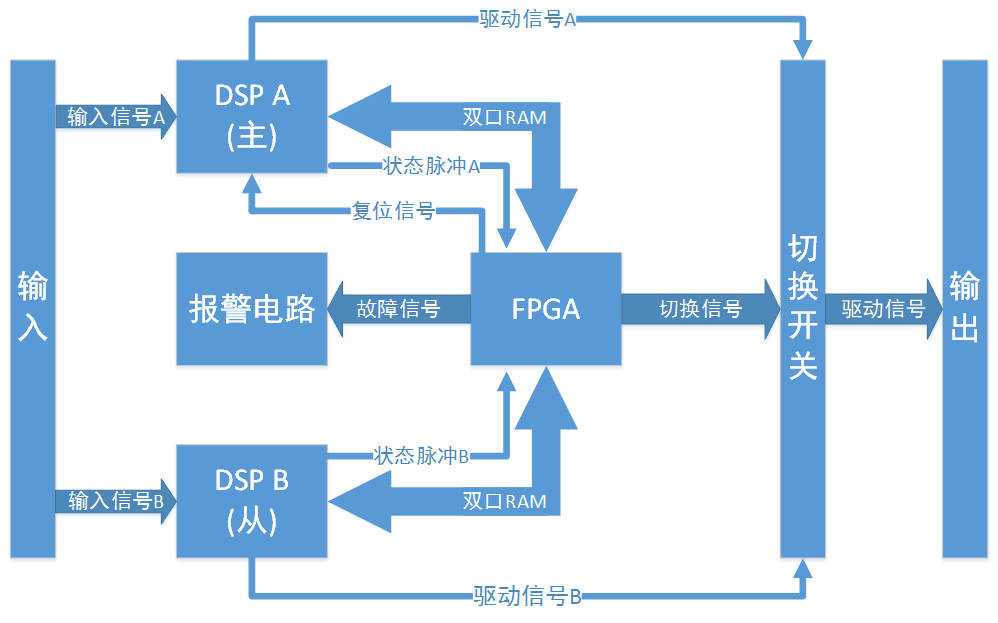


图 2 总体设计框图

4.3硬件选型

对于DSP，为了满足国产化的需求，选用TI公司的TMS320F2812。

其特性包括：

1.采用了高性能静态CMOS技术；

2.支持JTAG边界扫描；

3.高性能32位CPU；

4.丰富的外部接口。

对于FPGA，在均衡成本和性能后，选择Xilinx公司的XCV300-4PQ240I。

其特性包括：

1.采用了0.22μm集成电路制造工艺；

2.采用了CMOS和SRAM技术；

3.提供了322970门，240个输入输出引脚。

4.4通讯方式的选择

根据TMS320F2812芯片提供的硬件资源及系统的要求,通讯方式主要有以下两种类型：串行通信和并行通信。

串行通讯主要是利用TMS320F2812芯片配备的多通道缓冲串口(McBSP),它可以与工业标准的编解码器、AICs(模拟接口芯片)以及其他串行A/D、D/A通讯,有时也可以用来与其他微处理器的通讯,主要用在主从机之间数据通信量不是很大的情况。由于串口是静态的,所以可以工作在任意低的频率。使用内部串口时钟时,标准串口的最高工作频率为CLKOUT的1/4(5ns时为50Mbit/s)。McBSP有极强的功能,包括全双工通信;双缓冲数据寄存器,允许连续的数据流;收发独立的帧信号和时钟信号;数据传输可以利用外部时钟,或者是片内的可编程时钟;可与多达128个通道进行收发;支持传输的数据字长可以是8bit,12bit,16bit,20bit,24bit或32bit。

并行通信适合于需要进行大量的数据通信的场合,它有两种方式,一种是主机和从机不能同时访问共享存储器的DMA方式;第二种是主机和从机可以同时访问共享存储器(不能同时访问同一单元)方式。因为TMS320F2812没有DMA功能，所以此处只讨论第二种方式，具体来说就是双口RAM。

双口RAM是一种双端口器件,允许两个处理器各访问一个端口,每一个处理器都可以将双口RAM看作自己的本地存储器。双口RAM的两个端口各有一套独立的地址、数据、控制总线，允许两个处理器同时访问不同地址单元的任何地址单元。

综合考虑硬件资源、传输速率和数据量，此处选择利用FPGA搭建一个双口RAM。

4.5软件的控制逻辑

软件上的控制逻辑为：DSP A作为主控制器，DSP B作为其热备份，FPGA用于故障检测与修复。正常工作时，DSP A通过双口RAM将数据实时同步给FPGA，同时向FPGA发送状态脉冲表明自己正在正常工作。当DSP A发生故障时，状态脉冲消失，由此FPGA知道DSP A发生故障。然后FPGA通过双口RAM将最近一次保存的完整数据传送给DSP B，并将执行器切换给DSP B控制，并对DSP A进行硬复位。DSP B接管执行器后运行与DAP A一致的控制算法，完成连续控制，同时通过双口RAM向FPGA实时同步数据。FPGA在完成数据传输后对DSP A硬复位三次，并在每次复位之后检测状态脉冲。若重新检测到DSP A的状态脉冲，则停止发送复位信号，并把系统切换回DSP A的控制之下，即FPGA通过双口RAM将最近一次保存的完整数据传送给DSP A，并将执行器切换给DSP A控制。若三次硬复位之后DSP A还是无法工作，则进行报警，不进行切换操作。[10]

5．进度安排，预期达到的目标

5.1进度安排

2014.03.02-2015.03.17

查询资料，阅读文献，确定方案，撰写开题报告。

2015.03.17-2015.04.02

修改开题报告；学习Verilog，熟悉FPGA与DSP。

2015.04.02-2015.04.17

完成各功能模块的程序编写，包括：DSP 的状态脉冲发生程序；DSP与FPGA通过双口RAM的通讯程序；FPGA的检测与修复逻辑。

2015.04.17-2015.05.02

结合已完成的各功能模块的程序，完成程序编写，软硬件联调；并进行故障注入，设计测试环境与测试条件，记录测试结果。

2015.05.02-2015.06.17

撰写毕业论文。

5.2预期达到的目标

1.在正常情况下双DSP系统应能完成控制功能，并完成与双口RAM的数据同步；

2.正常工作过程中，向DSP A中注入一些故障，如掉电、运行一段时间后进入人为设置死循环等，使其发生故障，此时FPGA应能检测到DSP A发生故障，并将最后一次完整数据通过双口RAM传输给DSP B，使其能完成无缝切换；此后DSP B能保证系统继续正常运行，而FPGA则尝试硬复位DSP A，若成功则切回DSP A，若失败则报警。

6．课题已具备和所需的条件、经费

6.1课题已具备的条件

一块具有双DSP与FPGA的印制电路板；需要修改硬件电路的工具；其它为软件开发环境。

6.2课题所需的条件、经费

软件条件：

需要安装CCS3.3用于DSP程序设计；

需要安装ISE8.2和Modelsim10.0a用于FPGA程序设计和仿真；

需要安装Altium Designer用于绘制PCB电路板。

硬件条件：

可能需要购买部分逻辑芯片和绘制PCB电路板，所需经费估计在三百元左右。

7．研究过程中可能遇到的困难和问题，解决的措施

7.1研究过程中可能遇到的困难和问题

1.需要对已有的类似功能的印制电路板进行修改；

2.数据同步是双余度热备份冗余设计的核心问题，若无法同步则双机冗余没有任何作用，若同步不及时则会导致无法连续控制；

7.2解决的措施

1.理清控制逻辑，了解原来印制电路板的原理和布线之后根据需要进行修改；

2.了解双口RAM的工作原理，控制好同步的时序，并设计一个简单的协议保证数据的正确性；

8．主要参考文献

[1] 童杰文. 高可靠皮卫星综合电子系统研究[D]. 浙江大学, 2014.

[2] Patton R. Robustness issues in fault-tolerant control[C]//Fault Diagnosis and Control System Reconfiguration, IEE Colloquium on. IET, 1993: 1/1-125.

[3] Pratt B, Caffrey M, Carroll J F, et al. Fine-grain SEU mitigation for FPGAs using partial TMR[J]. Nuclear Science, IEEE Transactions on, 2008, 55(4): 2274-2280.

[4] Cordero F, Mendes J, Kuppusamy B, et al. A cost-effective Software Development and Validation environment and approach for LEON based satellite & payload subsystems[C]//Recent Advances in Space Technologies (RAST), 2011 5th International Conference on. IEEE, 2011: 511-516.

[5] Buja G, Zuccollo A, Pimentel J. Overcoming babbling-idiot failures in the FlexCAN architecture: a simple bus-guardian[C]//Emerging Technologies and Factory Automation, 2005. ETFA 2005. 10th IEEE Conference on. IEEE, 2005, 2: 8 pp.-468.

[6] 多处理器实时系统的容错研究与实现[D]. 成都:电子科技大学, 2006.

[7] 曾涛, 伍保峰. 中国海洋一号卫星星务管理系统设计与在轨性能评估[J]. 航天器工程, 2004, 12(3): 71-78.

[8] 张汩. 双机系统的冗余及仲裁策略研究[D]. 电子科技大学, 2010.

[9] 陆阳, 王强, 张本宏, 等. 计算机系统容错技术研究[J]. 计算机工程, 2010, 36(13): 230-235.

[10] 张小鸣,王秋阳,赵国柱.基于 FPGA的双机热备外设容错系统仿真设计[J]. 计算机工程与设计, 2012, 32(12): 4060-4063.