

Modèle VHDL de l'étage EXEC semaine 5

Objectif(s)

- ★ Faire un premier modèle comportemental de l'étage EXEC.
- ★ Tester ce modèle.

Exercice(s)

Exercice 1 – Modèle comportemental de EXEC

Écrire dans un premier temps un modèle de l'étage EXEC n'incluant pas le modèle complet de la fifo à destination de [MEM]. Un modèle *vide* de la fifo va vous être fourni. Dans un second temps vous utiliserez un modèle fonctionnel de la fifo.

Question 1

Écrire le modèle VHDL de l'étage EXEC. Dans ce modèle vous allez instancier l'*ALU* et le *shifter* que vous avez écrit à l'occasion de la précédente séance. Vous allez également instancier la *FIFO* vide fournie qui constitue l'étage de pipeline entre EXEC et MEM.

L'interface du bloc EXEC vous est fournie dans le fichier `exec_vide.vhdl`.

Question 2

Écrire un fichier `test_bench` permettant de valider votre modèle.