

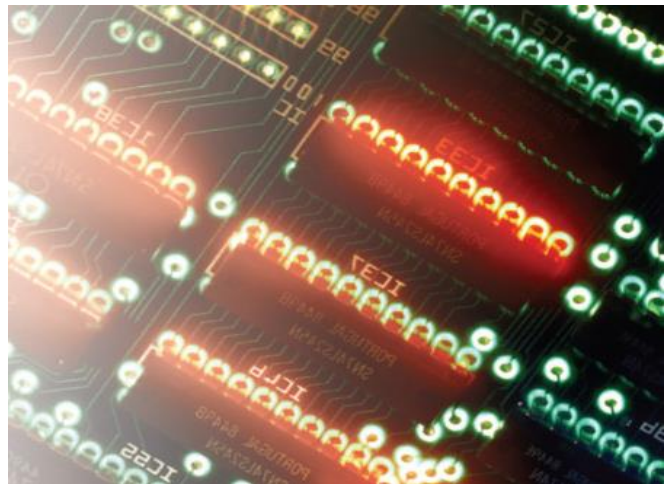
组合逻辑3

Combinational Logic III

刘鹏

liupeng@zju.edu.cn

浙江大学信息与电子工程学院



复习

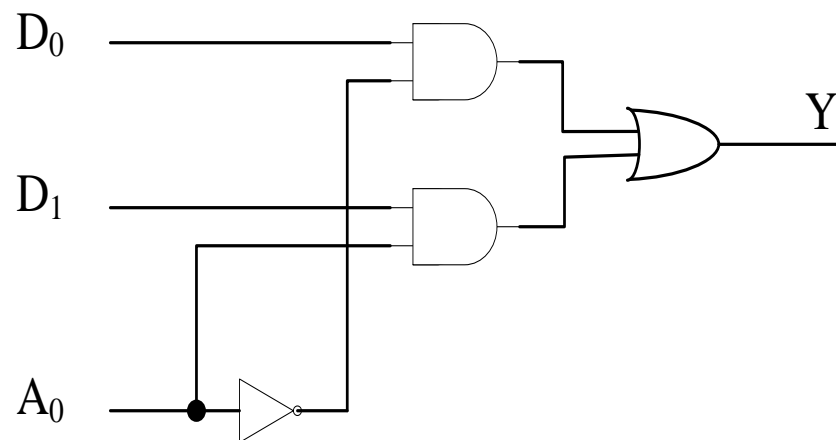
- 选择器Multiplexer
- 加法器Adder
- 比较器Comparator

本节内容

- 采用模块组件实现组合电路
- 显示译码器
- 竞争和冒险

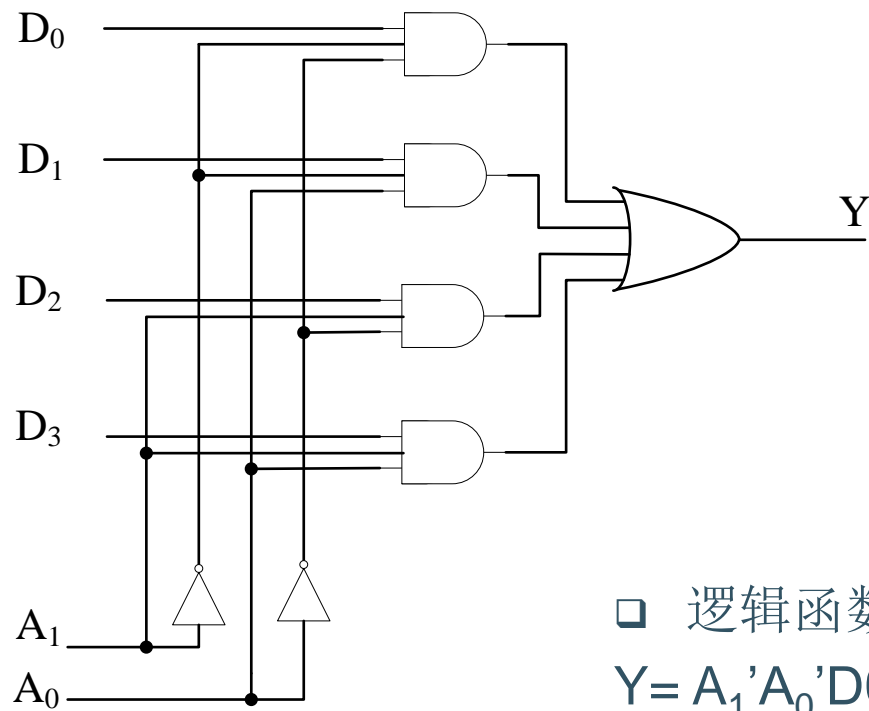
数据选择器 (Multiplexers)

- ❑ 数据选择器是从多路输入线中选择其中的一路到输出线的一种组合电路。
- ❑ 二选一数据选择器：
 - 数据输入线 D_0 - D_1
 - 选择线 A_0
 - 输出线 Y
- ❑ 电路图
- ❑ 表达式: $Y = A_0'D_0 + A_0D_1$



4选1 选择器

- 四选一数据选择器逻辑图
- 功能表

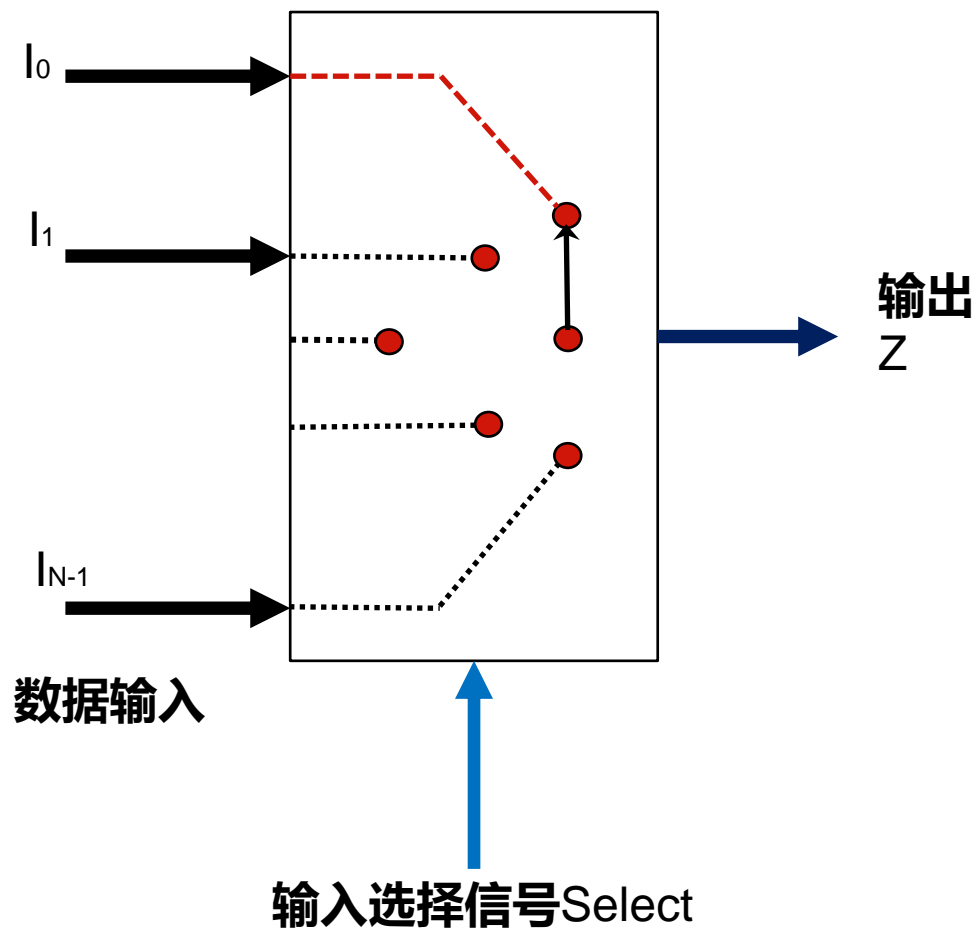


A_1	A_0	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

- 逻辑函数式

$$Y = A_1'A_0'D_0 + A_1'A_0D_1 + A_1A_0'D_2 + A_1A_0D_3$$

数据选择器 (Data Selectors)



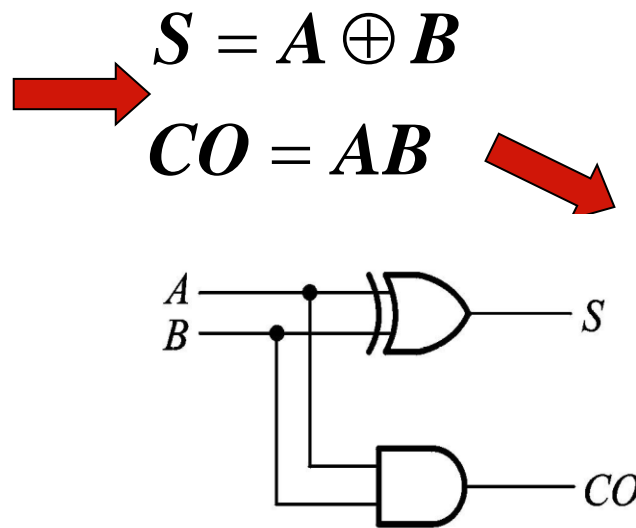
- ❑ 选择器功能框图
- ❑ 输入选择信号
Select决定输入传输到输出Z

半加器 (Half Adder, HA)

半加器，不考虑来自低位的进位，将两个1位的二进制数相加
我们指定符号S (sum) and CO (carry)为输出，输入为A和B

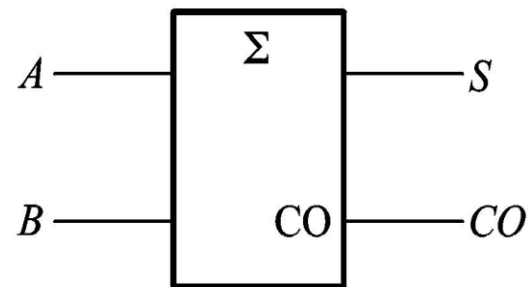
真值表

输 入		输 出	
A	B	S	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



(a)

一个异或门和一个与门



(b)

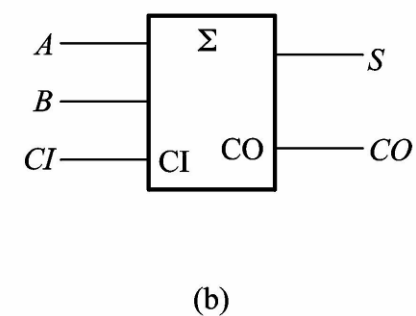
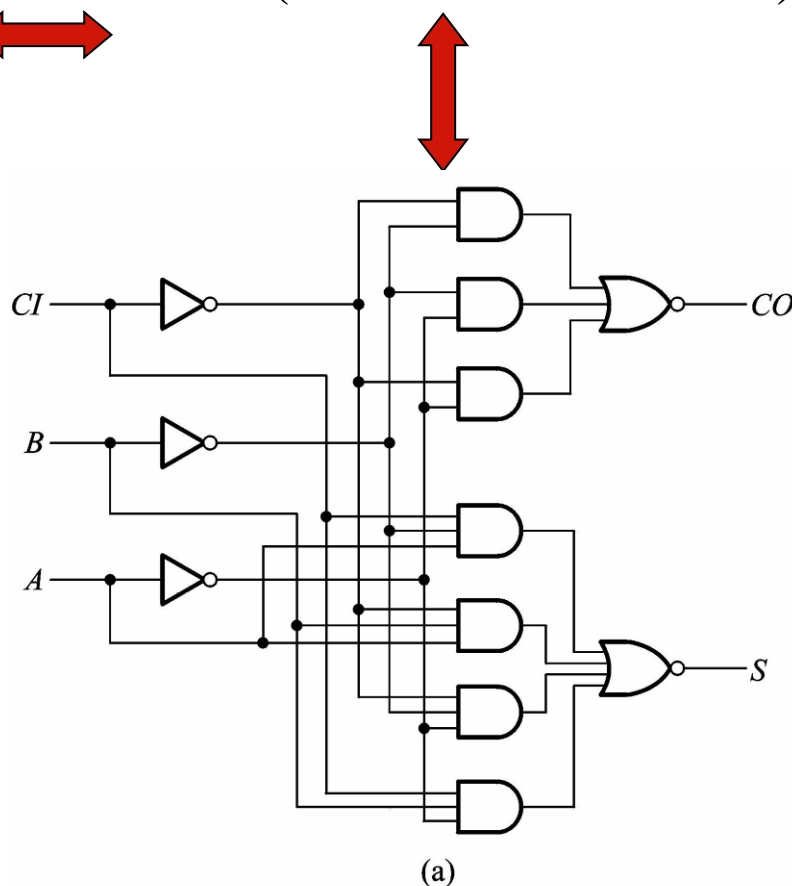
全加器 (Full Adder, FA)

将两个1位二进制数A,B及来自低位的进位CI相加

输 入			输 出	
A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S = (A'B'CI' + A'BCI + AB'CI + ABCI')$$

$$CO = (A'B' + B'CI' + A'CI')$$



74HC183

用加法器设计组合电路

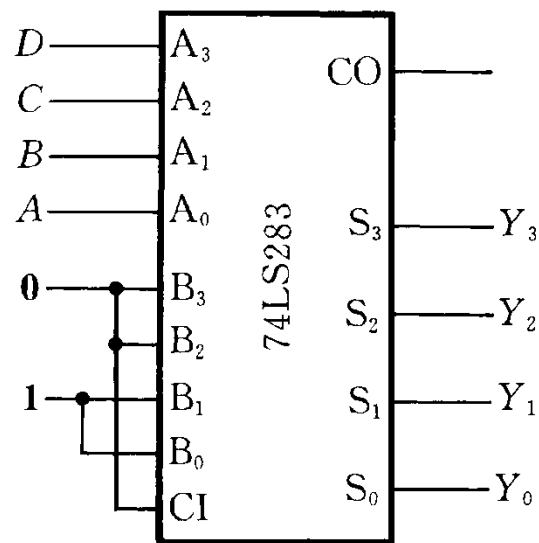
□ 基本原理:

若能生成函数可变换成输入变量与输入变量相加

若能生成函数可变换成输入变量与常量相加

例：将BCD的8421码转换为余3码

$$Y_3Y_2Y_1Y_0 = DCBA + 0011$$



输 入				输 出			
D	C	B	A	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

数值比较器

□ 用来比较两个二进制数的数值大小

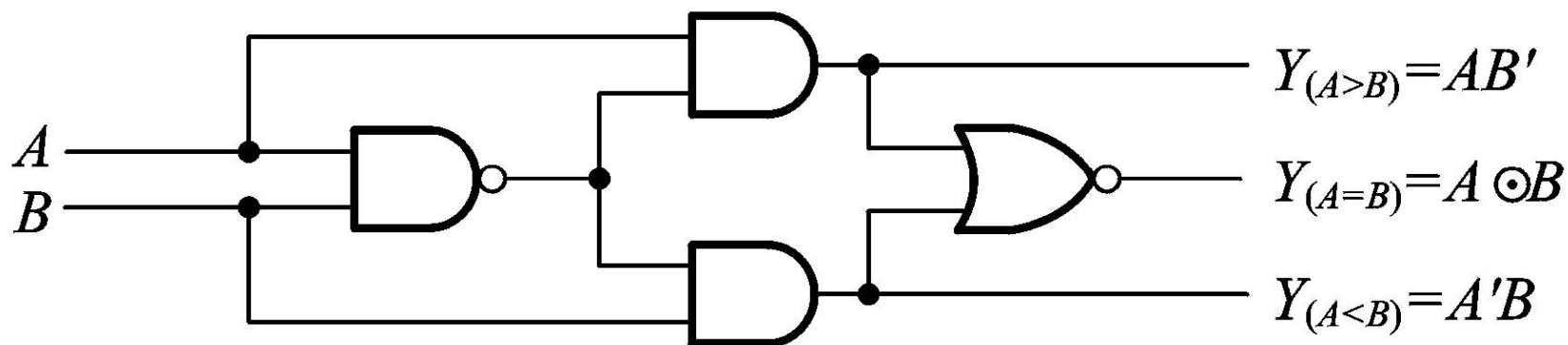
一、1位数值比较器

A,B比较有三种可能结果

* $A > B$ ($A=1, B=0$) 则 $AB' = 1, \therefore Y_{(A>B)} = AB'$

* $A < B$ ($A=0, B=1$) 则 $A'B = 1, \therefore Y_{(A<B)} = A'B$

* $A = B$ (A, B 同为0或1), $\therefore Y_{(A=B)} = (A \oplus B)'$



多位数值比较器

原理：从高位比起，只有高位相等，才比较下一位

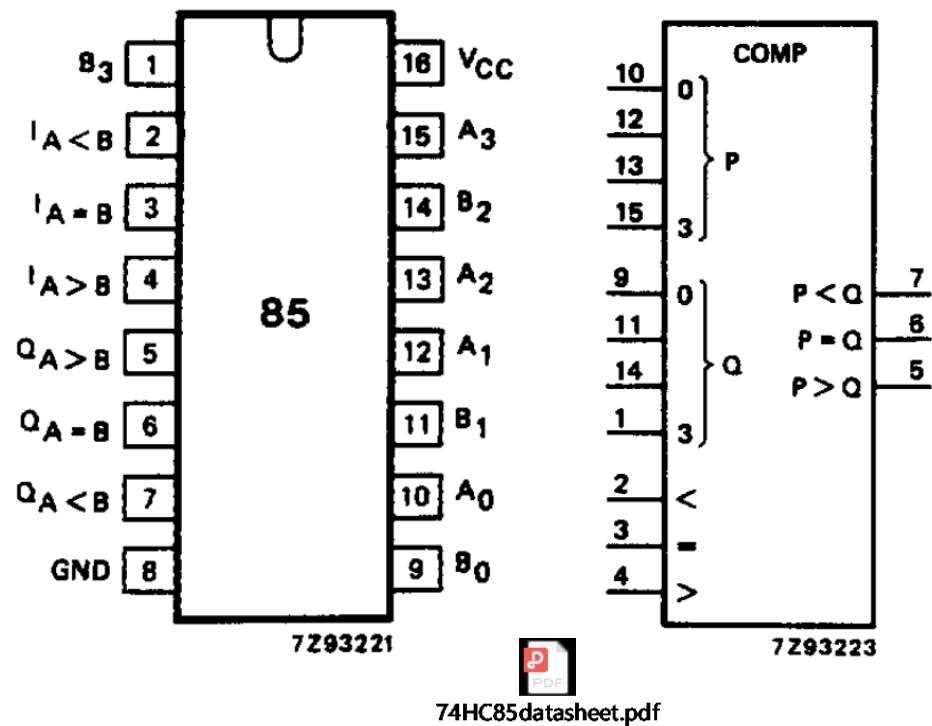
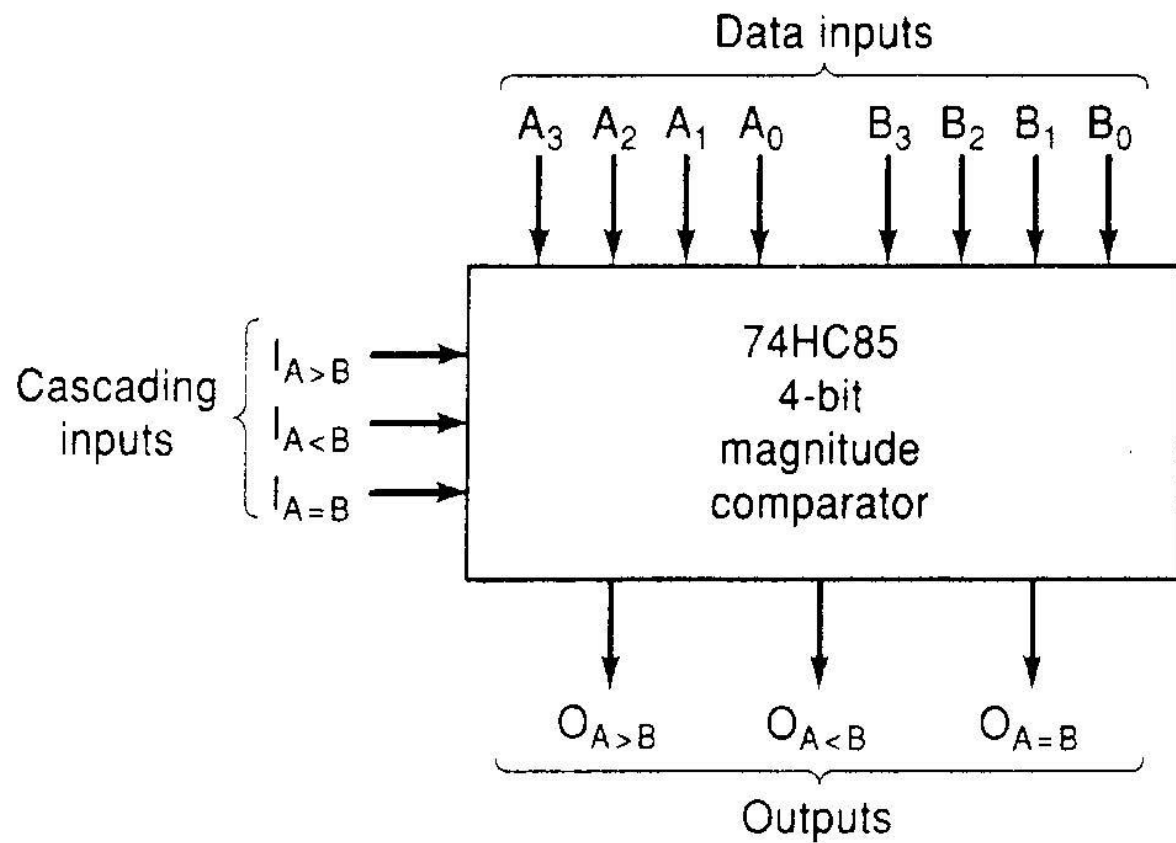
比较 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$

$$Y_{(A<B)} = A_3'B_3 + (A_3 \oplus B_3)' A_2'B_2 + (A_3 \oplus B_3)' (A_2 \oplus B_2)' A_1'B_1 \\ + (A_3 \oplus B_3)' (A_2 \oplus B_2)' (A_1 \oplus B_1)' A_0'B_0$$

$$Y_{(A=B)} = (A_3 \oplus B_3)' (A_2 \oplus B_2)' (A_1 \oplus B_1)' (A_0 \oplus B_0)'$$

$$Y_{(A>B)} = (Y_{(A<B)} + Y_{(A=B)})'$$

4位比较器



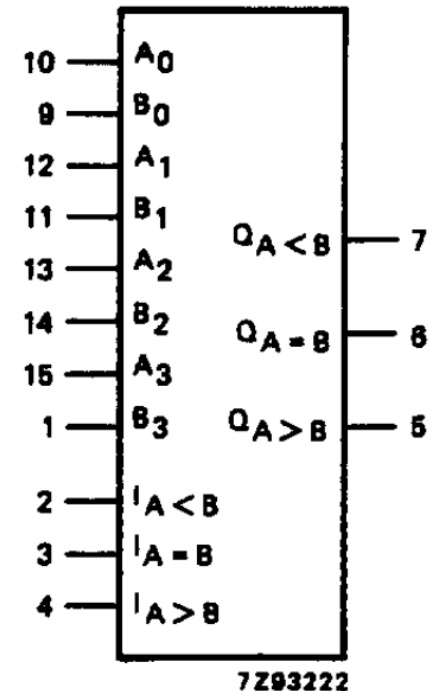
4位比较器的功能表74HC85

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A ₃ , B ₃	A ₂ , B ₂	A ₁ , B ₁	A ₀ , B ₀	I _{A>B}	I _{A<B}	I _{A=B}	Q _{A>B}	Q _{A<B}	Q _{A=B}
A ₃ >B ₃	X	X	X	X	X	X	H	L	L
A ₃ <B ₃	X	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ >B ₂	X	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ <B ₂	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ >B ₁	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ <B ₁	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ >B ₀	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ <B ₀	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	L	L	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	H	L	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	X	X	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	H	L	L	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	L	H	H	L

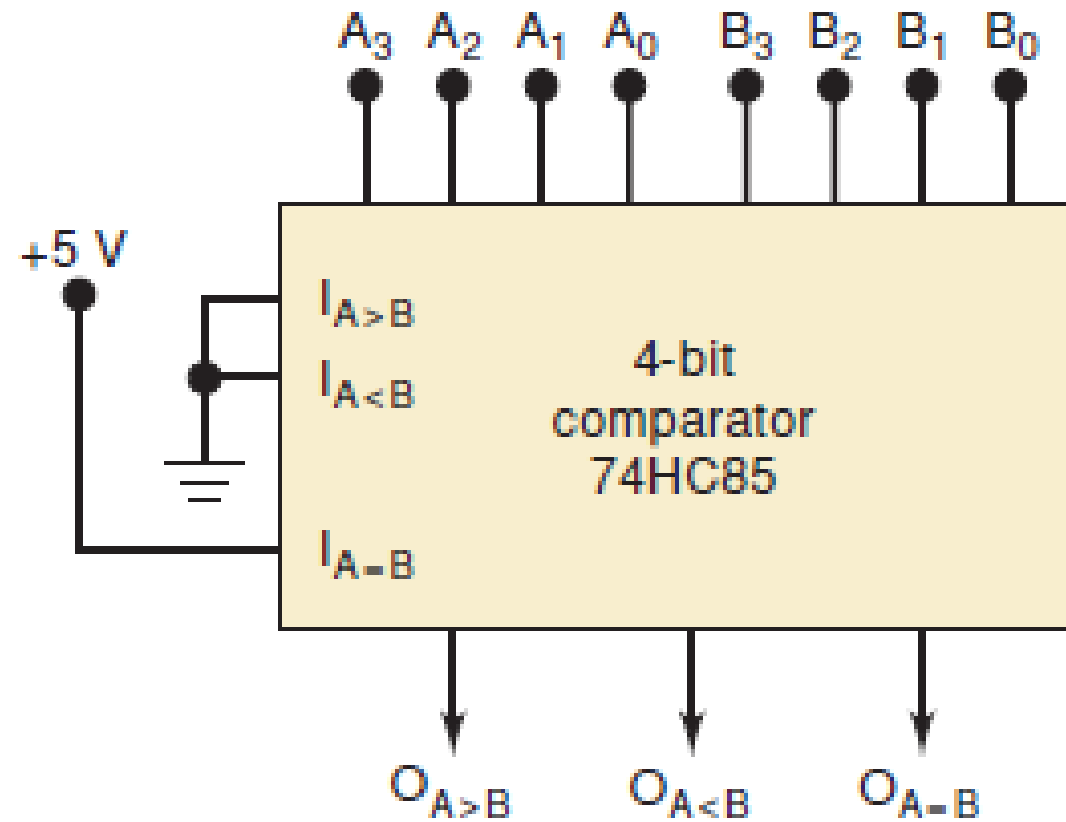
H: 高电平值

L: 低电平值

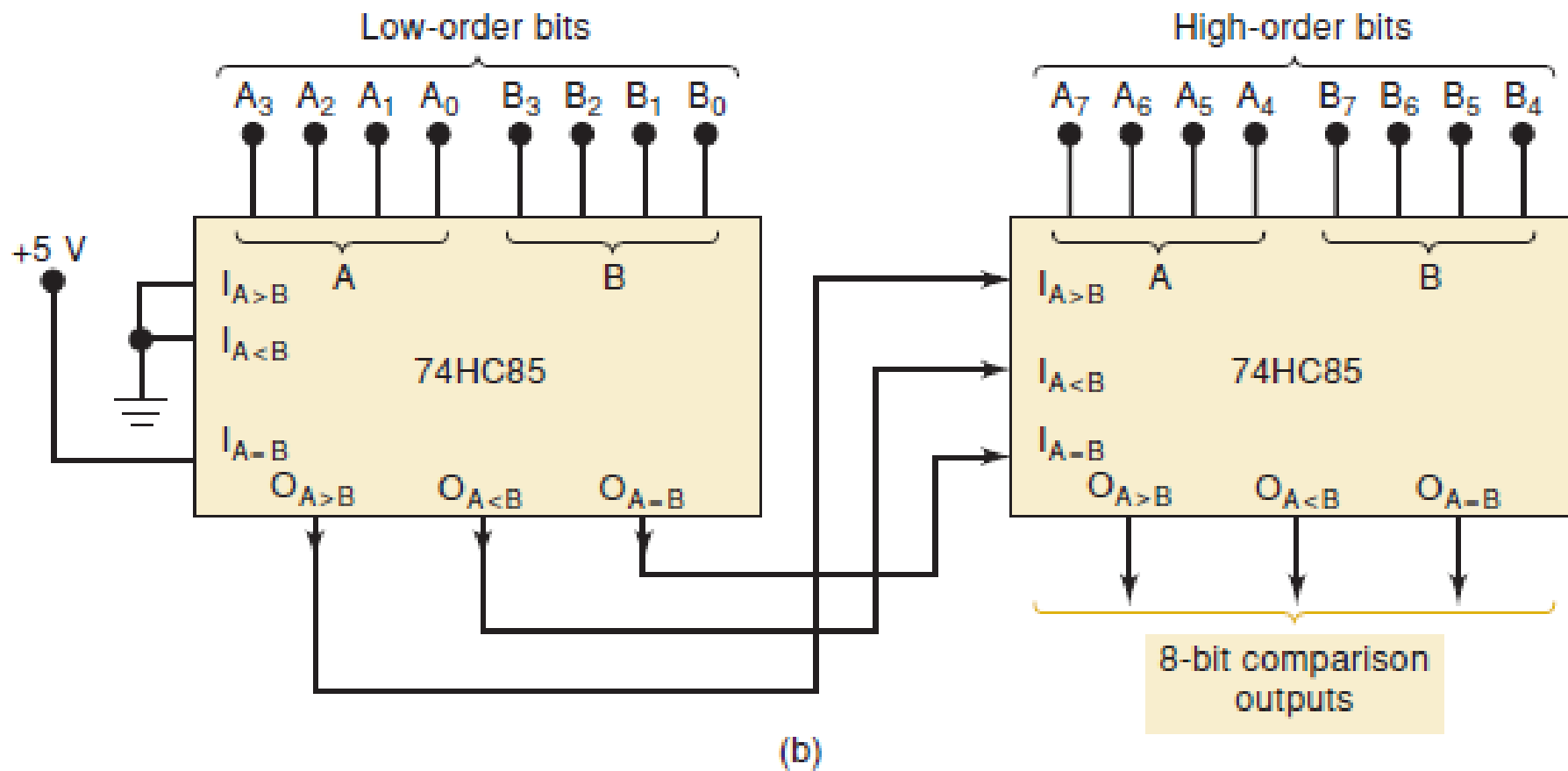
X: 无关



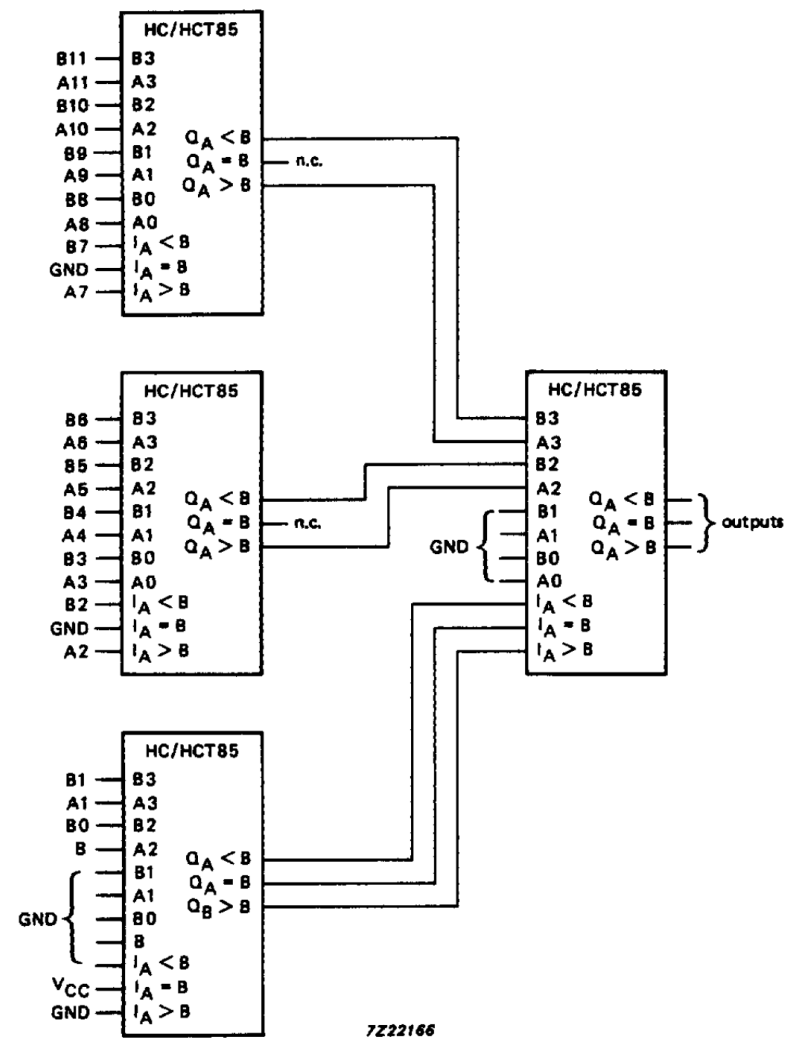
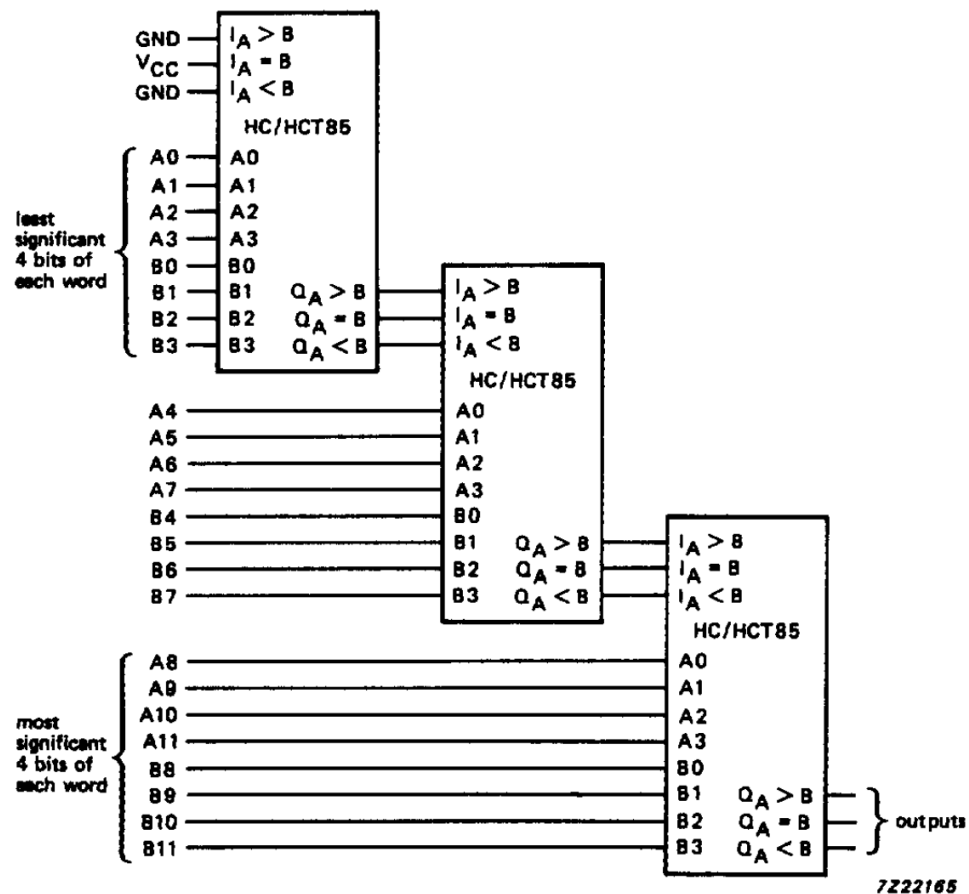
4位比较器



8位比较器

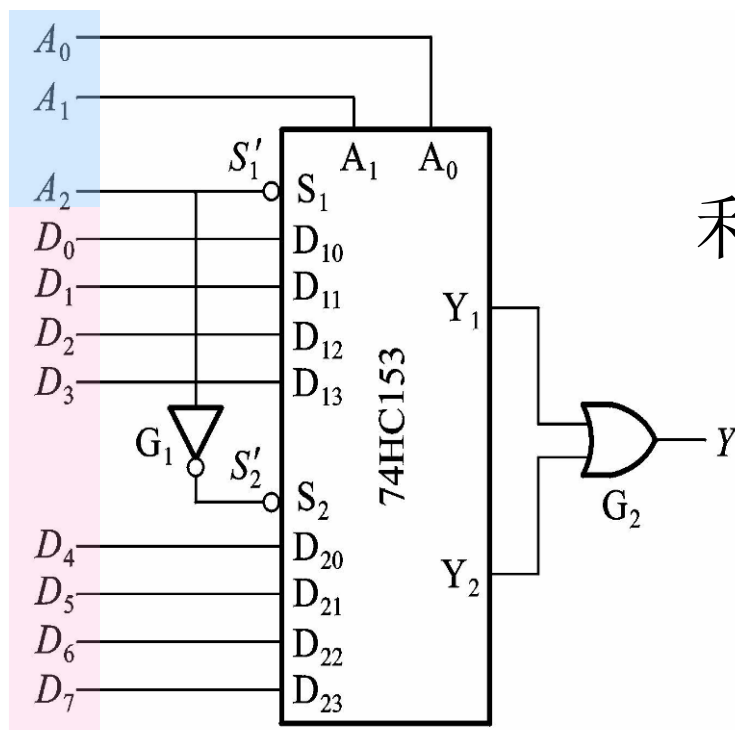


12位比较器



例：74HC153,两个“四选一”接成“八选一”

- “四选一” 只有2位地址输入，从四个输入中选中一个
- “八选一” 的八个数据需要3位地址代码指定其中任何一个

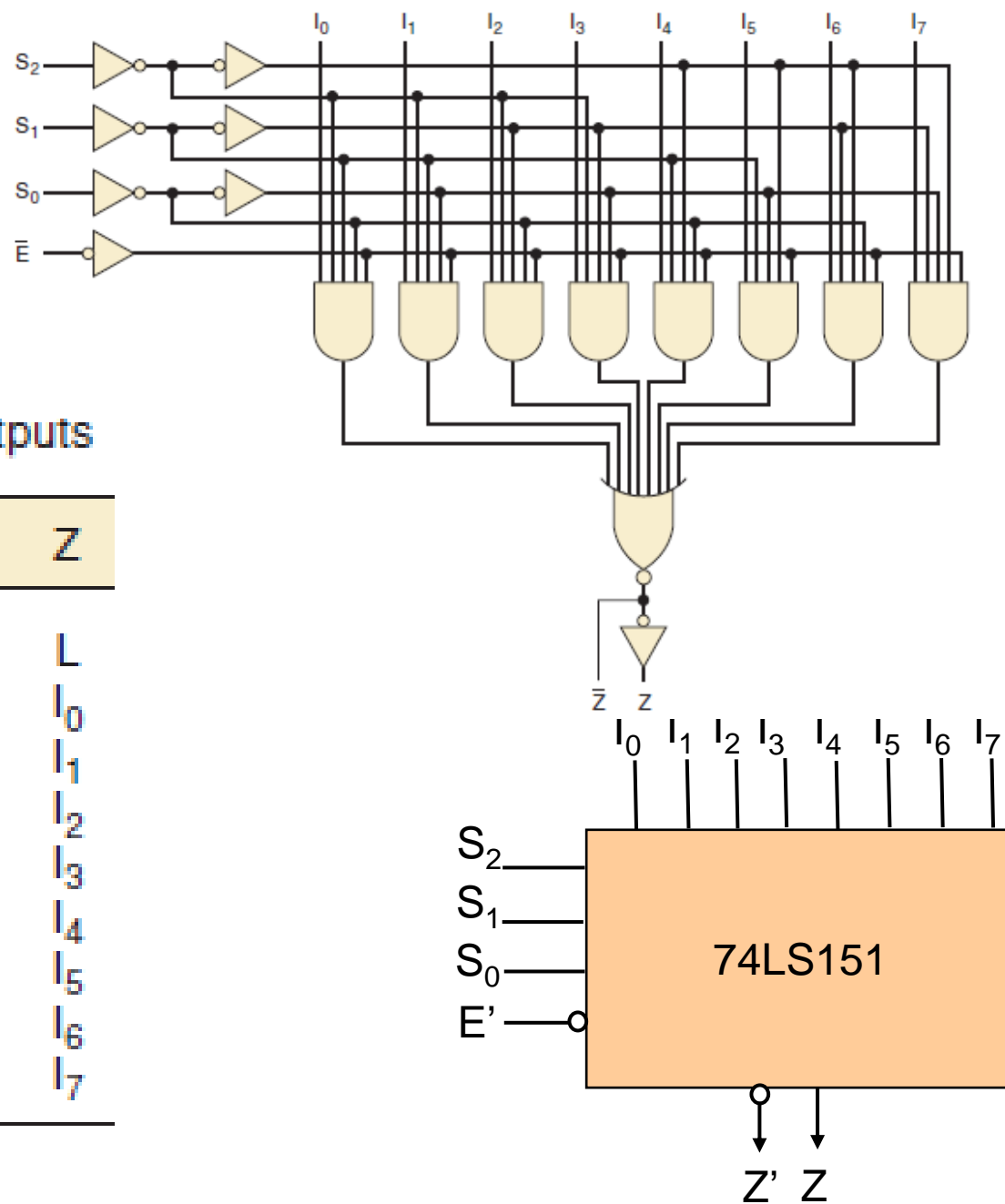


利用 S' 作为第3位地址输入端

$$Y = (A_2' A_1' A_0') D_0 + (A_2' A_1' A_0) D_1 + (A_2' A_1 A_0') D_2 + (A_2' A_1 A_0) D_3 \\ + (A_2 A_1' A_0') D_4 + (A_2 A_1' A_0) D_5 + (A_2 A_1 A_0') D_6 + (A_2 A_1 A_0) D_7$$

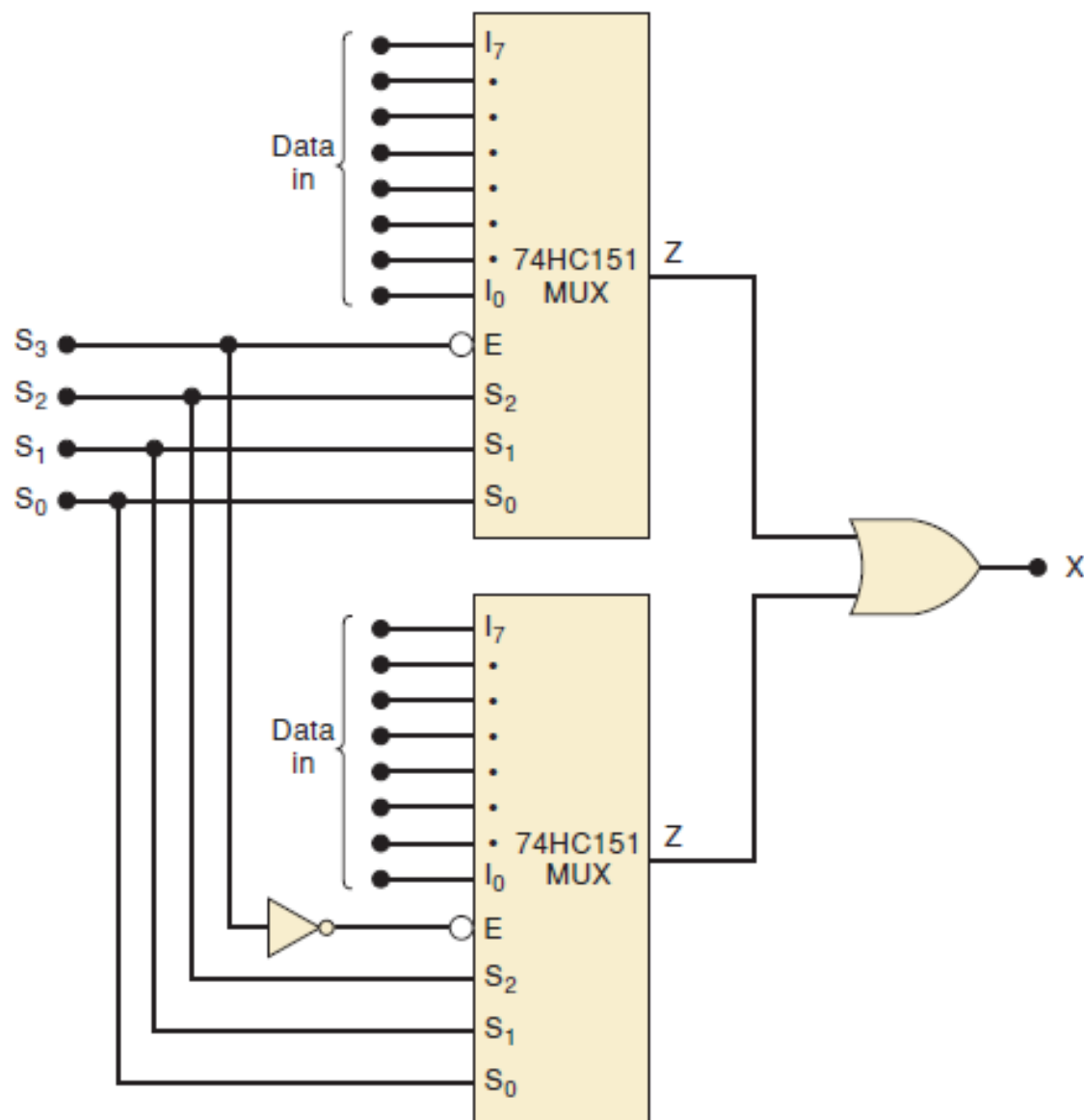
74LS151

Inputs				Outputs	
\bar{E}	S_2	S_1	S_0	\bar{Z}	Z
H	X	X	X	H	L
L	L	L	L	\bar{I}_0	I_0
L	L	L	H	\bar{I}_1	I_1
L	L	H	L	\bar{I}_2	I_2
L	L	H	H	\bar{I}_3	I_3
L	H	L	L	\bar{I}_4	I_4
L	H	L	H	\bar{I}_5	I_5
L	H	H	L	\bar{I}_6	I_6
L	H	H	H	\bar{I}_7	I_7



16选1选择器

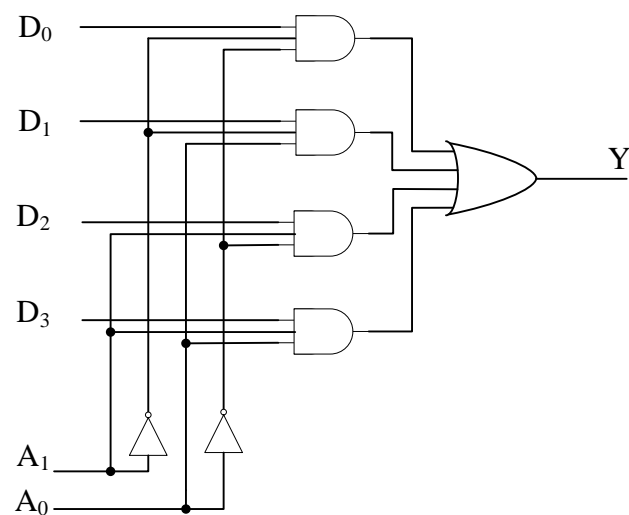
- 两个74HC151 选择器构成 16选1选择器



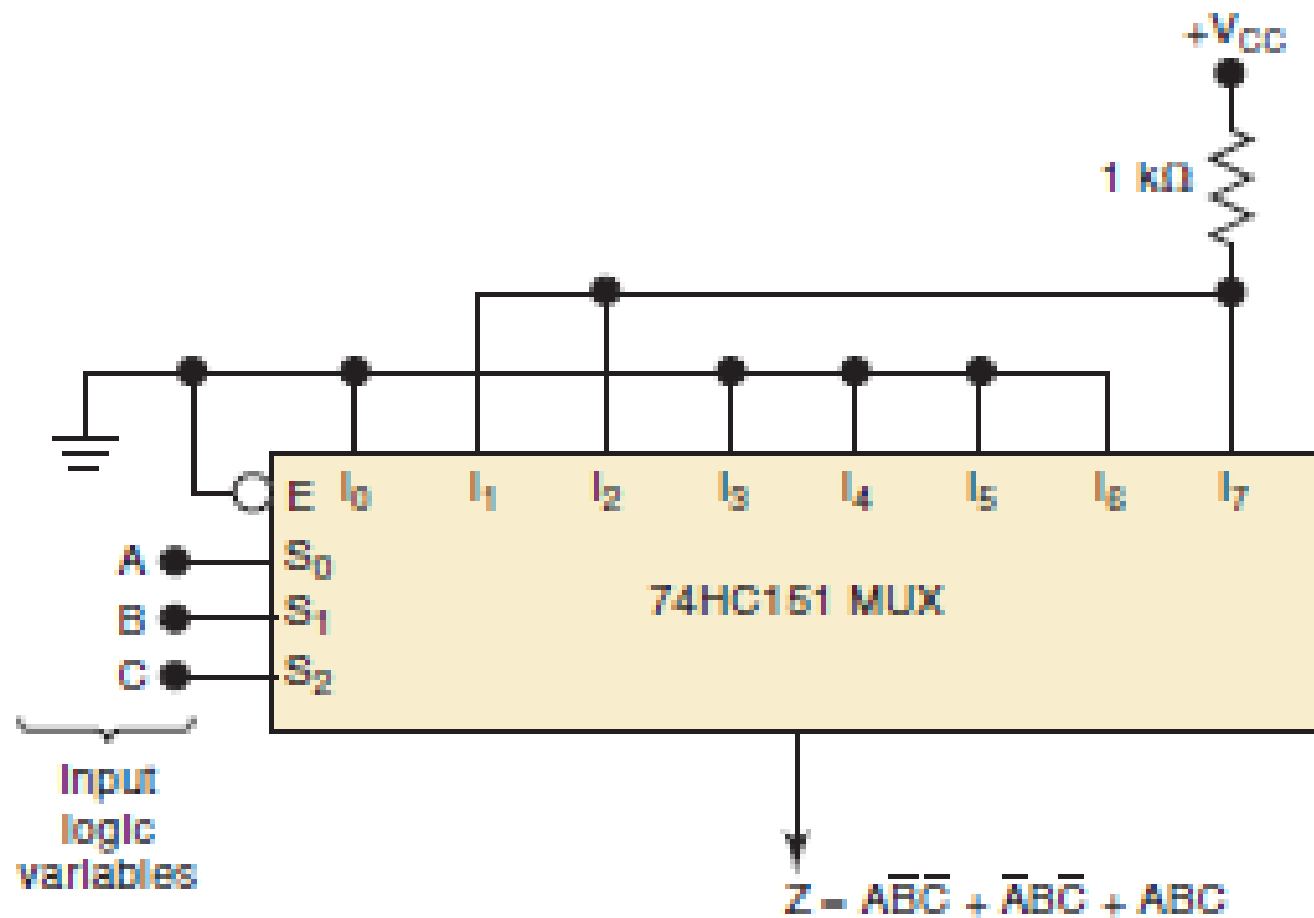
采用数据选择器设计组合电路

□ 基本原理

- $Y = D_0 A_1' A_0' + D_1 A_1' A_0 + D_2 A_1 A_0' + D_3 A_1 A_0$
- 具有n-1位地址输入的数据选择器，可实现n个变量布尔函数
- 数据选择器就是一个带或（OR）门的译码器



选择器实现逻辑功能



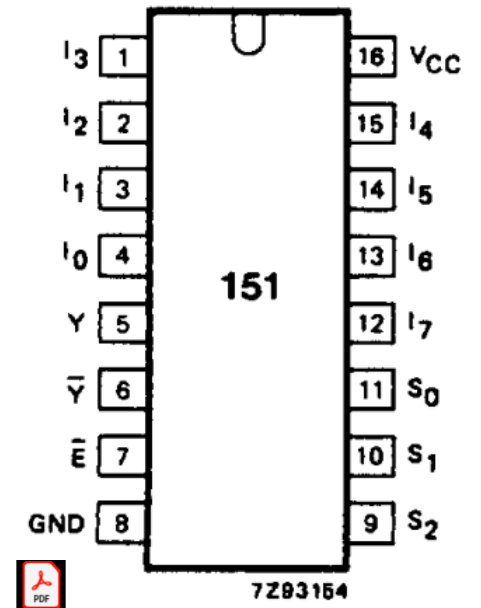
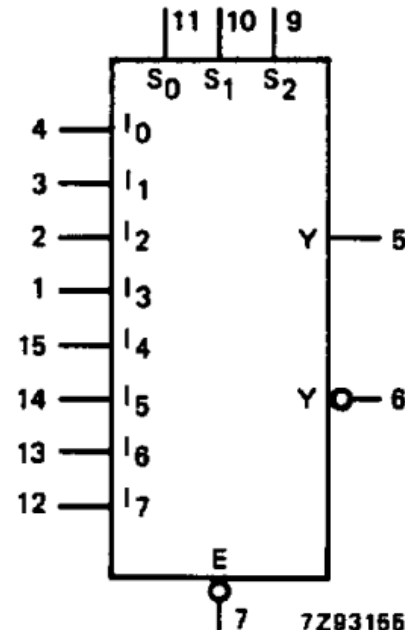
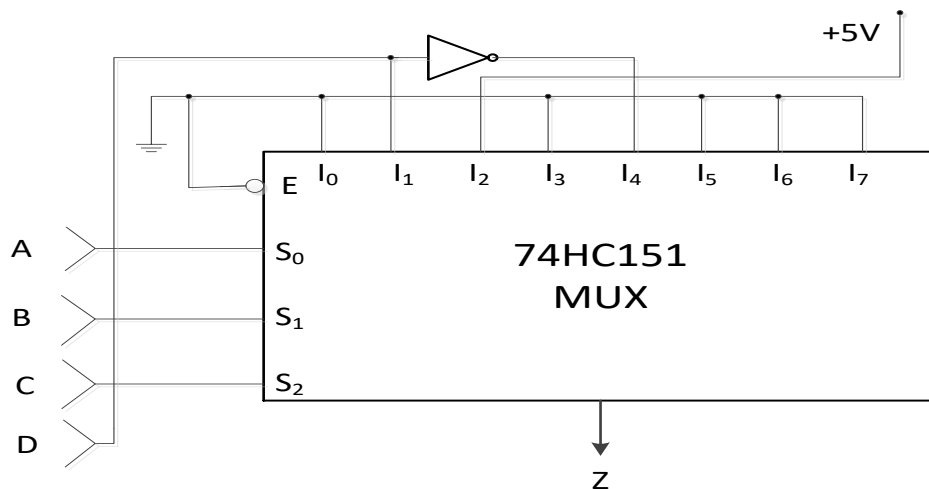
(a)

C	B	A	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

(b)

选择器设计组合电路

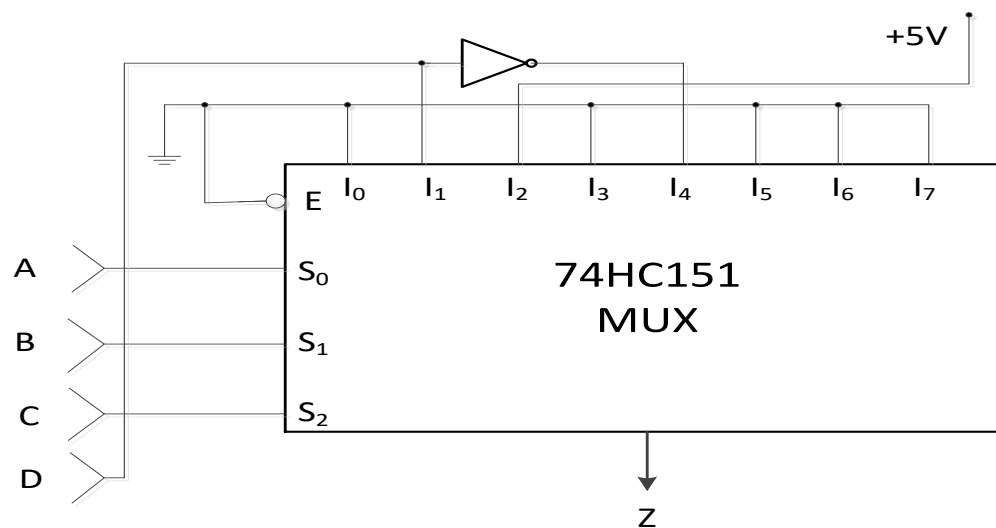
- 下图电路说明了一个8输入的MUX如何用来产生一个4变量的逻辑函数，尽管MUX只有3个选择输入端。其中的3个逻辑变量A, B与C与选择输入端相连。第4个变量D与它的反变量D'连接到MUX的数据输入端，以满足逻辑函数的要求。MUX的其他数据输入端按逻辑函数的要求分别置为低电平或高电平。列出真值表表示16种可能的输入组合所对应的输出Z的状态。



选择器设计组合电路 (续)

- 8选1数据选择器**74HC151**控制端有效情况下，输出的逻辑式为：

$$\begin{aligned} Z &= 0 \bullet (C' B' A') + D \bullet (C' B' A) + 1 \bullet (C' B A') + 0 \bullet (C' B A) \\ &+ D' \bullet (C B' A') + 0 \bullet (C B' A) + 0 \bullet (C B A') + 0 \bullet (C B A) \\ &= DC' B' A + C' B A' + D' C B' A' \end{aligned}$$



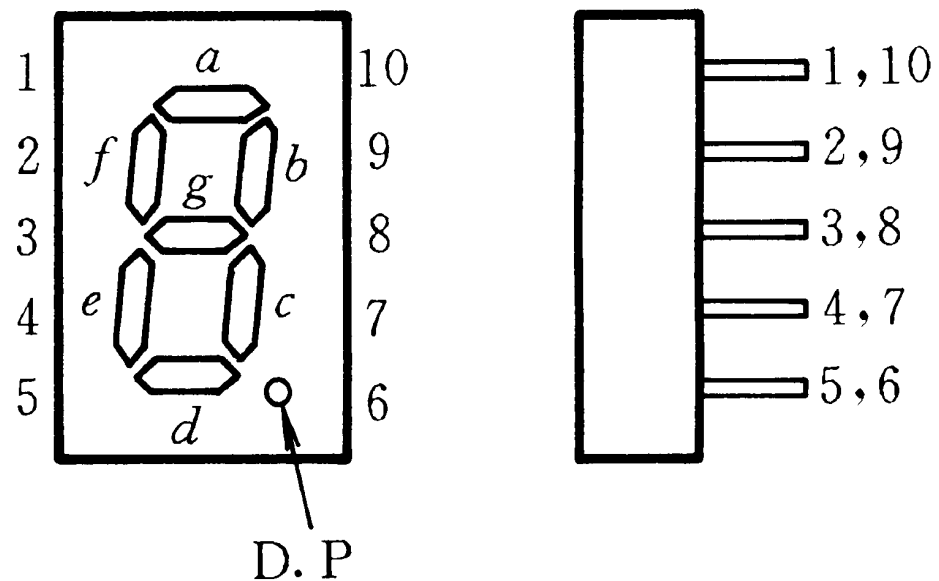
选择器设计组合电路（续）

输入					输出
C	B	A	对应的选通数据	D	Z
0	0	0	0	0	0
0	0	0		1	0
0	0	1	D	0	0
0	0	1		1	1
0	1	0	1	0	1
0	1	0		1	1
0	1	1	0	0	0
0	1	1		1	0
1	0	0	D'	0	1
1	0	0		1	0
1	0	1	0	0	0
1	0	1		1	0
1	1	0	0	0	0
1	1	0		1	0
1	1	1	0	0	0
1	1	1		1	0

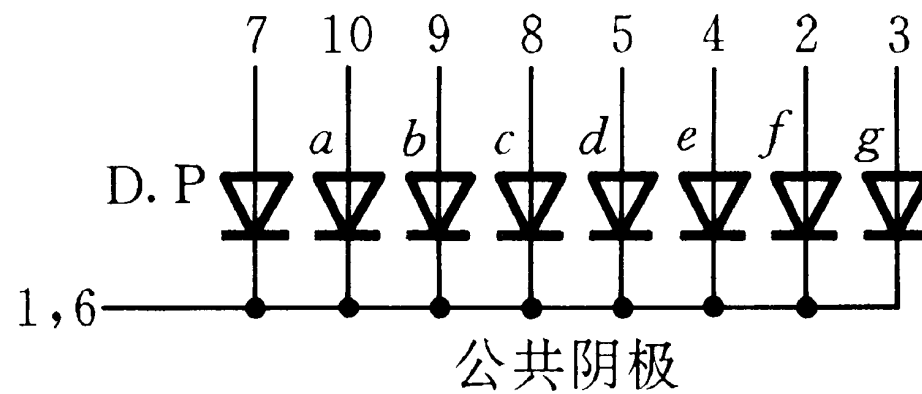
列出逻辑式的真值表

显示译码器

七段字符显示器



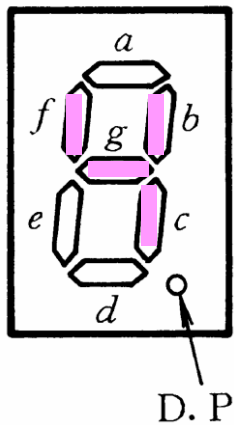
(a)



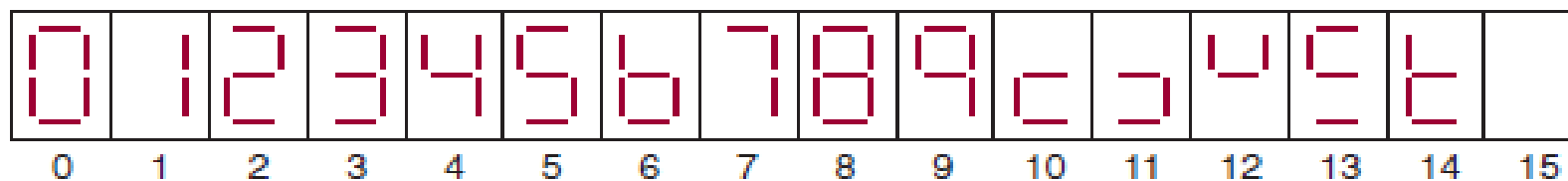
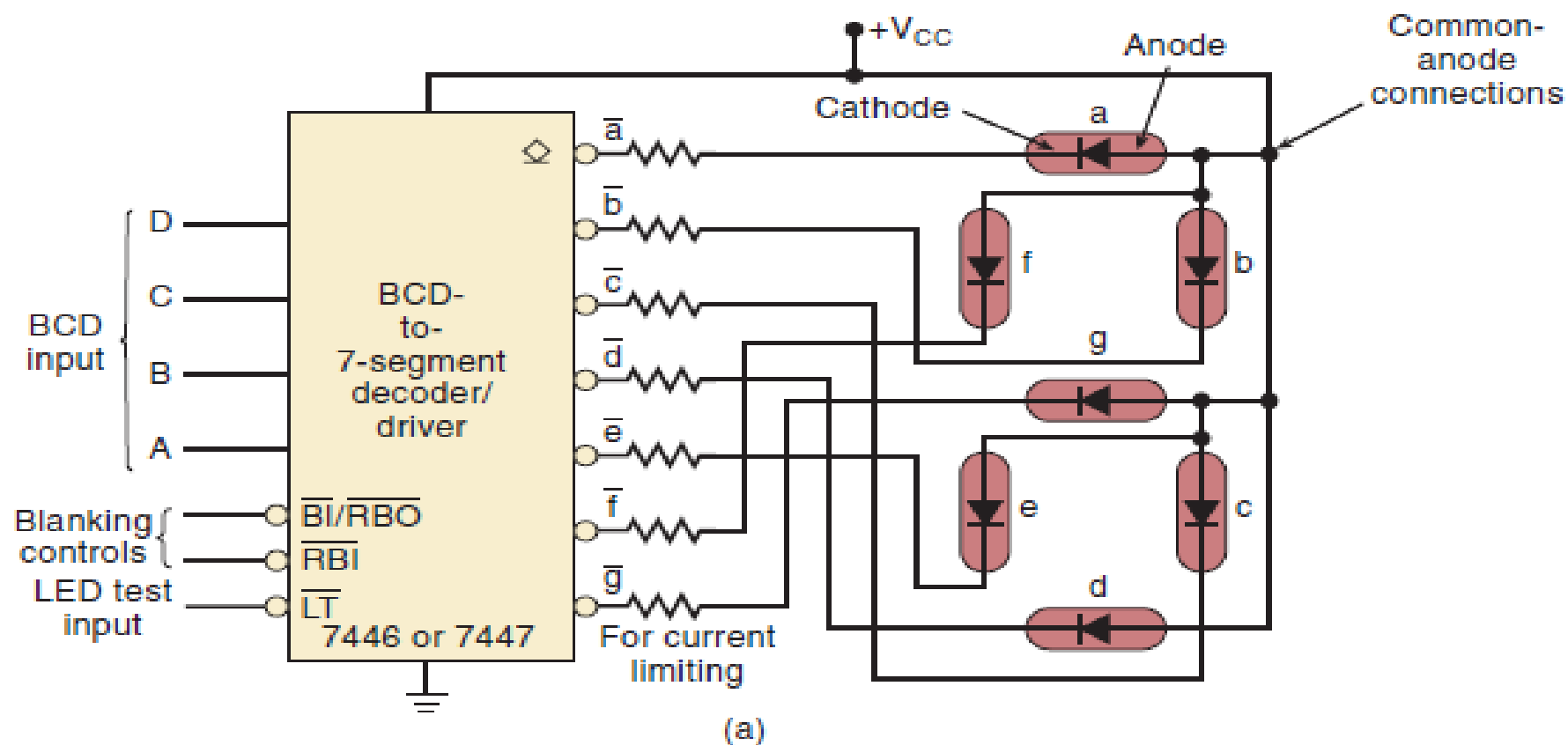
(b)

• BCD七段字符显示译码器 （代码转换器） 7448





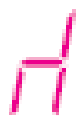















输 入					输 出							字形
数字	A ₃	A ₂	A ₁	A ₀	Y _a	Y _b	Y _c	Y _d	Y _e	Y _f	Y _g	
0	0	0	0	0	1	1	1	1	1	1	0	
1	0	0	0	1	0	1	1	0	0	0	0	
2	0	0	1	0	1	1	0	1	1	0	1	
3	0	0	1	1	1	1	1	1	0	0	1	
4	0	1	0	0	0	1	1	0	0	1	1	
5	0	1	0	1	1	0	1	1	0	1	1	
6	0	1	1	0	0	0	1	1	1	1	1	
7	0	1	1	1	1	1	1	0	0	0	0	
8	1	0	0	0	1	1	1	1	1	1	1	
9	1	0	0	1	1	1	1	0	0	1	1	
10	1	0	1	0	0	0	0	1	1	0	1	
11	1	0	1	1	0	0	1	1	0	0	1	
12	1	1	0	0	0	1	0	0	0	1	1	
13	1	1	0	1	1	0	0	1	0	1	1	
14	1	1	1	0	0	0	0	1	1	1	1	
15	1	1	1	1	0	0	0	0	0	0	0	

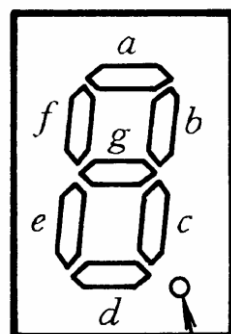


BCD-to-7段译码器/驱动共阳极7段LED显示



故障查找

COUNT	0	1	2	3	4	5	6	7	8	9
Observed display										
Expected display										



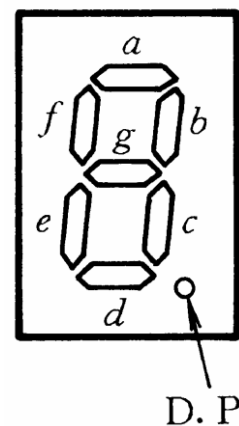
D. P

故障查找

COUNT	0	1	2	3	4	5	6	7	8	9
Observed display	0	1	9	3	4	5	6	7	8	7
Expected display	0	1	2	3	4	5	6	7	8	9

□ 比较观察到的数值与期望显示的数值，我们发现两点：

- 正确的模式0,1,3,6,7,和8有共同的特性，**e** 和**f** 同时亮或灭
- 不正确的模式有共同的特性，**e**和**f** 处于相反的状态, 若我们交换**e**和**f**的状态，则得到正确的模式



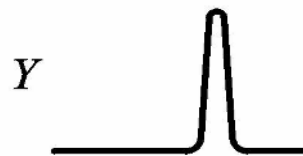
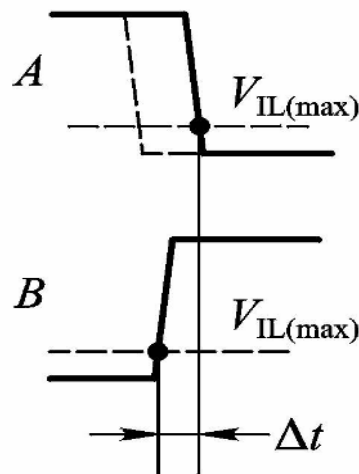
组合逻辑电路中的竞争-冒险现象

竞争-冒险现象及成因

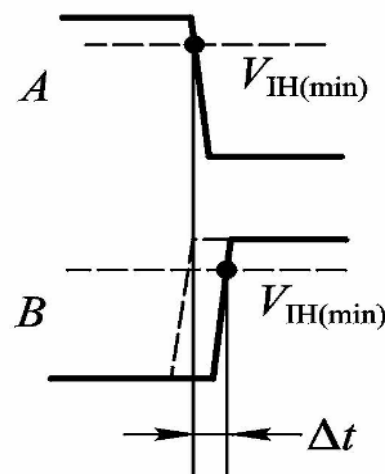
1. 什么是“竞争”

两个输入“同时向相反的逻辑电平变化”，称存在“竞争”

2. 因“竞争”而可能在输出产生尖峰脉冲的现象，称为“竞争-冒险”



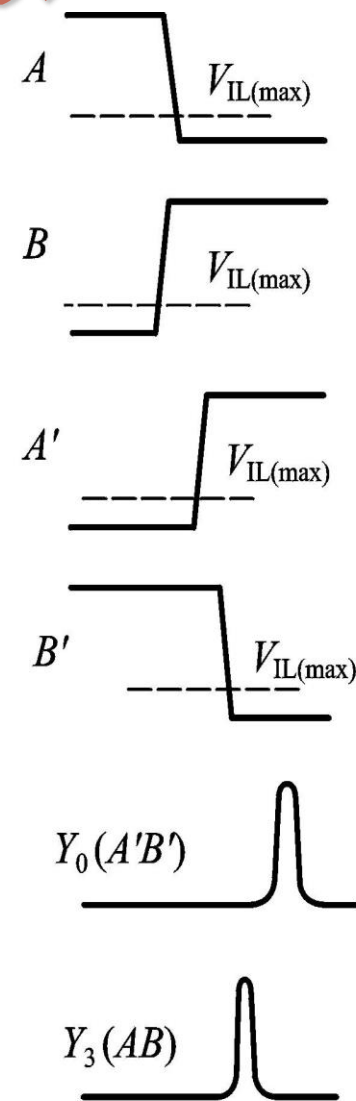
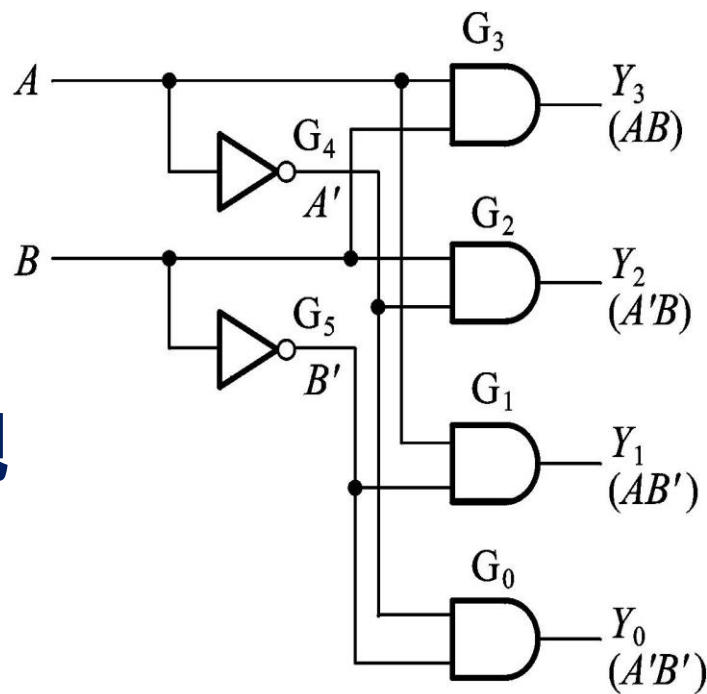
(a)



(b)

2线—4线译码器中的竞争-冒险现象

当AB从10→01变换时，动态过程中可能出现00或11， Y_3 和 Y_0 输出端可能产生尖峰脉冲



(a)

(b)

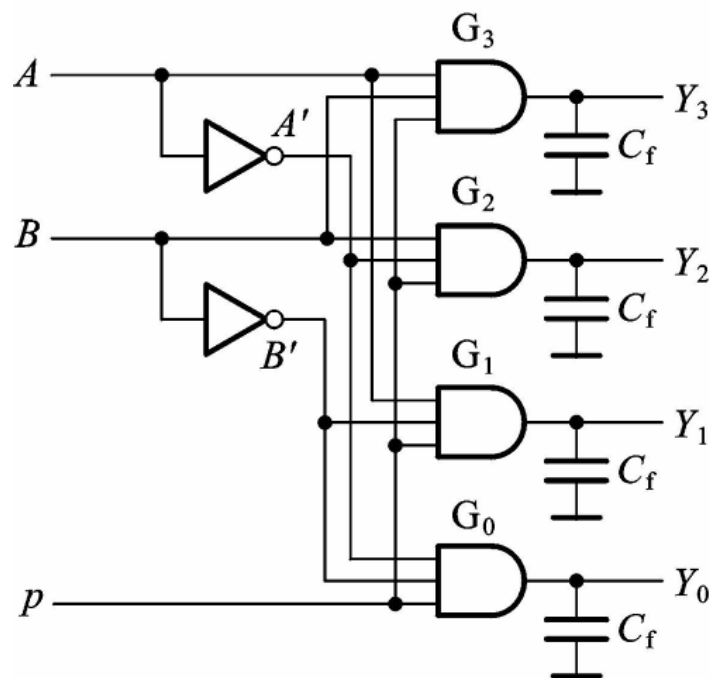
消除竞争-冒险现象的方法

1. 接入滤波电容

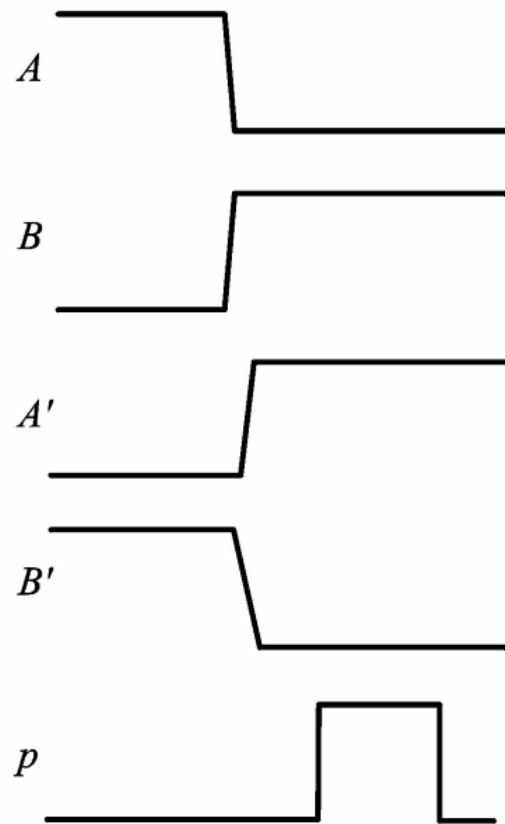
尖峰脉冲很窄，用很小的电容就可将尖峰削弱到 V_{TH} 以下

2. 引入选通脉冲

取选通脉冲作用时间，在电路达到稳定之后， P 的高电平期的输出信号不会出现尖峰



(a)



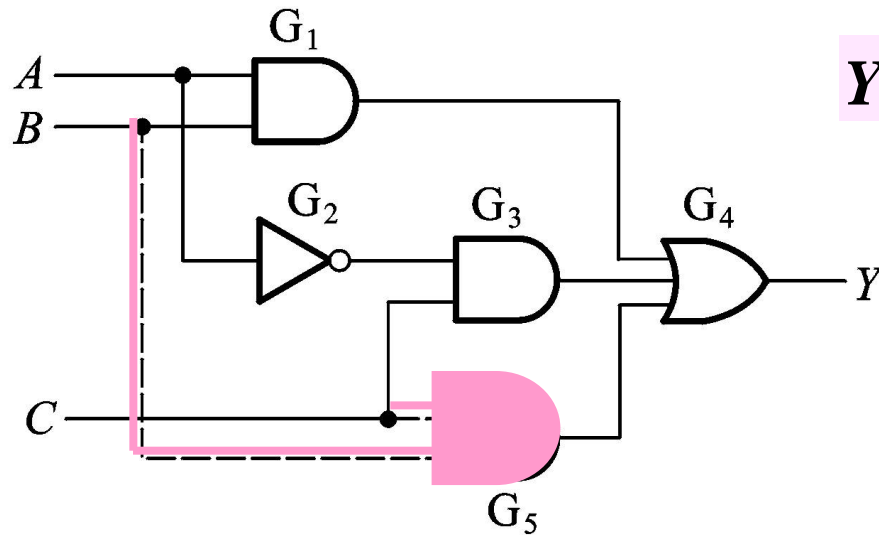
(b)

3. 修改逻辑设计

例: $Y = AB + A'C$

在 $B = C = 1$ 的条件下, $Y = A + A' \Rightarrow$ 稳态下 $Y = 1$

当 A 改变状态时存在竞争-冒险



$$Y = AB + A'C + BC$$

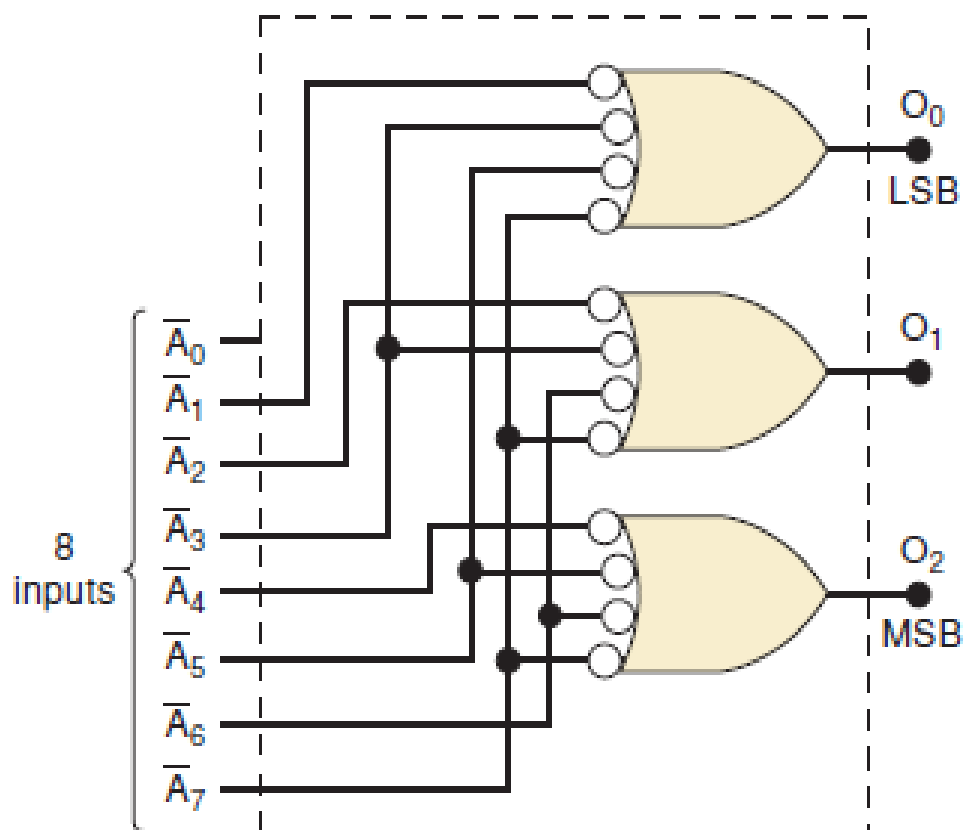
概括 (Recap)

□ 组合电路的基本模块

- 译码器
- 编码器
- 选择器
- 加法器
- 比较器
- 采用基本模块来设计组合电路

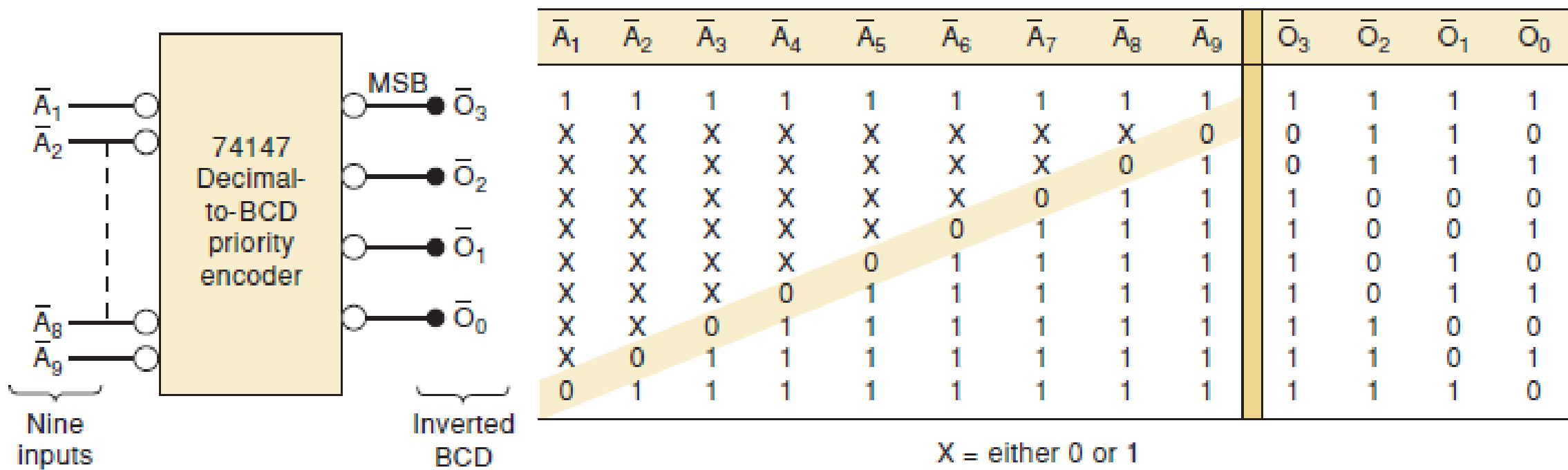
□ 组合电路的竞争和冒险

编码器



Inputs								Outputs		
\bar{A}_0	\bar{A}_1	\bar{A}_2	\bar{A}_3	\bar{A}_4	\bar{A}_5	\bar{A}_6	\bar{A}_7	O_2	O_1	O_0
X	1	1	1	1	1	1	1	0	0	0
X	0	1	1	1	1	1	1	0	0	1
X	1	0	1	1	1	1	1	0	1	0
X	1	1	0	1	1	1	1	0	1	1
X	1	1	1	0	1	1	1	1	0	0
X	1	1	1	1	0	1	1	1	0	1
X	1	1	1	1	1	0	1	1	1	0
X	1	1	1	1	1	1	0	1	1	1

优先编码器 (74147 decimal-to-BCD)



习题选讲

□ 用一个3线-8线译码器和门电路设计逻辑函数:

$$Y_1 = AB + A\bar{C}$$

$$Y_2 = \overline{\bar{A}B + BD \bullet BC} + \bar{A}B + B\bar{C}$$

$$Y_1 = ABC + AB\bar{C} + A\bar{B}\bar{C} = m_4 + m_6 + m_7 = \overline{\overline{m_4} \bullet \overline{m_6} \bullet \overline{m_7}}$$

$$Y_2 = \overline{\bar{A}B + BD \bullet BC} + \bar{A}B + B\bar{C} = ABC\bar{D} + \bar{A}B + B\bar{C}$$

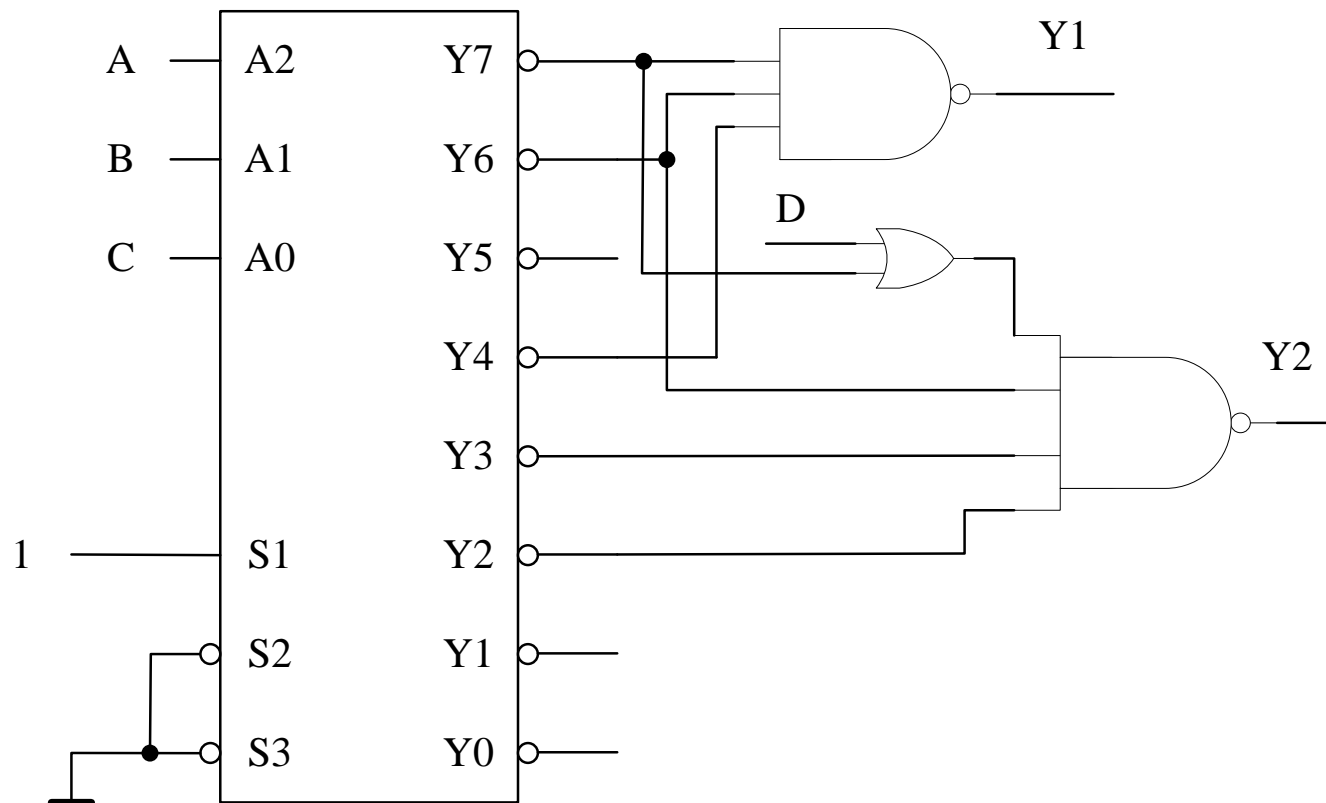
$$= ABC\bar{D} + \bar{A}BC + \bar{A}\bar{B}\bar{C} + AB\bar{C} = m_2 + m_3 + m_6 + m_7 \bar{D} = \overline{\overline{m_2} \bullet \overline{m_3} \bullet \overline{m_6} \bullet \overline{m_7} \bar{D}} = \overline{\overline{m_2} \bullet \overline{m_3} \bullet \overline{m_6} \bullet (\overline{m_7} + D)}$$

组合电路设计例1 (续)

$$Y_1 = ABC + ABC\bar{C} + A\bar{B}\bar{C} = m_4 + m_6 + m_7 = \overline{\overline{m_4} \cdot \overline{m_6} \cdot \overline{m_7}}$$

$$Y_2 = \overline{\overline{AB} + BD \cdot BC} + \overline{AB} + \overline{BC} = ABC\bar{D} + \overline{AB} + \overline{BC}$$

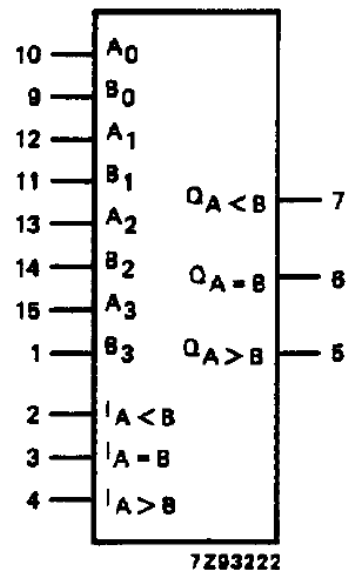
$$= ABC\bar{D} + \overline{AB}C + \overline{AB}\bar{C} + A\bar{B}\bar{C} = m_2 + m_3 + m_6 + m_7 \cdot \bar{D} = \overline{\overline{m_2} \cdot \overline{m_3} \cdot \overline{m_6} \cdot \overline{m_7} \cdot \bar{D}} = \overline{\overline{m_2} \cdot \overline{m_3} \cdot \overline{m_6} \cdot (\overline{m_7} + D)}$$



组合电路设计例2

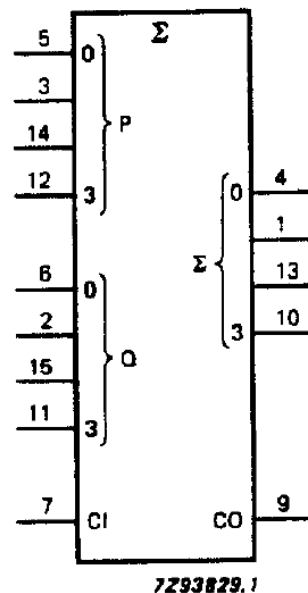
4位比较器74HC85功能表

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A ₃ , B ₃	A ₂ , B ₂	A ₁ , B ₁	A ₀ , B ₀	I _{A>B}	I _{A<B}	I _{A=B}	Q _{A>B}	Q _{A<B}	Q _{A=B}
A ₃ >B ₃	X	X	X	X	X	X	H	L	L
A ₃ <B ₃	X	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ >B ₂	X	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ <B ₂	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ >B ₁	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ <B ₁	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ >B ₀	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ <B ₀	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	L	L	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	H	L	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	X	X	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	H	L	L	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	L	H	H	L



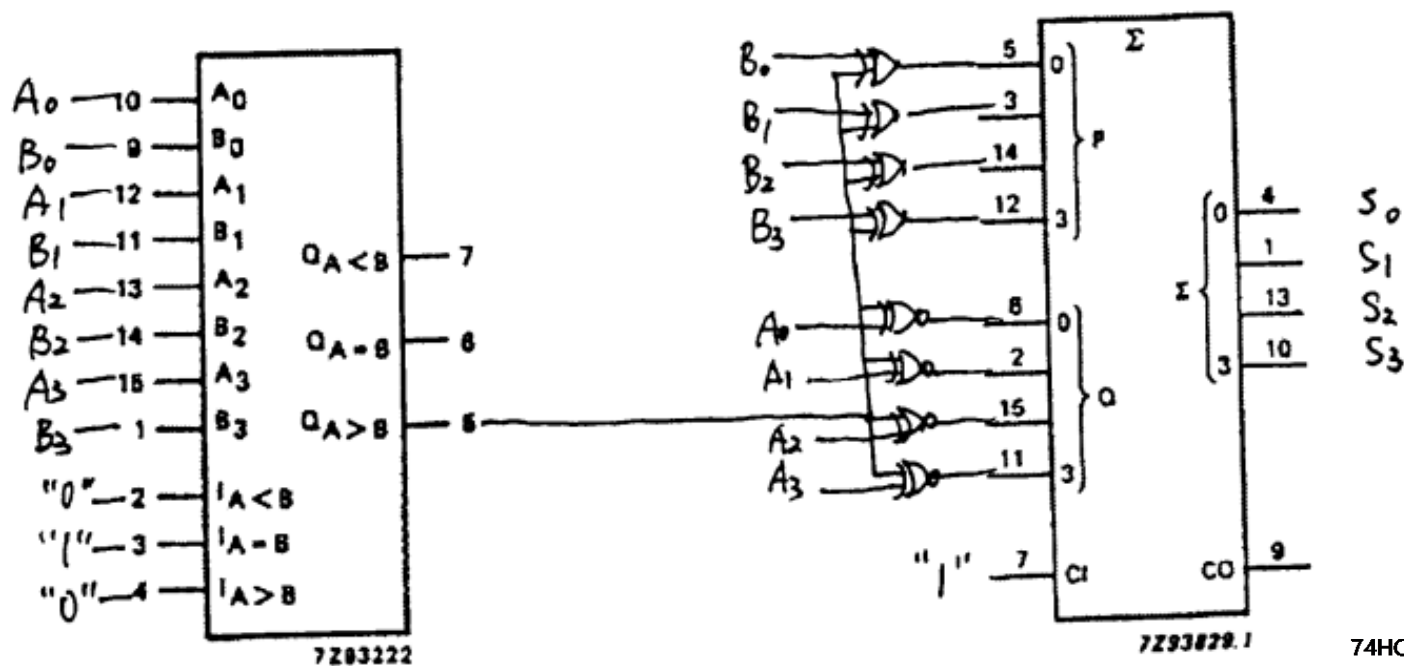
4位加法器74HC283功能表

PINS	C _{IN}	A ₁	A ₂	A ₃	A ₄	B ₁	B ₂	B ₃	B ₄	Σ ₁	Σ ₂	Σ ₃	Σ ₄	C _{OUT}
logic levels	L	L	H	L	H	H	L	L	H	H	H	L	L	H
active HIGH	0	0	1	0	1	1	0	0	1	1	1	0	0	1
active LOW	1	1	0	1	0	0	1	1	0	0	0	1	1	0



组合电路设计例2

- 已知A和B分别为4位二进制变量，试使用一片74HC85四位比较器、一片74HC283四位加法器以及若干门电路实现如下功能。 $S = |A-B|$
- 当 $A > B$, $S = A + B' + 1 = A - B$
- 当 $A < B$, $S = B - A = A' + B + 1$



74HC283datasheet.pdf

组合逻辑3

Combinational Logic III

刘鹏

liupeng@zju.edu.cn

浙江大学信息与电子工程学院

