



CMOS 门

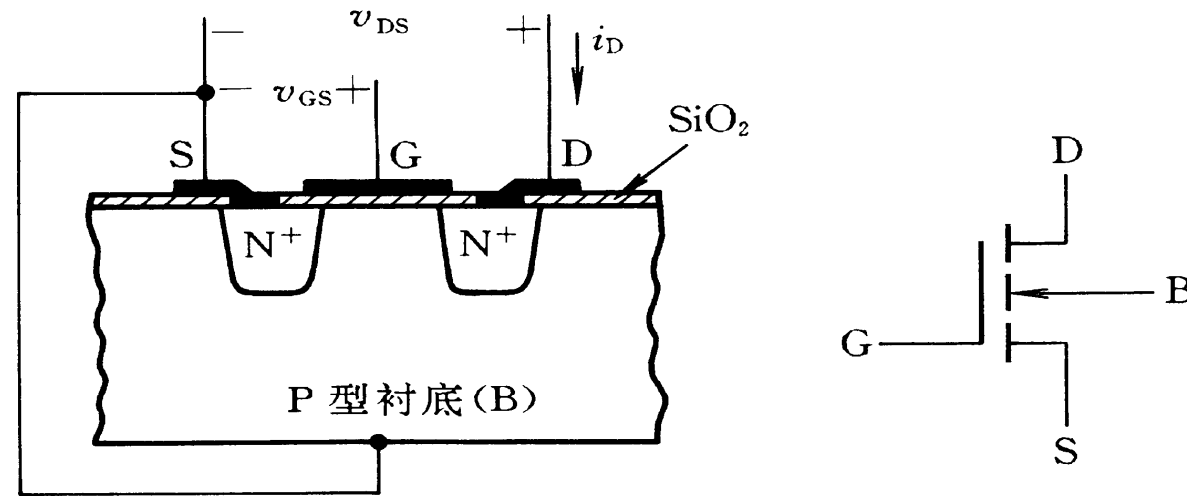
刘 鹏

浙江大学

信息与工程学院

liupeng@zju.edu.cn

MOS管结构和符号



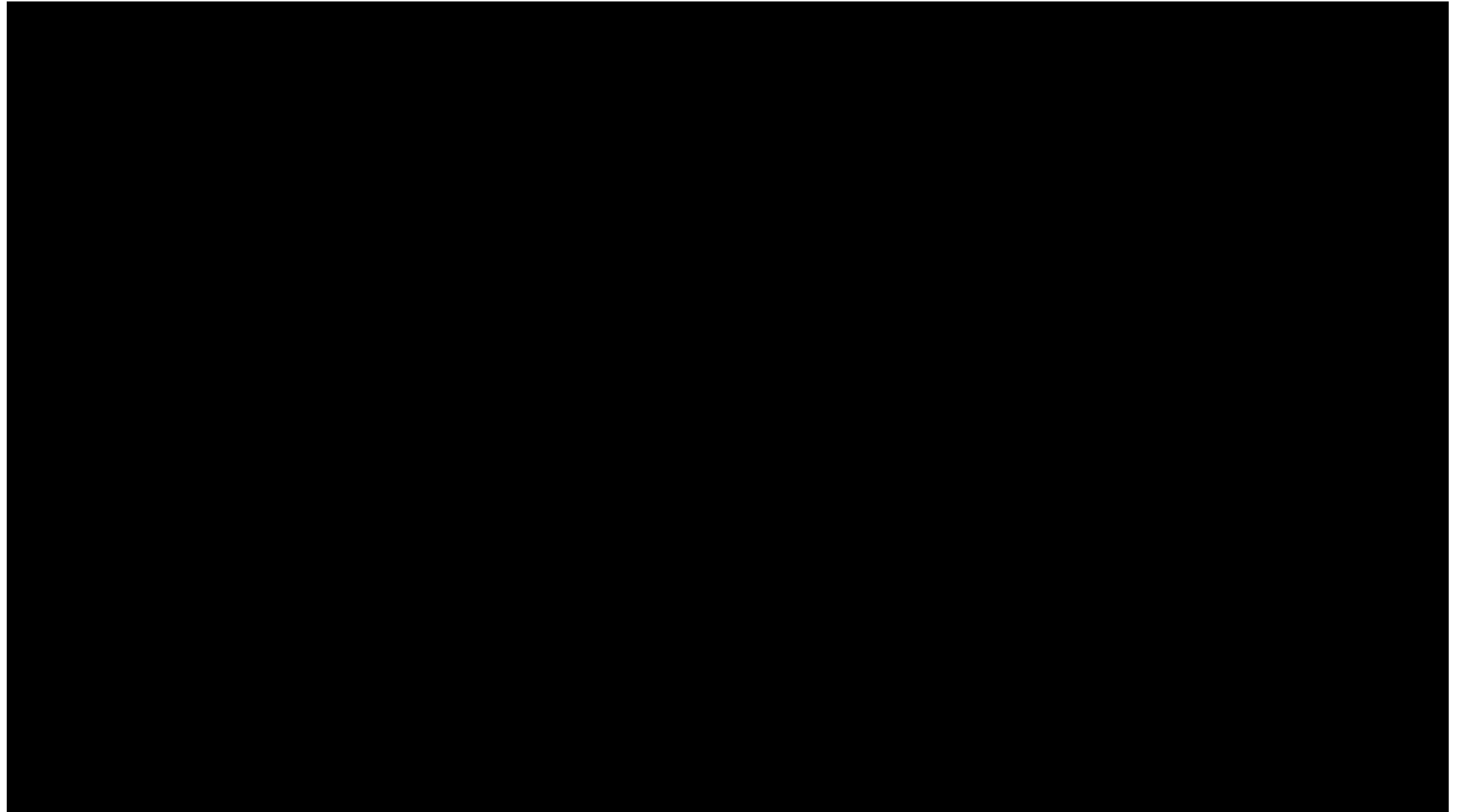
$V_{GS(th)}$ 称为MOS管的开启电压

$V_{GS}=0$ 漏极和源极之间相当于两个PN结背向地串联，所以D-S间不导通， $i_D=0$

MOS: Metal-Oxide-Semiconductor Field-Effect Transistor



晶体管



CMOS 反相器

工作原理:

1、输入为低电平 $V_{IL} = 0V$ 时

$V_{GS1} < V_{GS(th)N} \rightarrow T_1$ 管截止

$|V_{GS2}| > |V_{GS(th)P}| \rightarrow T_2$ 导通

电路中电流近似为零（忽略 T_1 的截止漏电流）， V_{DD} 的主要降落在 T_2 上，输出为高电平 $V_{OH} \approx V_{DD}$

2、输入为高电平 $V_{IH} = V_{DD}$ 时， T_1 导通 T_2 截止， V_{DD} 主要降在 T_1 上，输出为低电平 $V_{OL} \approx 0V$

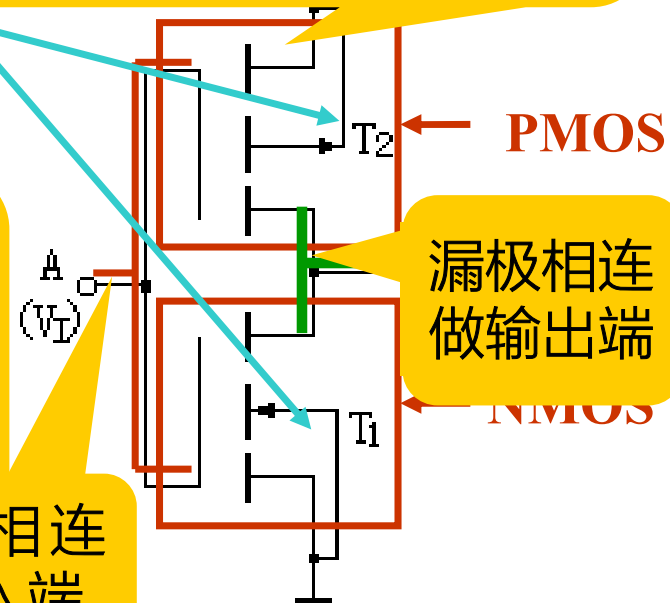
实现逻辑“非”功能 $F = \bar{A}$

$$V_{DD} > V_{GS(th)N} + |V_{GS(th)P}|$$

$V_{GS(th)N}$ —— NMOS 的开启电压

$V_{GS(th)P}$ —— PMOS 的开启电压

$$V_{GS(th)N} = |V_{GS(th)P}|$$

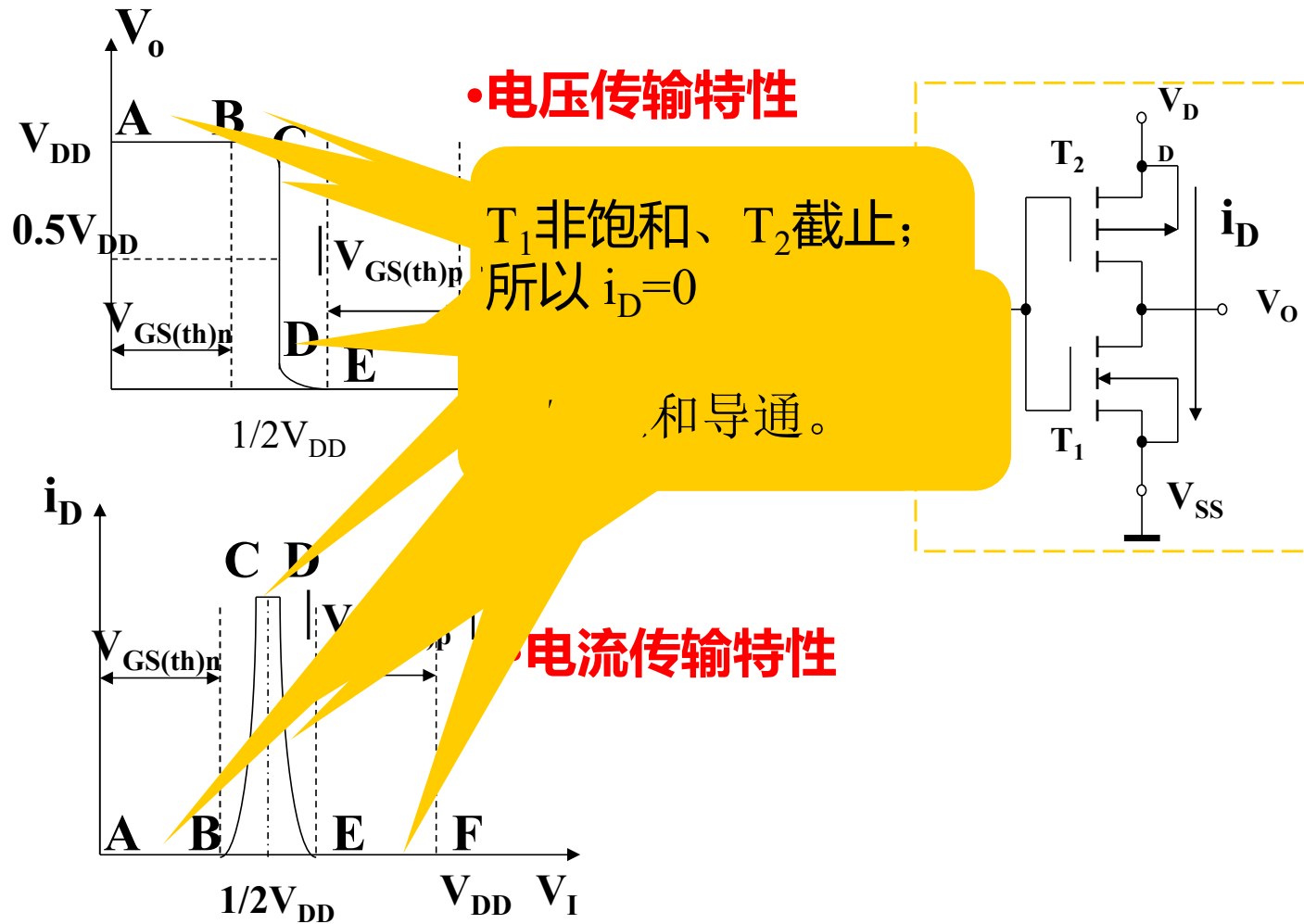


相连
做输入端

漏极相连
做输出端

CMOS 反相器

电压传输特性和电流传输特性



CMOS反相器的输出特性

(1) 输出低电平

• 低电平导通电阻: $R_{OL} \leq 1k \Omega$

• 最大低电平输出电流 I_{OL}

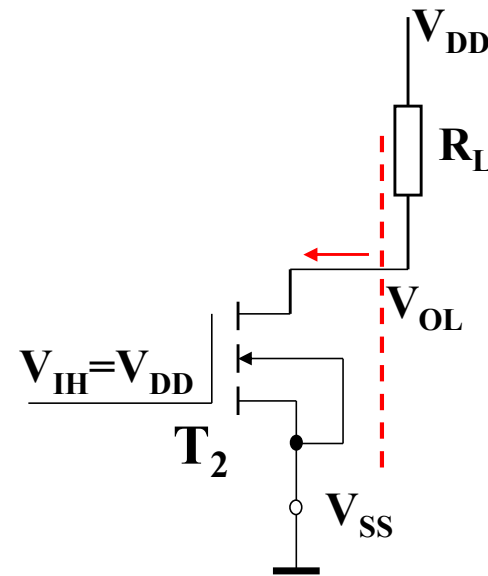
(以4069为例)

0.36mA ($V_{DD} = 5V$)

0.9mA ($V_{DD} = 10V$)

2.4mA ($V_{DD} = 15V$)

电阻负载能力差



CMOS反相器的输出特性

(2) 输出高电平

• 高电平导通电阻: $R_{OH} \leq 1k\ \Omega$

• 最大高电平输出电流 I_{OH} :
(以4069为例)

-0.51mA ($V_{DD}=5V$)

-1.3mA ($V_{DD}=10V$)

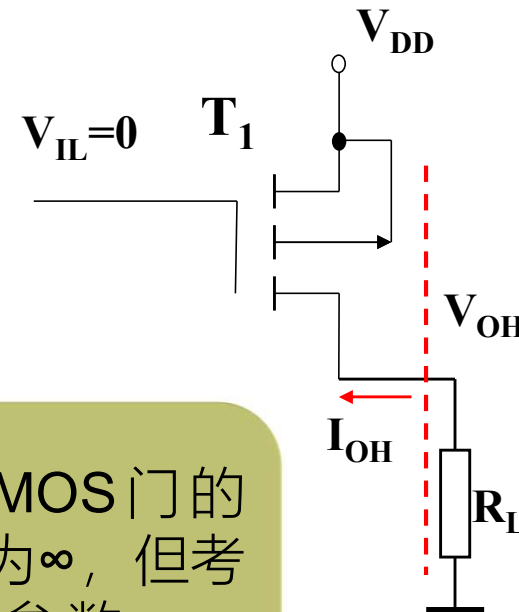
-3.4mA ($V_{DD}=15V$)

(3) 扇出系数:

$N > 50$



因为, CMOS门的输入阻抗为 ∞ , 但考虑到分布参数, 一般取50



注意: CMOS门 ($V_{DD}=5V$) 可驱动一个TTL门

CMOS反向器传输延时时间

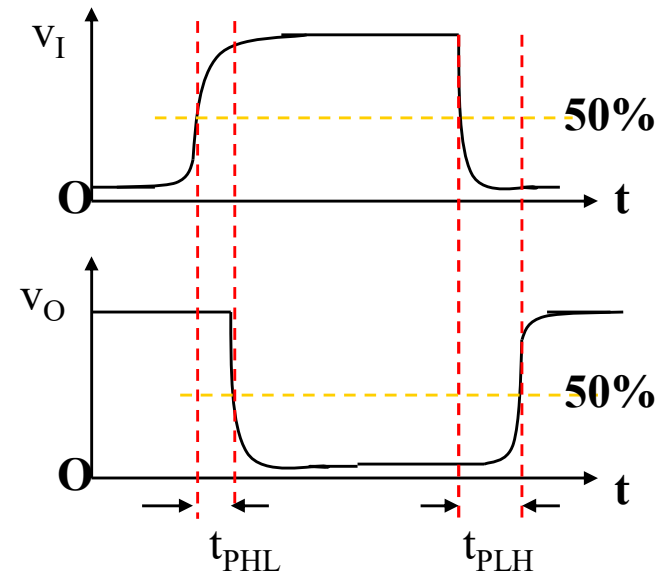
传输延时原因

- MOS管开关延时
- 分布参数
- 负载电容

$$t_{pd} = (t_{pHL} + t_{pLH}) / 2$$

动态功耗

$$f \uparrow \Rightarrow P_c \uparrow$$



与非门逻辑功能的CMOS门电路

二输入“与非”门电路结构如图

当A和B为高电平时:

输出低电平

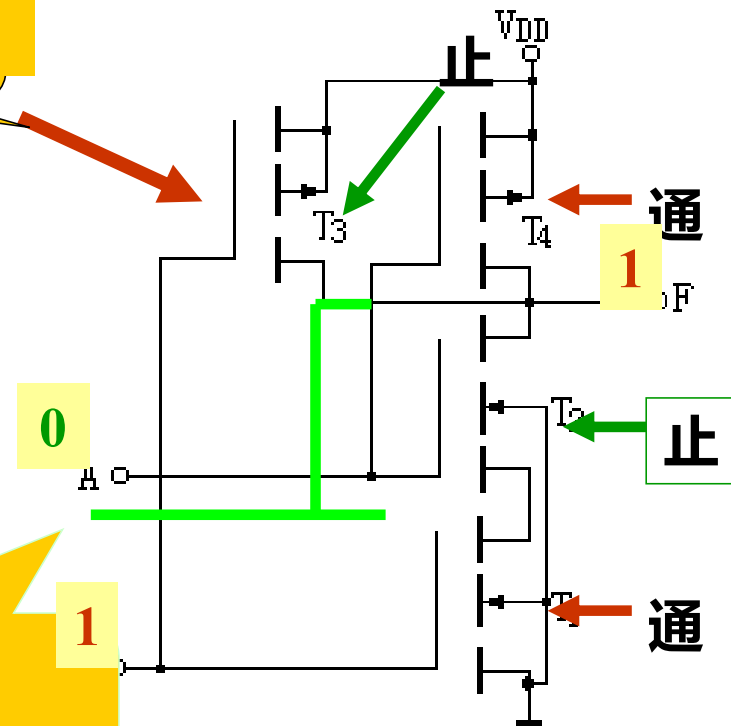
当A和B有一个或一个以上为低电平时:

电路输出高电平

∴ 电路实现

每个输入端与一个NMOS管和一个PMOS管的栅极相连

两个并联的PMOS管 T_3 、 T_4



CMOS“与非”门

两个串联的NMOS T_1 、 T_2

或非门逻辑功能的CMOS门电路

二输入“或非”门电路

当A和B为低电平时:

输出高电平

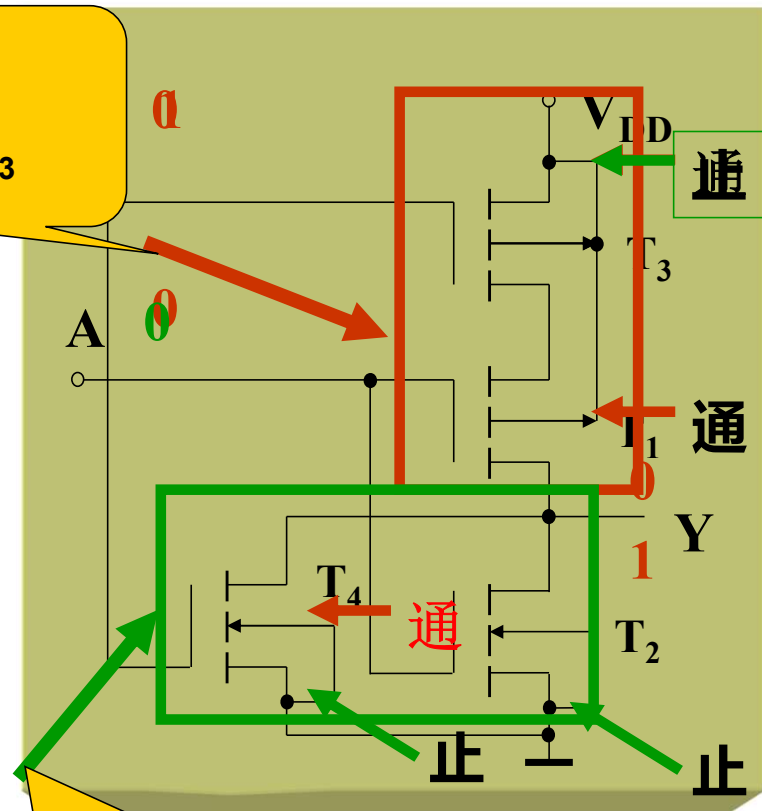
当A和B有一个或一个以上
为高电平时:

电路输出低电平

∴ 电路实现“或非”逻辑功能

$$F = \overline{A + B}$$

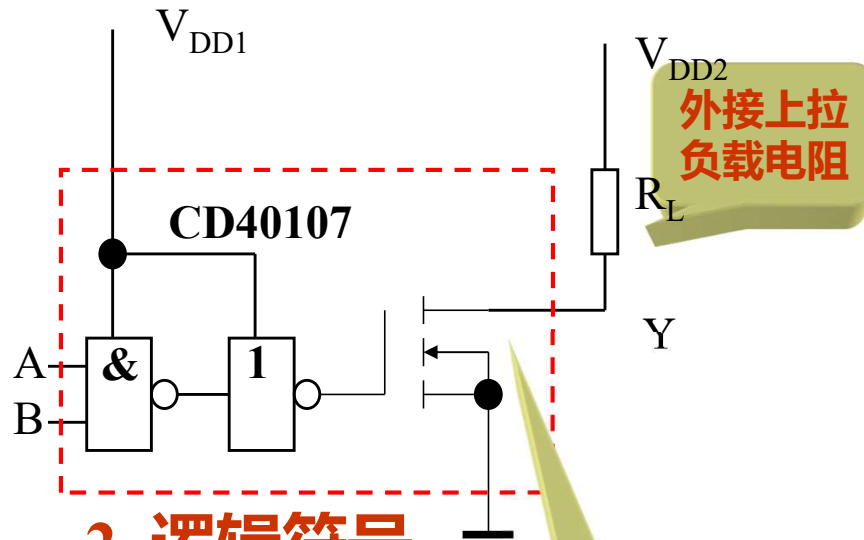
两个串联的
PMOS管 T_1 、 T_3



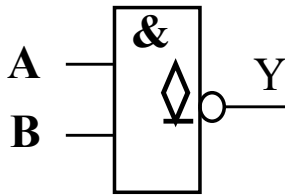
两个并联的
NMOS T_2 、 T_4

漏极开路门电路 (OD门)

1. 电路组成



2. 逻辑符号



3. 原理

必须外接负载电阻 R_L ，才能实现与非功能

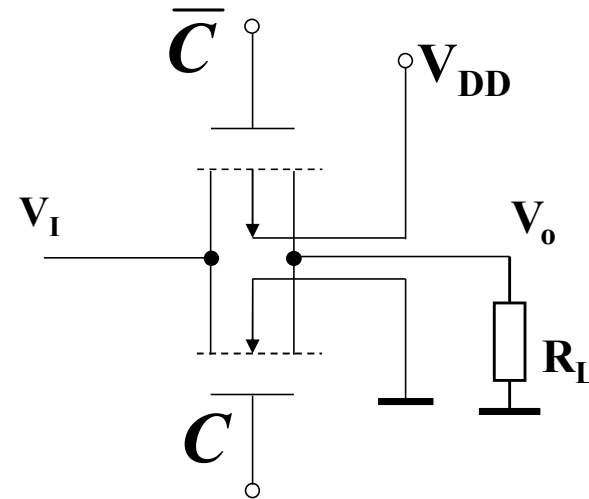
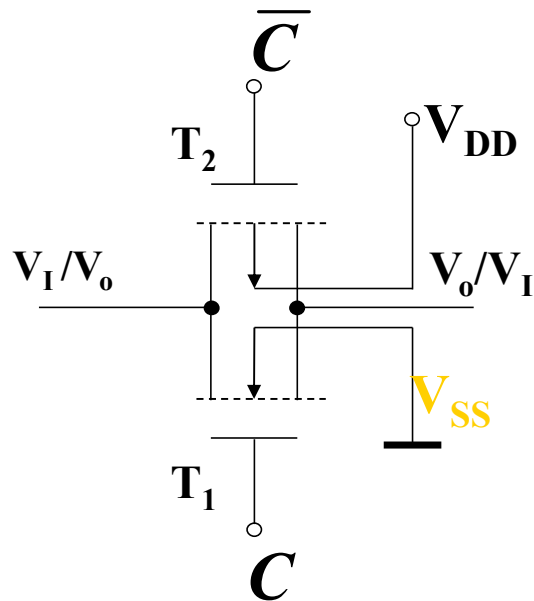
$$Y = \overline{AB}$$

4. 应用

与OC门一样，可做“线与”、“电平变换”等作用

CMOS传输门和双向开关

1. 电路结构

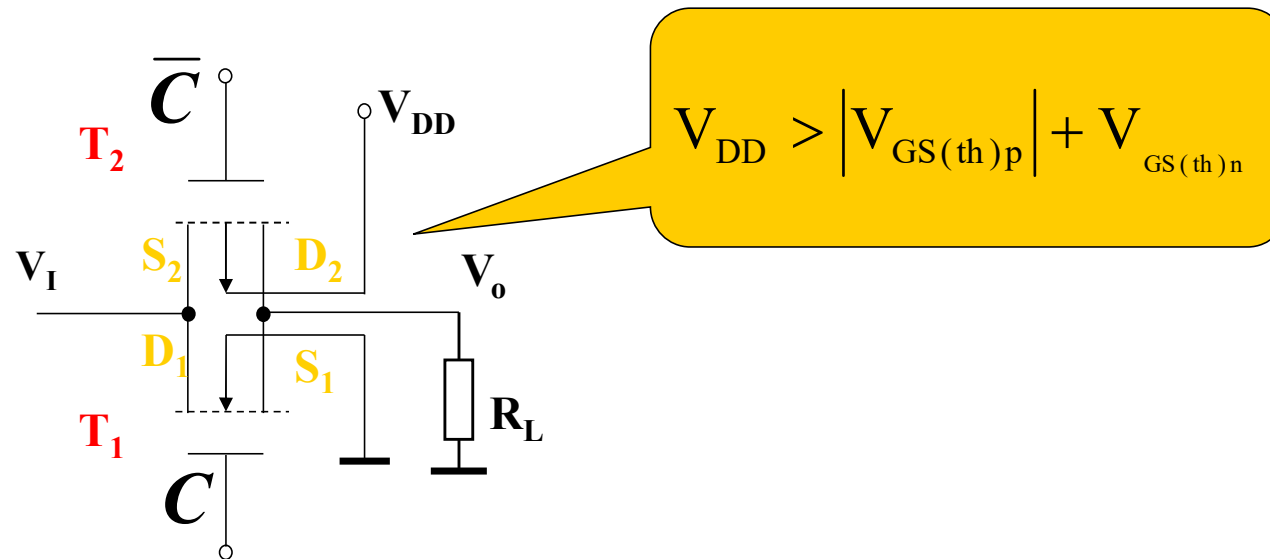


2. 工作条件

$$(1) V_{SS} \leq V_I \leq V_{DD}$$

$$(2) R_L \gg R_{ON}$$

CMOS传输门和双向开关原理



(1) $C = 0, \bar{C} = 1$ 时

$V_{GSN} \leq 0, V_{GSP} \geq 0, T_1、T_2$ 都截止

由于，CMOS器件的源极和栅极在结构上是对称，所以传输门是**双向的**

$(V_{DS} < V_{GS} - V_{GS(th)N})$:
假设 T_1 非饱和导通，

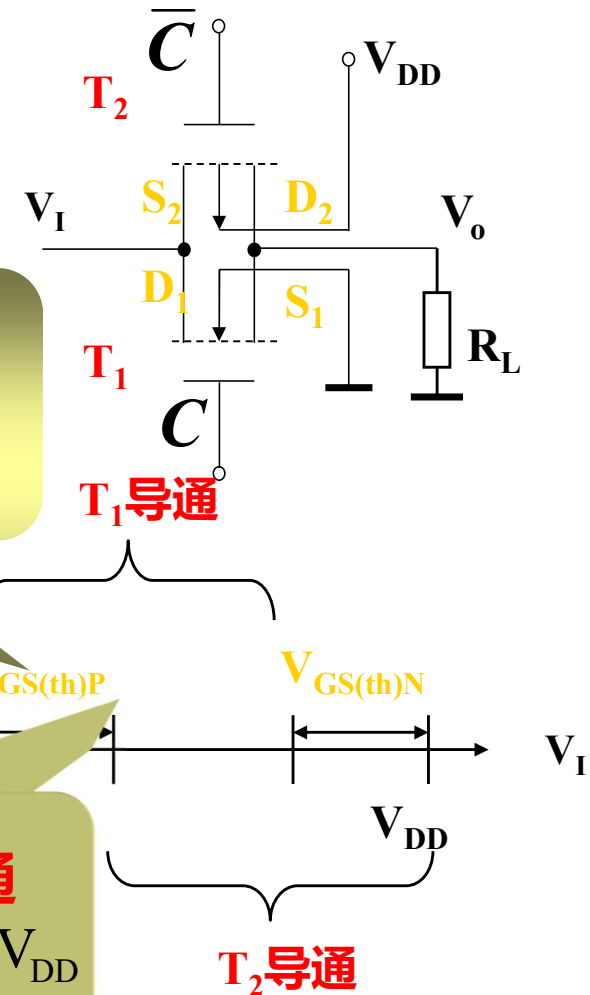
T_1 、 T_2 至少有一个非饱和导通，
所以， $C = V_{DD}$ ， $\bar{C} = 0$ 时，传输门导通

$$0 < (V_{DD} - V_I) - V_{GS(th)N}$$

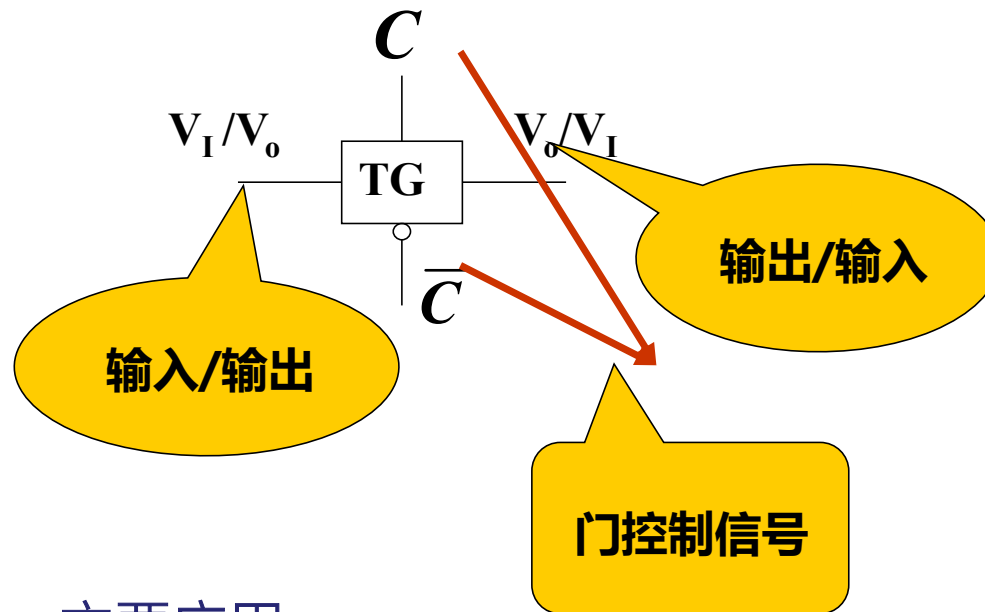
$$V_I \leq V_{DD} - V_{GS(th)N}$$

T_1 非饱和导通条件

同理， T_2 非饱和导通
条件： $|V_{GS(th)P}| \leq V_I \leq V_{DD}$



CMOS传输门



特别提示：传输门相当于一个理想的开关，且是一个双向开关，可传输模拟信号

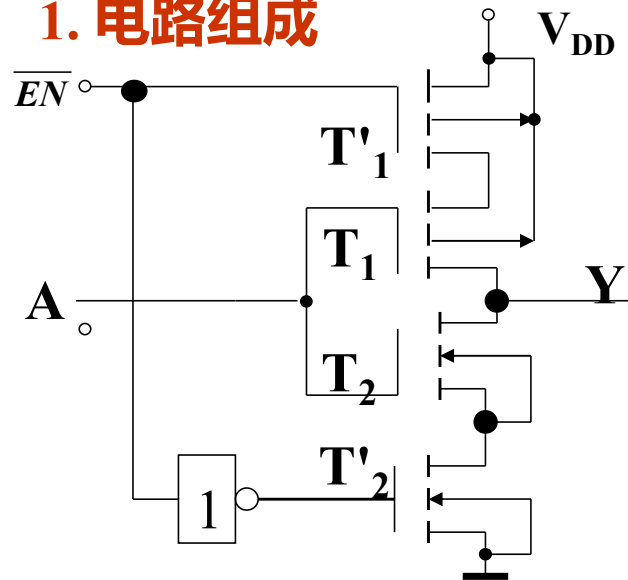
**$C=0$ ，开关断开
 $C=1$ ，开关接通**

主要应用

- ✓ 双向模拟开关，
- ✓ 数据选择器（可传输模拟信号）

CMOS三态门

1. 电路组成

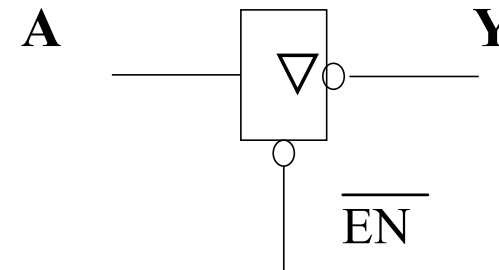


3. 原理

$\overline{EN} = 0, T'_1, T'_2$ 导通, $Y = \overline{A}$

$\overline{EN} = 1, T'_1, T'_2$ 截止, Y 为高阻态

2. 逻辑符号



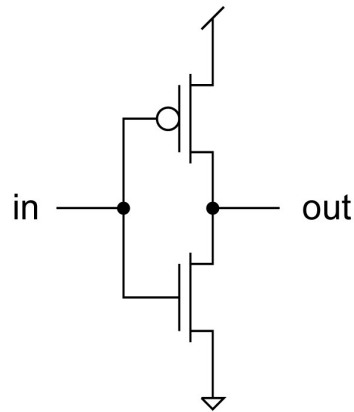
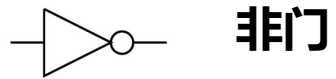
4. 三态门应用

主要应用

- ✓ 总线逻辑
- ✓ 双向传输

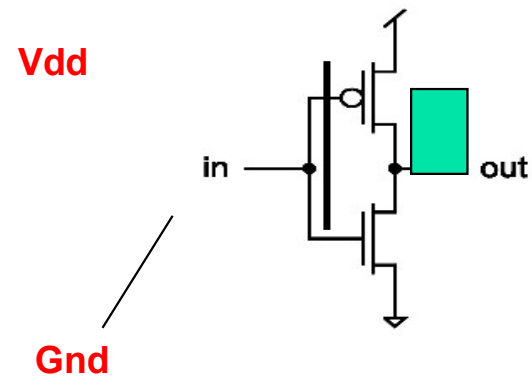
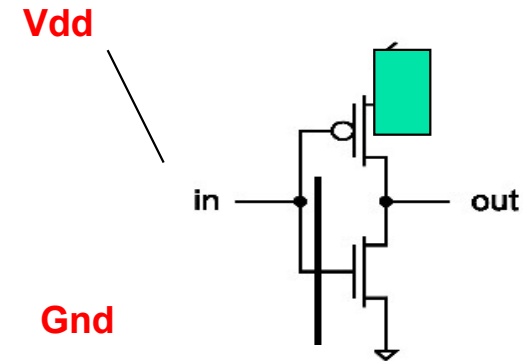


门级逻辑电路--非门

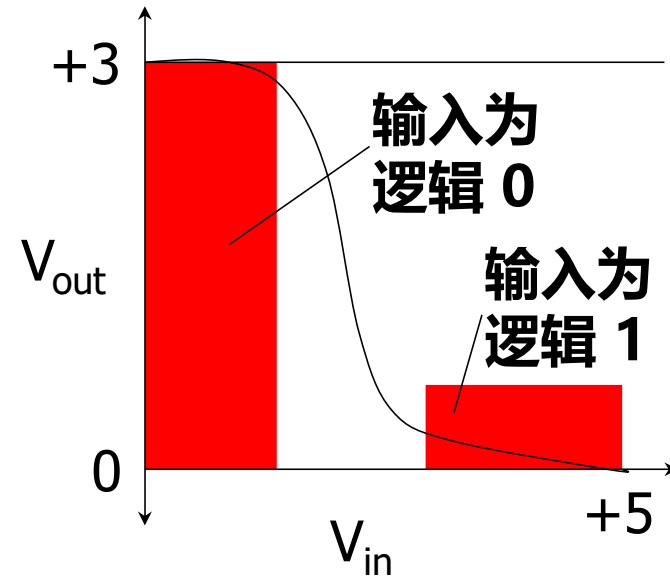
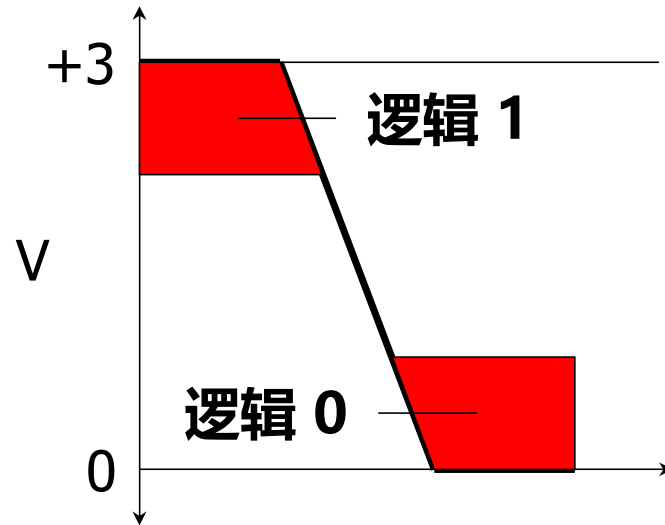


输入与输出
的关系?

输入	输出
0 V	
3 V	



逻辑值

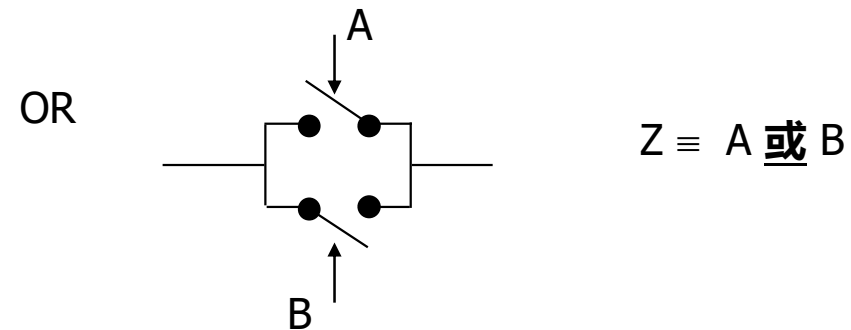
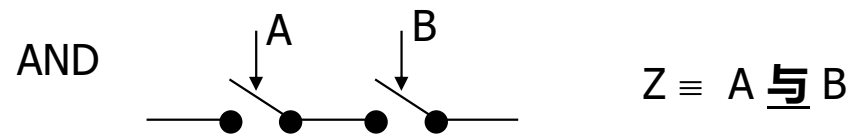


- 阈值电压
 - 逻辑 1 (真) : $V > V_{dd} - V_{th}$
 - 逻辑 0 (错) : $V < V_{th}$
- 噪声容限?

in	out	not(out, in)
F	T	
T	F	

开关实现的逻辑运算

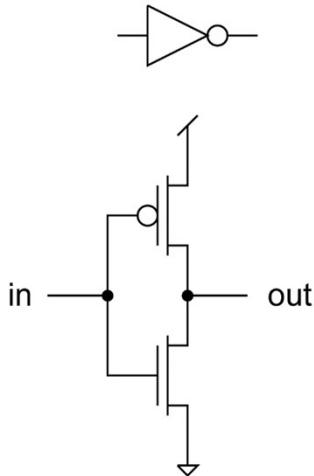
- 用开关实现逻辑函数（布尔运算）



两类基本结构: 串行 (**AND**) 和并行 (**OR**)

门级逻辑电路 - 与非门

■ 非门 (NOT)

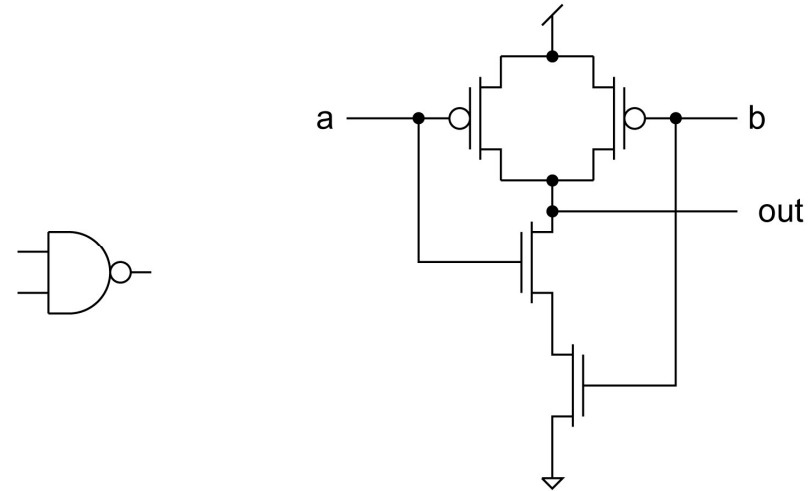


nand (out, a, b)

a	b	out
0	0	1
0	1	1
1	0	1
1	1	0

如何实现与门?

■ 与非门 (NAND)



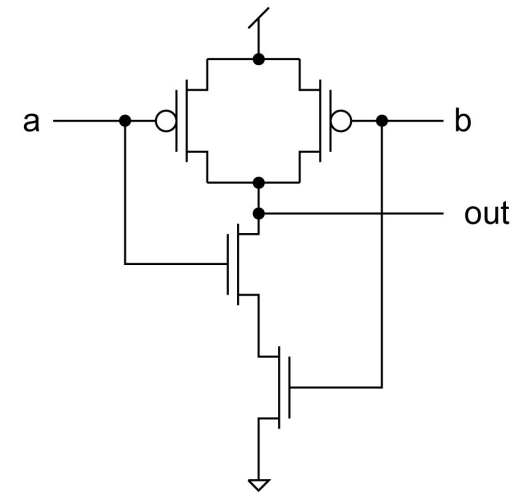
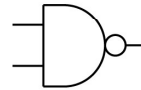
■ 逻辑函数:

- a 与 b = 1, 则输出 = 0
输出表达式 = $(ab)'$
- pFET网络和nFET网络相互之间是对偶的

门级逻辑电路

一些简单的MOSFET连线规则

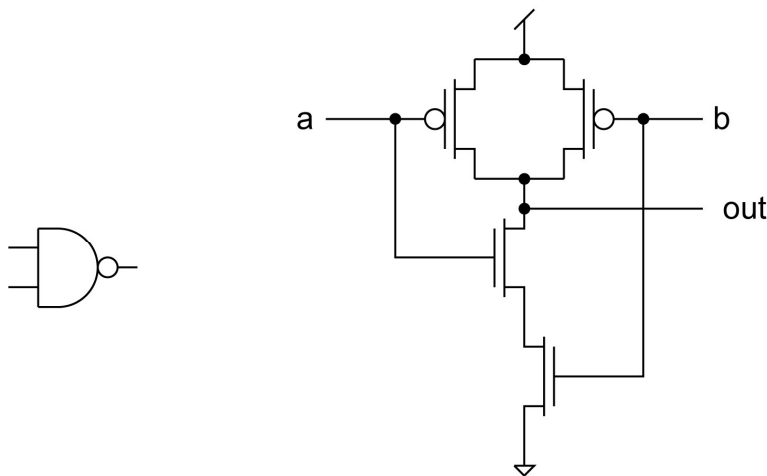
- nFET 仅用来传导逻辑0
- pFET 仅用来传导逻辑1
- 如与非门



注意: 在特殊情况下, 有经验专家可能采用违反此规则的设计

门级逻辑电路 --或非门

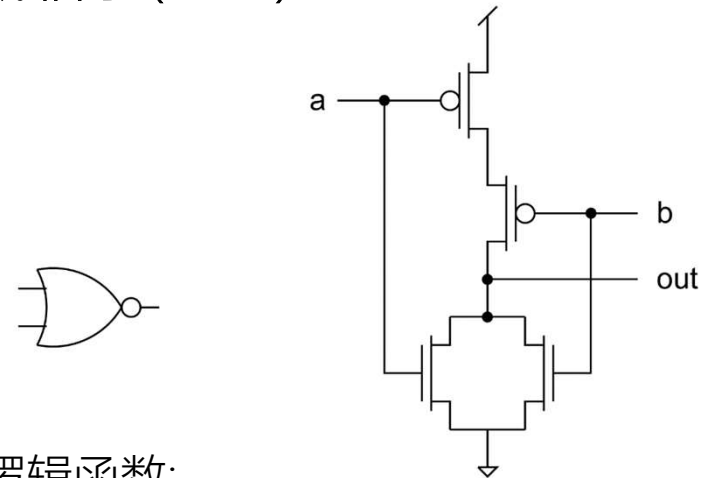
■ 与非门 (NAND)



a	b	out
0	0	1
0	1	0
1	0	0
1	1	0

nor (out, a, b)

■ 或非门 (NOR)

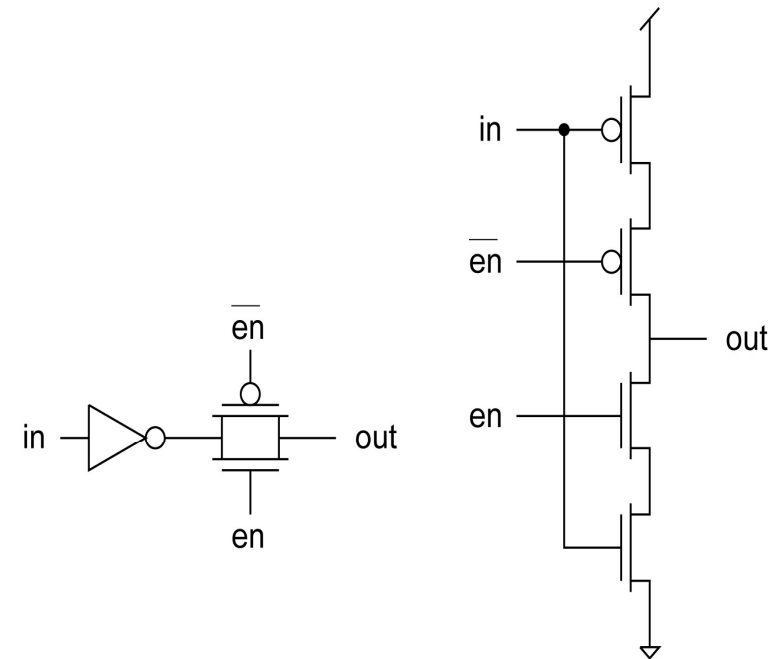


■ 逻辑函数:

- a 或 $b = 1$, 则输出 = 0
输出表达式 = $(a+b)'$
- 同样, pFET网络和nFET网络相互之间是对偶的
- 可以构成更复杂的逻辑函数,
如: 输出 = $(a+bc)'$

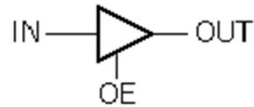
传输门

- 利用传输门是CMOS电路中构造开关的方法
- 同时需要以下2种FET
 - nFET 传输0
 - pFET 传输1
- 传输门是双向的 (不像其它逻辑门和三态缓冲器)
- 从功能上来讲更像三态缓冲器, 但并没有直接与Vdd或GND相连, 所以必须与其它逻辑门或缓冲器相结合



门级逻辑电路--三态缓冲器

■ 三态缓冲器

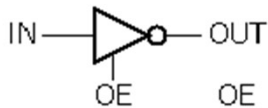


OE	IN	OUT
0	0	Z
0	1	Z
1	0	0
1	1	1

“高阻态” (引脚悬空)

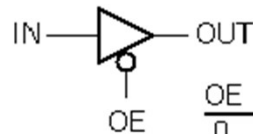
■ 实现反相三态缓冲器功能的逻辑门电路

■ 变型



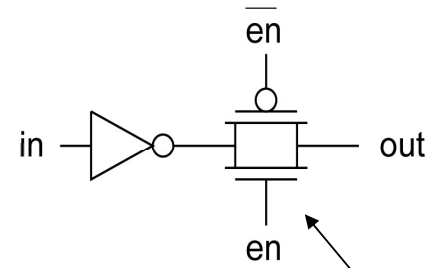
OE	IN	OUT
0	-	Z
1	0	1
1	1	0

反相三态缓冲器

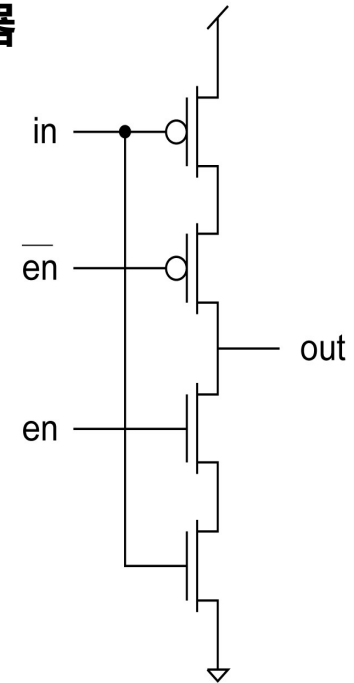


OE	IN	OUT
0	0	0
0	1	1
1	-	Z

使能端反相



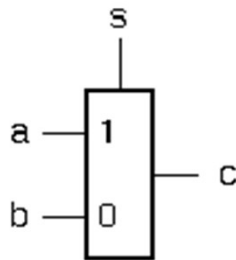
“传输门”



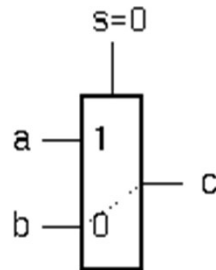
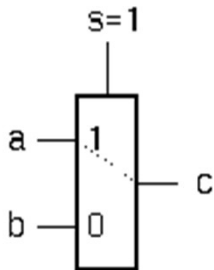
当多个端口同时连接到一条公共总线时通常会使用三态缓冲器，只有一个端口可以连接到总线，其它端口均“断开”

门级逻辑电路--多路选择器

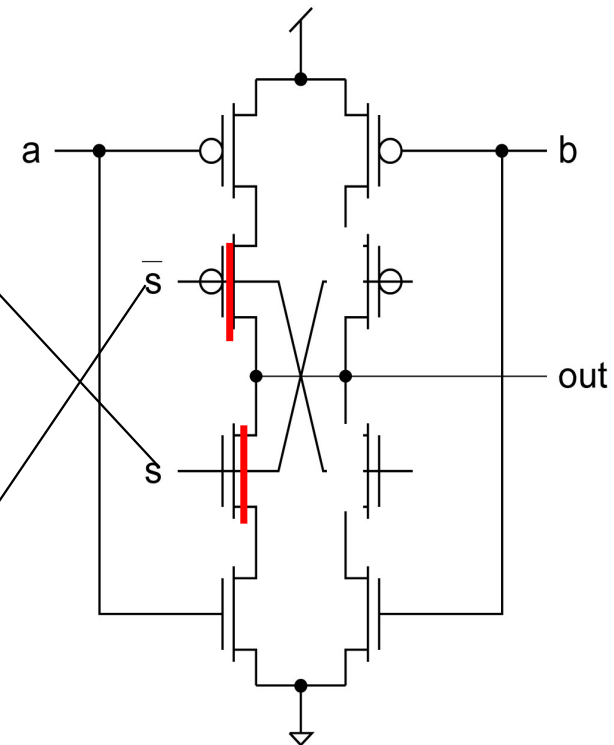
■ 多路选择器



$s=1$ 时 $c=a$, $s=0$ 时 $c=b$



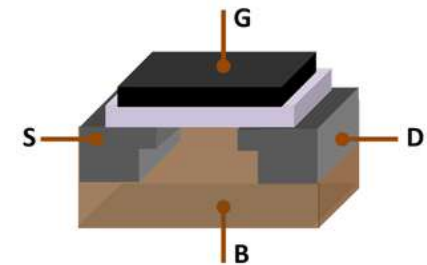
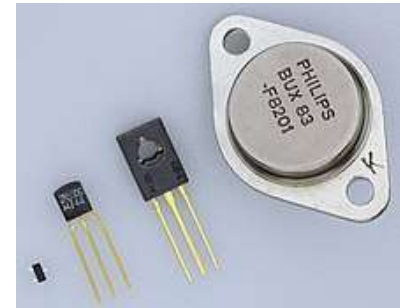
■ 反相多路选择器的门电路





CMOS门电路未使用输入端口的规定

- CMOS电路的输入端口不能悬空，所有输入端口要么连接到固定电压位(地电压**GND**或电源电压**V_{DD}**)，要么连接到其它输入信号
- 这项规则适用于芯片上未使用的逻辑门的输入
- 未连接的**CMOS**输入，容易受到噪声和静电荷的影响，这些噪声和静电电荷很容易使**P**沟道和**N**沟道**MOSFET**偏置在导电状态，从而导致电路功耗增加，及电路过热



[John Bardeen](#), [William Shockley](#) and [Walter Brattain](#) at [Bell Labs](#) in 1948.

<https://en.wikipedia.org/wiki/Transistor>