

# המעבדה ל VLSI –



**מעבדה 2, 3**

**ניסוי בסינתזה ותכנון פיזי (BackEnd) של  
מעגלי VLSI**

שם : סטודנט מס' 1 : מוחמד גנאים      מס' סטודנט : 207965922  
שם : סטודנט מס' 2 : מגד עסלי      מס' סטודנט : 208122358

מהדורה חדשה - הערות נא לשלוח ל-goel@ee

כל הערה תתקבל בברכה!

עדכון אחרון - 13: 33 25/06/2022

<http://www.ee.technion.ac.il/vlsi/>

מסמך זה כתוב בלשון זכר ע"מ להקל על הכתיבה אך מתייחס לנשים ולגברים כאחד. עמכם הסליחה.

## ביצוע ניסוי מס' 1

מטרת סעיף זה היא ללמוד כלי הסינתזה והנושא של Logical Equivalence Checking. במהלך הניסוי, נכיר לא רק את הכלים אלא גם קבצי הטכנולוגיה שכל כלי דורש על מנת שיוכל לעבוד.

### 1. הכנת סביבת הסינתזה

Q11 : הסבר בקיצור את תוכן הקובץ.

בקובץ מגדירים את Top להיות ה- Top Hierarchy (היררכיה עליונה)

Q12 : רשום את ה- Warnings שמתקבלים.

Warning: Can't read link library file 'your\_library.db'. (UID-3)

Q13 : רשום את ה- warnings/errors ואת הודעת השגיאה שמתקבלים.



Q14 : מה חסר ? בצע File->Setup ורשום בדו"ח משמופיע בשדות : link path ו- target library. פתח את הקובץ libs.tcl. רשום את התוכן שלו בדו"ח.

חסרים קבצי ה- db your\_library.db וה- link Library

Q15 : האם הפקודה מצליחה לרוץ ? הסבר מדוע הודעות השגיאה מהסעיף הקודם נעלמו? מדוע יש צורך בקבצים שהוספנו בסעיף הקודם ?

תוכן הקובץ:

```
#####  
#### #####  
#### Design Compiler template ####  
#### #####  
#### written by Dmitry Ischenko ####  
#####
```

```
set link_library " dw_foundation.sldb \  
/tools/kits/tower/PDK_TS18SL/FS120_STD_Cells_0_18um_2005_12/DW_TOWER_tsl18fs120/2005.  
12/synopsys/2004.12/models/tsl18fs120_typ.db dpram32x32_cb.db"
```

```
set target_library  
"/tools/kits/tower/PDK_TS18SL/FS120_STD_Cells_0_18um_2005_12/DW_TOWER_tsl18fs120/200  
5.12/synopsys/2004.12/models/tsl18fs120_typ.db dpram32x32_cb.db"
```

הפקודה כעת תצליח לרוץ משום שהוספנו את הספריות החסרות שהצהרנו עליהן ולכן נפטרים מהשגיאות שקיבלנו לפני.

Q16 : רשום את נקודת ההתחלה, הסיום וההשהיה של המסלול הקריטי שמתקבל. האם זה הגיוני? רשום את ההודעה שמתקבלת אחרי המסלול. מה הפרוש ?

```
I_FCNeuron/result_reg[7]/CP (dfnrq1)          0.00      0.00 r  
I_FCNeuron/result_reg[7]/Q (dfnrq1)          0.30      0.30 f  
I_FCNeuron/result[7] (FCNeuron)              0.00      0.30 f  
result[7] (out)                             0.00      0.30 f  
data arrival time                             0.30  
-----  
(Path is unconstrained)
```

נקודת התחלה: 0  
 נקודת סיום: 0.3 ns  
 השהיה: 0.3 ns

ההודעה שמתקבלת בסוף היא: **Path is unconstrained** שמשמעותה שאין חיבור שעון.  
 Q17 : רשום את נקודת ההתחלה, הסיום וההשהיה של המסלול הקריטי שמתקבל. האם התכנון עומד בזמנים ?

```
Startpoint: W1 (falling edge-triggered flip-flop clocked by clk)
Endpoint: I_FCNeuron/result_reg[7]
          (rising edge-triggered flip-flop clocked by clk)
Path Group: clk
Path Type: max
```

	0.00	10.64 f
I_FCNeuron/result_reg[7]/D (dfnrq1)	0.00	10.64 f
data arrival time		10.64
clock clk (rise edge)	10.00	10.00
clock network delay (ideal)	0.00	10.00
I_FCNeuron/result_reg[7]/CP (dfnrq1)	0.00	10.00 r
library setup time	-0.11	9.89
data required time		9.89
-----		
data required time		9.89
data arrival time		-10.64
-----		
slack (VIOLATED)		-0.75

design\_vision>

התכנון לא עומד בזמנים מכיוון שקיבלנו Slack שלילי.  
 Q18 : רשום את נקודת ההתחלה, הסיום וההשהיה של המסלול הקריטי שמתקבל. האם התכנון עומד בזמנים ? הסבר מדוע (גם למנחה).

	0.00	9.87 f
I_FCNeuron/result_reg[7]/D (dfnrq1)	0.00	9.87 f
data arrival time		9.87
clock clk (rise edge)	10.00	10.00
clock network delay (ideal)	0.00	10.00
I_FCNeuron/result_reg[7]/CP (dfnrq1)	0.00	10.00 r
library setup time	-0.10	9.90
data required time		9.90
-----		
data required time		9.90
data arrival time		-9.87
-----		
slack (MET)		0.03

design\_vision>

Operating Conditions: tsl18fs120\_typ Library: tsl18fs120\_typ  
Wire Load Model Mode: enclosed

Startpoint: W2 (falling edge-triggered flip-flop clocked by clk)  
Endpoint: I\_FCNeuron/result\_reg[7]  
(rising edge-triggered flip-flop clocked by clk)  
Path Group: clk  
Path Type: max

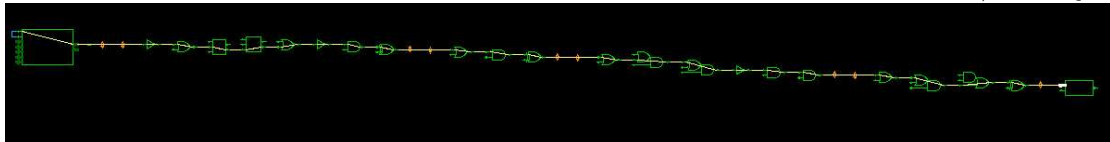
Des/Clust/Port	Wire Load Model	Library
----------------	-----------------	---------

התכנון עומד בזמנים מכיוון שהפעם קיבלנו Slack חיובי (0.03).  
Q19 : מדוע הפעם התוצאה שונה מהפעם הקודמת?  
התוצאות שונות הפעם בגלל האופטימציות שעושה ה- compiler

## 2. סינתזה של המעגל

Q21 : הסבר בקיצור את תוכן הקובץ.  
בקובץ מגדירים את Top להיות הירארכיה עליונה ומצהירים על קבצי design ואילוסי שעון. כמו כן מגדירים תיקיית עבודה וספריית עבודה.  
Q22 : בצע Timing->Report Timing. רשום את ההשהיה של המסלול הקריטי בטבלה שמופיעה בעמוד הבא.  
[ns]8.3  
Q23 : בדוק את שטח והספק (Design->Report Area ו-Design->Report Power). כמה הספק צורך הזיכרון ? רשום את התוצאות של השטח ושל צריכת ההספק בטבלה (עבור ההספק רשום את ההספק ללא צריכת ההספק של הזיכרון).  
שטח: 18697.802710  
הספק שצורך הזכרון: 56.7206

Q24 : הוסף את הסכמה לדו"ח.



Q25 : רשום בדו"ח את כל השערים שנמצאים על המסלול הקריטי. ניתן לראות אותם בחלון ה-  
Report Timing.

clock clk (fall edge)	4.00	4.00
clock network delay (ideal)	0.00	4.00
W2/CEB1 (dpram32x32_cb)	0.00	4.00 f
W2/O1[11] (dpram32x32_cb)	1.48	5.48 f
I_FCNeuron/weight[11] (FCNeuron)	0.00	5.48 f
I_FCNeuron/mult_17_2/b[3] (FCNeuron_DW_mult_uns_22)	0.00	5.48 f
I_FCNeuron/mult_17_2/U124/ZN (invbd2)	0.03	5.52 r
I_FCNeuron/mult_17_2/U135/ZN (nr02d2)	0.04	5.55 f
I_FCNeuron/mult_17_2/U64/S (ad01d1)	0.41	5.96 r
I_FCNeuron/mult_17_2/U180/S (ad01d0)	0.28	6.24 f
I_FCNeuron/mult_17_2/U26/ZN (nr02d1)	0.09	6.33 r
I_FCNeuron/mult_17_2/U141/ZN (inv0d1)	0.07	6.39 f
I_FCNeuron/mult_17_2/U157/Z (an02d1)	0.11	6.51 f
I_FCNeuron/mult_17_2/U156/Z (xr02d2)	0.26	6.77 r
I_FCNeuron/mult_17_2/product[4] (FCNeuron_DW_mult_uns_22)		
r 6.77	0.00	
I_FCNeuron/add_4_root_add_0_root_add_17_2_I7/A[4] (FCNeuron_DW01_add_19)		
r 6.77	0.00	

I\_FCNeuron/add\_4\_root\_add\_0\_root\_add\_17\_2\_I7/U91/ZN (nr02d2)  
 f 6.80 0.03  
 I\_FCNeuron/add\_4\_root\_add\_0\_root\_add\_17\_2\_I7/U86/ZN (nd12d2)  
 f 6.90 0.10  
 I\_FCNeuron/add\_4\_root\_add\_0\_root\_add\_17\_2\_I7/U22/Z (xr02d1)  
 r 7.14 0.24  
 I\_FCNeuron/add\_4\_root\_add\_0\_root\_add\_17\_2\_I7/SUM[4] (FCNeuron\_DW01\_add\_19)  
 r 7.14 0.00  
 I\_FCNeuron/add\_1\_root\_add\_0\_root\_add\_17\_2\_I7/A[4] (FCNeuron\_DW01\_add\_26)  
 r 7.14 0.00  
 I\_FCNeuron/add\_1\_root\_add\_0\_root\_add\_17\_2\_I7/U106/ZN (nr02d2)  
 f 7.18 0.04  
 I\_FCNeuron/add\_1\_root\_add\_0\_root\_add\_17\_2\_I7/U65/ZN (oai21d4)  
 r 7.46 0.28  
 I\_FCNeuron/add\_1\_root\_add\_0\_root\_add\_17\_2\_I7/U92/ZN (oaim21d1)  
 r 7.59 0.13  
 I\_FCNeuron/add\_1\_root\_add\_0\_root\_add\_17\_2\_I7/U76/ZN (inv0d1)  
 f 7.64 0.05  
 I\_FCNeuron/add\_1\_root\_add\_0\_root\_add\_17\_2\_I7/U84/ZN (nd02d2)  
 r 7.69 0.05  
 I\_FCNeuron/add\_1\_root\_add\_0\_root\_add\_17\_2\_I7/U85/ZN (nd02d2)  
 f 7.76 0.07  
 I\_FCNeuron/add\_1\_root\_add\_0\_root\_add\_17\_2\_I7/SUM[6] (FCNeuron\_DW01\_add\_26)  
 f 7.76 0.00  
 I\_FCNeuron/add\_0\_root\_add\_0\_root\_add\_17\_2\_I7/B[6] (FCNeuron\_DW01\_add\_30)  
 f 7.76 0.00  
 I\_FCNeuron/add\_0\_root\_add\_0\_root\_add\_17\_2\_I7/U84/ZN (nr02d2)  
 r 7.86 0.10  
 I\_FCNeuron/add\_0\_root\_add\_0\_root\_add\_17\_2\_I7/U9/ZN (oai21d1)  
 f 7.93 0.07  
 I\_FCNeuron/add\_0\_root\_add\_0\_root\_add\_17\_2\_I7/U7/ZN (aoi21d1)  
 r 8.08 0.16  
 I\_FCNeuron/add\_0\_root\_add\_0\_root\_add\_17\_2\_I7/U1/Z (xr02d1)  
 f 8.30 0.22  
 I\_FCNeuron/add\_0\_root\_add\_0\_root\_add\_17\_2\_I7/SUM[7] (FCNeuron\_DW01\_add\_30)  
 f 8.30 0.00  
 I\_FCNeuron/result\_reg[7]/D (dfnrq4) 0.00 8.30 f

1. **הסבר למנחה** ורשום בדו"ח מדוע הכלי מציין שנקודת הזמן של תחילת המסלול הוא ns4 (ולא ns0 כמצופה)?  
 זמן המחזור הוא 8[ns] ולוקח ל-4[ns] FF עד ירידת השעון הראשונה. מכיוון שה- FF עובד בירידת שעון נקודת ההתחלה היא 4[ns] ולא 0.  
 2. מה ההשקיה של המסלול הקריטי (כפי שמדו"ח עלי ידי הכלי) אם מקוזים ממנו ns4?  
 4.3=8.3-4[ns]
3. האם יתכנו מסלולים במעגל שההשקיה שלהם גדולה מהזמן שקיבלת בסעיף ב' **הסבר את תשובתך למנחה**. רשום את ההסבר בדו"ח.  
 כן, יכולים לקבל מסלול שנמדד מעליית שעון לעליית שעון הבאה במקום ירידת שעון וההשקיה שלו תיתכן ותהיה גדולה מזו שמדדנו בסעיף הקודם.
- Q26 : בדוק את התזמון כפי שהוסבר בסעיף הקודם. רשום את ההשקיה של המסלול הקריטי הטבלה. בדוק את שטח והספק (Design->Report Area ו-Design->Report Power) ורשום את התוצאות של השטח ושל צריכת ההספק. האם התכנון עומד בזמנים?
- Q27 : רשום בדו"ח את כל השערים שנמצאים על המסלול הקריטי.  
 4. **הסבר למנחה** ורשום בדו"ח מדוע הכלי מציין שנקודת הזמן של תחילת המסלול הוא ns4 (ולא ns0 כמצופה)?  
 מאותה סיבה מקודם. מחשבים מירידת שעון ולא עליית שעון.

5. מה ההשהיה של המסלול הקריטי (כפי שמדו"ח עלי ידי הכלי) אם מקזזים ממנו ns4?
6. האם יתכנו מסלולים במעגל שההשהיה שלהם גדולה מהזמן שקיבלת בסעיף ב'? **הסבר את תשובתך למנחה**. רשום את ההסבר בדו"ח.  
 כן. אותה תשובה מקודם.
- Q28 : בצע Timing->Report Timing. רשום בטבלה את ההשהיה של המסלול הקריטי שמתקבל. האם התכנון עומד בזמנים ? הסבר. בדוק את שטח והספק (Design->Report Area ו-Design->Report Power) ורשום את התוצאות בטבלה.  
 כן עומד בזמנים מכיוון שקיבלנו Slack 0 והוא לא שלילי.
- Q29 : מה זה fanout של שער ? האם התכנון עומד בדרישות ה- fanout ? האם הכלי תמיד מסוגל לעמוד בכל דרישות המשתמש ? הסבר.
- Fanout: Fan-out refers to the maximum number of output signals that are fed by the output equations of a logic cell**  
 התכנון שלנו לא עומד בדרישות ה- fanout מכיוון שלא קיבלנו שינויים על הזמנים, שטח וצריכת הספק.  
 הכלי לא תמיד עומד בדרישות של המשתמש כי לא כל הרכיבים יעמדו ב- fanout שקובעים.
- Q210 : בצע Timing->Report Timing. רשום בטבלה את ההשהיה של המסלול הקריטי שמתקבל. האם התכנון עומד בזמנים ? הסבר. בדוק את שטח והספק (Design->Report Area ו-Design->Report Power) ורשום את התוצאות בטבלה.  
 קיבלנו Slack של -0.44 שלילי ולכן התכנון לא עומד בזמנים.
- Q211 : האם התכנון עומד בזמנים ? האם התכנון עומד בדרישות ה- fanout ? הסבר.

	Critical Path	Area	Power
compile	[ns]8.3	18697.802710	[mw]5.3945
With ungroup	[ns]8.05	20063.501391	[mw]5.9654
Compile ultra	[ns]7.89	15187.351467	[mw]3.3341
10 max fanout	[ns]7.92	16099.05	[mw]3.9939
6ns clk + 20 fanout	[ns]6.34	16177.49	[mw]5.6335

Q212 : סכם את כל התוצאות שהתקבלו.

ניתן לראות ששימוש ב- compile ultra מניב את התוצאות הטובות ביותר מבחינת זמנים. שימוש ב- ungroup מקטין ומשפר זמנים על חשבון שטח.

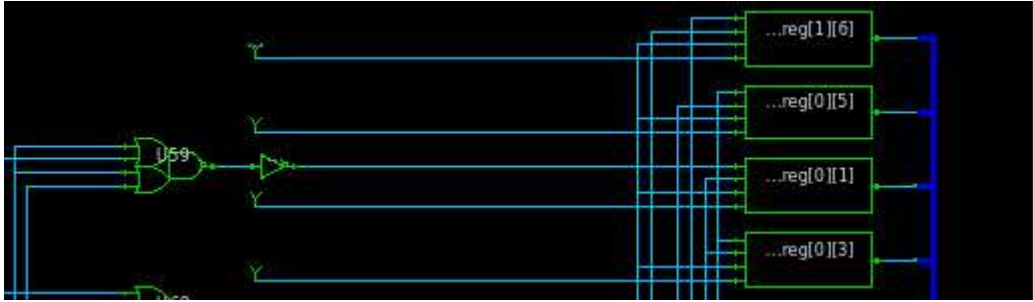
### 3. שיפור הבדיקות (DFT) : Design For Testability

Q31 : בצע Timing->Report Timing. רשום בטבלה את ההשהיה של המסלול הקריטי שמתקבל. האם התכנון עומד בזמנים ? רשום את התוצאות בטבלה. בדוק את שטח והספק (Design->Report Area ו-Design->Report Power) ורשום את התוצאות בטבלה.

קיבלנו Slack של 1.56 ולכן עומדין בזמנים.

Q32 : בחר ביחידה pooling בצד שמאל. לחץ על . כדי לראות את הסכמה יש ללחוץ על ↓. בצע zoom לפינה הימנית העליונה של הסכמה.

1. הוסף לדו"ח צילום מסך של הסכמה שמכיל כ- 4 רגיסטרים..



2. האם קיים קשר בין היציאה של רגיסטר אחד לכניסה של רגיסטר אחר ? הסבר.


לא. אין חיבורים בין היציאות של הרגיסטרים לכניסות.

Q33 : בצע שוב Timing-Report Timing. רשום בטבלה את ההשקיה של המסלול הקריטי שמתקבל. האם התכנון עומד בזמנים ? רשום את התוצאות בטבלה. בדוק את שטח והספק (Design->Report Power ו-Design->Report Area) ורשום את התוצאות בטבלה.

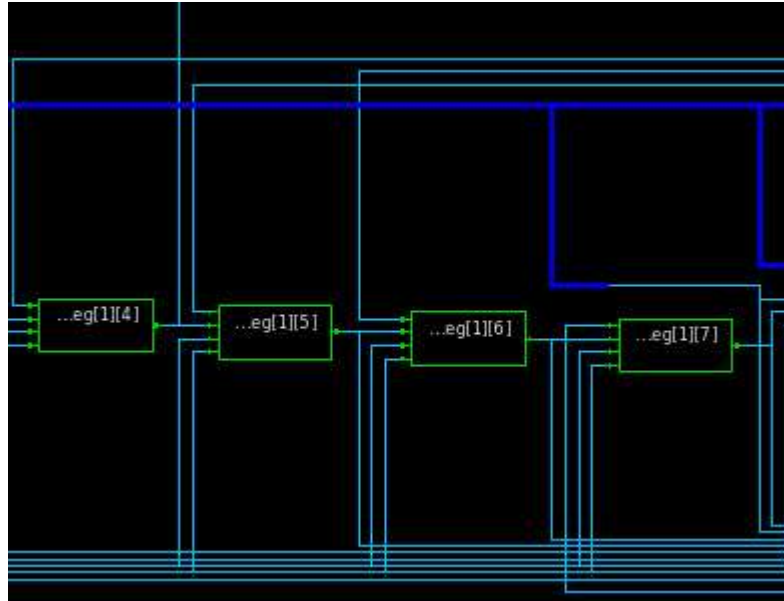
	Area	Max Delay	Power
Before DFT	441.483	[ns]1.19	[mw]0.7541
After DFT	588.89	[ns]1.38	[mw]1.3178

Q34 : רשום כיצד **insert\_dft** השפיע על ערכים שבטבלה.

**insert\_dft** משנה את המסלול הקריטי וכתוצאה רואים שינוי בערכים בטבלה.

Q35 : בחר ביחידה **pooling** בצד שמאל. לחץ על  כדי לראות את הסכמה יש ללחוץ על ↓. בצע zoom לחלק בשמאלי של הסכמה.

1. הוסף את החלק של הסכמה שמכיל כ- 4 רגיסטרים.



2. האם קיים קשר בין היציאה של רגיסטר אחד לכניסה של רגיסטר אחר ? הסבר.  
 כן. ניתן לראות חיבור קווי בין יציאות רגסטרים לכניסות רגסטרים אחרים. הסיבה לכך שזאת משתמשים ב- **Scanned FF** במקום **FF** רגיל.
3. רשום את כל השינויים שהוכנסו למעגל כתוצאה של הפקודה **dft\_insert**.  
 הפקודה שינתה את ה- **FF** ל- **scanned FF** וכתוצאה כל כניסות ה- **enable** של כל ה- **FF** מקוצרים ביחד. והחיבור בין יציאות של רגסטרים לכניסות של רגסטרים אחרים נותן לנו את ה- **shift register** וה- **scanned FF** כפי שלמדנו.
- Q36 : כמה **scan chains** נוספו למעגל ? מדוע ? איך אתה יודע ? הסבר את התפקיד של כל הכניסות והיציאות החדשות במעגל.
- 2 שרשראות.
- stop: PIN test so1 start: PIN test si1**  
**[7][start: PIN test si2 stop: pooledReg reg[3]**
- הם נוספו על מנת לבדוק תקינות של הרגסטר ולוודא שהוא לא מקוצר למשל.

Q37 : בעזרת ההסבר רשום בדו"ח פקודה שיגרום ל- **dft\_insert** להכניס 3 **chains\_scan**  
 set\_scan\_configuration -chain\_cout 3

#### LEC .4

Q41 : האם שני התכנונים שקולים ?  
 לא. ניתן לראות זאת בהודעה הבאה:

```
Module Comparison Results
-----
Non-equivalent          1
-----
Total                    1
-----
Hierarchical compare : Non-equivalent
=====
// Command: set log file
```

- Q42 : מדוע לפי דעתך קיימת אי התאמה כזאת? זכור את ההערה שהפיק ה- **design\_vision**. רשום את התשובה בדו"ח והסבר את התשובה למדריך.  
 מכיון שה- **dv** מוותר על כניסות שלא בשימוש ומקטין את השטח הכללי של הרכיב.
- Q43 : רשום את המשמעות של הפקודה בדו"ח והסבר את התשובה למדריך.  
 משמעות הפקודה היא שלא נעשה **merge** בין רגסטרים (ההודעה שקיבלנו מקודם).
- Q44 : האם שני התכנונים שקולים ? האם לפי דעתך זה פתרון טוב לבעיה ?  
 שקולים.



Module Comparison Results	
Equivalent	6
Total	6
Hierarchical compare : Equivalent	

פתרון זה פחות טוב כי יש אילוץ למיזוג.

Q45 : האם שני התכנונים שקולים ? הסבר בדו"ח וגם למנחה מדוע פתרון זה טוב בהרבה מהקודם. שקולים.

Module Comparison Results	
Equivalent	6
Total	6
Hierarchical compare : Equivalent	

פתרון זה טוב יותר מהקודם כי אין אילוץ מיזוג merge.

**סיום חלק ראשון !**

## ביצוע ניסוי מס' 2

בפגישה זאת אנו נבנה את ה- **layout** של התכנון בעזרת כלי אוטומטי של חברת **Cadence** בשם **Innovus**. כזכור, התכנון שלנו מורכב מתאים סטנדרטיים ומשלש יחידות **SRAM**.

### 1. תכנון ה- Floorplan

**Q11:** מה חסר? עבור לחלון ה- **console**. חפש הערה בנושא ה- **dpram32x32\_cb**? מה היא?

```
*** Netlist is unique.
**ERROR: (IMPREP0-102): Instance K1 of the cell dpram32x32_cb has no physical library or has wrong dimension values (<=0). Check your design setup to make sure the physical library is loaded in and the attributes specified in physical library are correct.
Type 'man IMPREP0-102' for more detail.
**ERROR: (IMPREP0-102): Instance W1 of the cell dpram32x32_cb has no physical library or has wrong dimension values (<=0). Check your design setup to make sure the physical library is loaded in and the attributes specified in physical library are correct.
Type 'man IMPREP0-102' for more detail.
**ERROR: (IMPREP0-102): Instance W2 of the cell dpram32x32_cb has no physical library or has wrong dimension values (<=0). Check your design setup to make sure the physical library is loaded in and the attributes specified in physical library are correct.
Type 'man IMPREP0-102' for more detail.
** info: there are 1203 modules.
** info: there are 1881 stdCell insts.
**ERROR: (IMPREP0-103): There are 3 instances (1 cells) with no dimension defined.
```

בהערה כתוב שאין תיאור פיסיקלי של הרכיב **dpram32x32\_cb** או שאין מידע לגבי הפרמטרים שלו.

**Q12:** מדוע לפי דעתך הזיכרונות אינם מופיעים? כזכור, על מנת לשלב מודול ל- **layout** יש לספק עבורו את קבצי ה- **lef** ו- **lib**. האם מידע זה עבור ה- **dpram32x32\_cb** סופק לכלי? אם כן, איזה קובץ סופק ואיפה בדיוק?

מכיוון שלא הוגדרו עבורו קבצי **lef**.

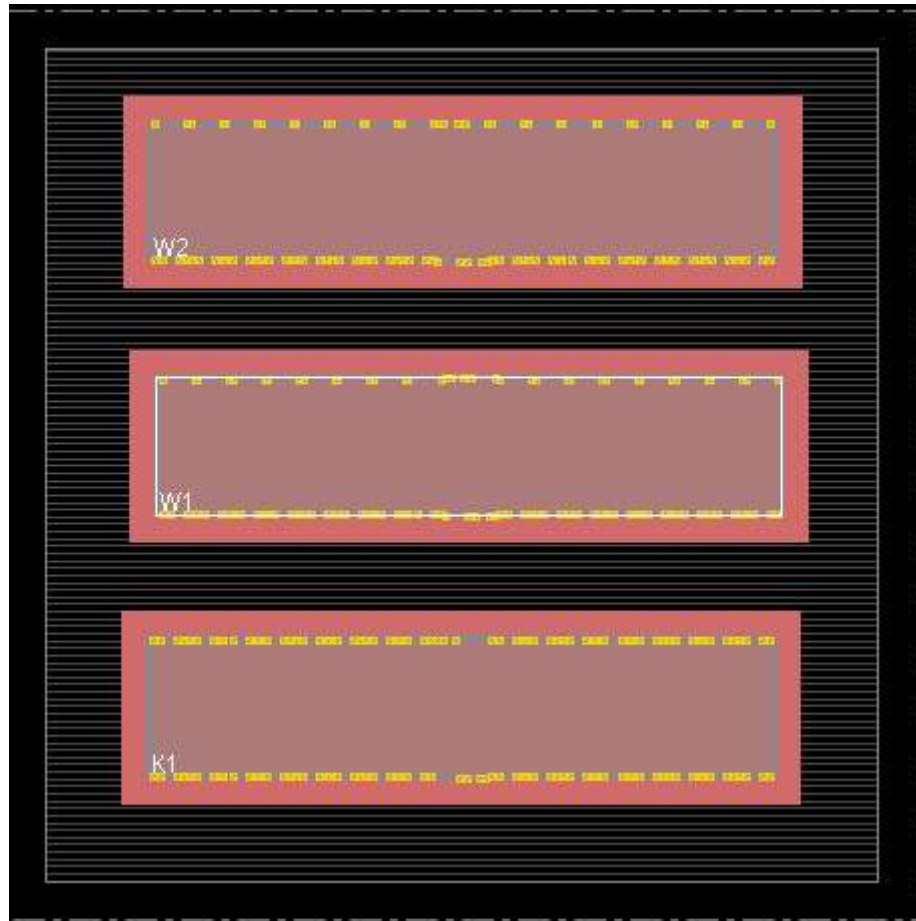
**Q13:** מה שונה לעומת **Top1.globals**?

כעת הגדרנו קבצי **lef** שהיו חסרים לפני.

**Q14:** הסבר את המשמעות את השינויים שעשית בטופס.

שינינו את מימדי השבב ואת הגדלים מסביב הגרעין.

**Q15:** הוסף את הסכמה לדו"ח.

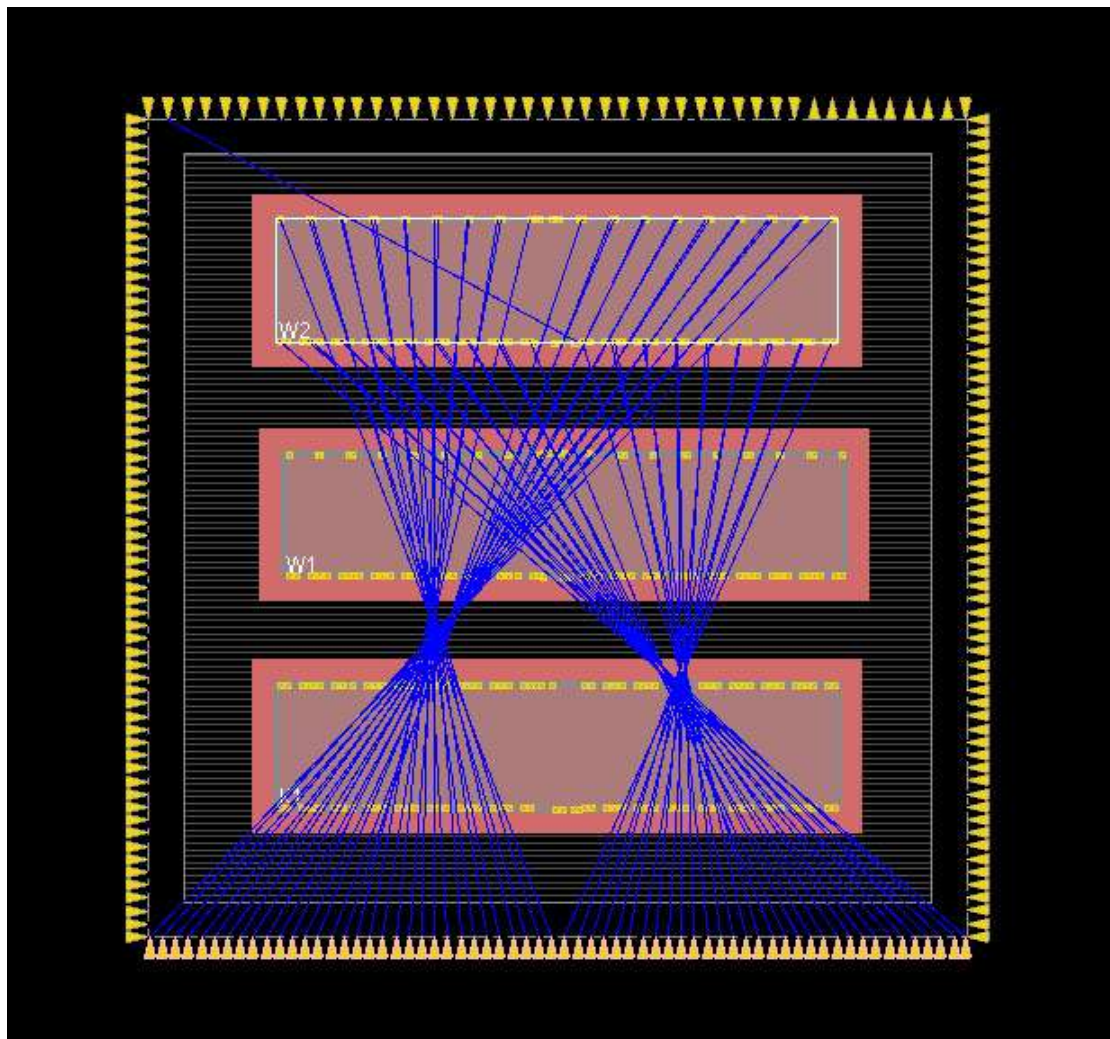


## 2. מיקום הפינים והגדרת רשתות האספקה

Q21: כיצד ניתן לבחור באיזה שכבה ימוקמו הפינים? על איזה layer מופיעים ה-pins שמוקמו ?

Layer:	M1(1)	M2(2)	M3(3)	M4(4)	M5(5)	TOP_M(6)	PRIORITIZE...
LayerV:	M1(1)	M2(2)	M3(3)	M4(4)	M5(5)	TOP_M(6)	PRIORITIZE...
LayerH:	M1(1)	M2(2)	M3(3)	M4(4)	M5(5)	TOP_M(6)	PRIORITIZE...

Q22 : הוסף את הסכמה לדו"ח.



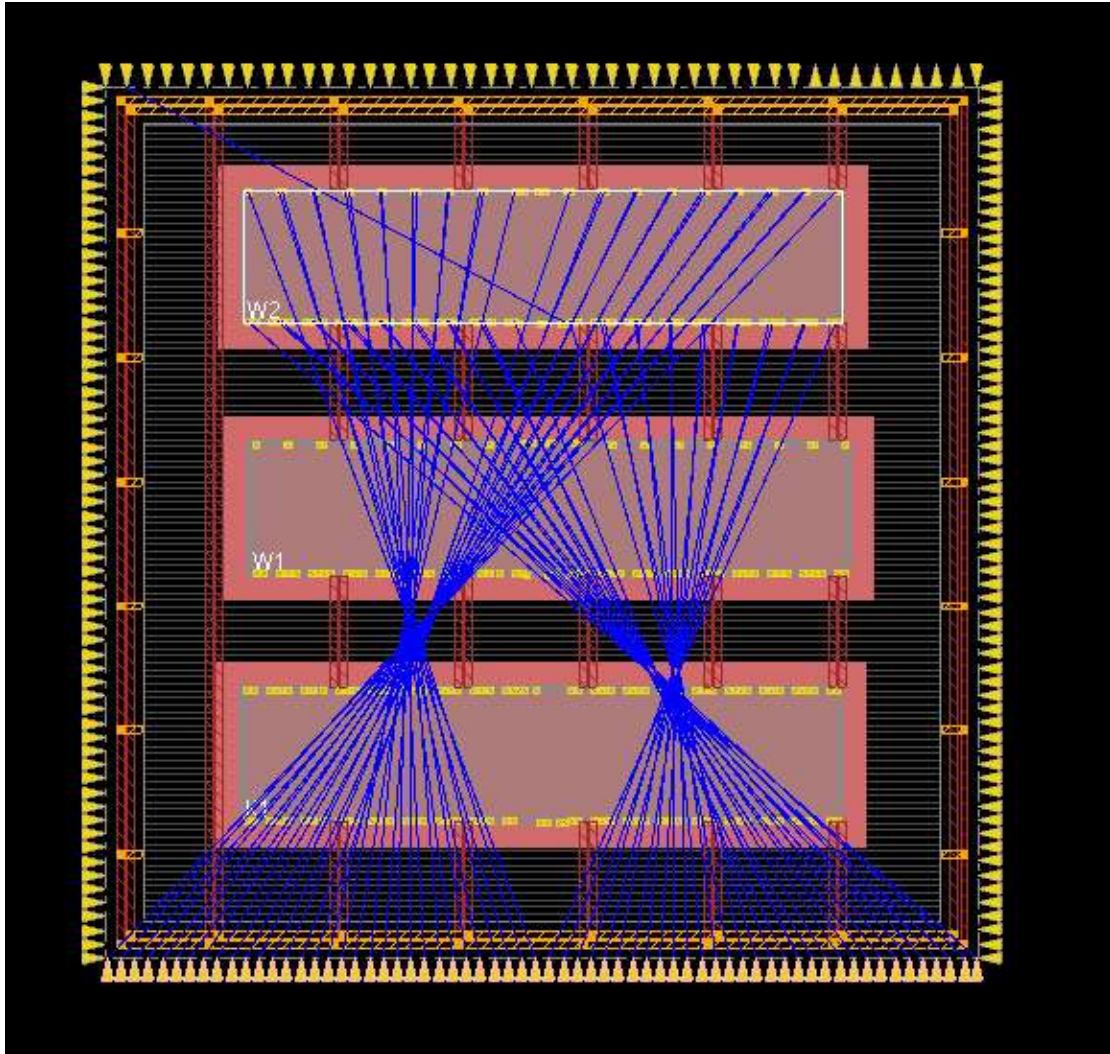
Q23 : הסבר את המשמעות של המספרים בסעיף הקודם.

עבור **Set to set distance** - רשום 100

ב **First/Last Strip** - לחץ על **Absolute** עבור **Start** רשום 80 ועבור **Stop** רשום

ז"א שנוסף רצועות אנכיות ברוחב 100 החל מ- **offset** 80 עד 600 מיקרונים.


Q24 : הוסף את הסכמה לדו"ח.



Q25 : העתק והוסף לדו"ח את הפקודה שהוסיפה את הטבעות של רשתות האספקה.

```
setAddRingMode -ring_target default -extend_over_row 0 -ignore_rows 0 -
avoid_short 0 -skip_crossing_trunks none -stacked_via_top_layer TOP_M -
stacked_via_bottom_layer M1 -via_using_exact_crossover_size 1 -
orthogonal_only true -skip_via_on_pin { standardcell } -
skip_via_on_wire_shape { noshape }
addRing -nets {VDD VSS} -type core_rings -follow core -layer {top TOP_M
bottom TOP_M left M5 right M5} -width {top 6 bottom 6 left 6 right 6} -spacing
{top 1.8 bottom 1.8 left 1.8 right 1.8} -offset {top 1.8 bottom 1.8 left 1.8 right 1.8}
-center 1 -threshold 0 -jog_distance 0 -snap_wire_center_to_grid None
```

### 3. מיקום התאים הסטנדרטיים ובנית עץ השעון (Clock Tree Synthesis CTS)

Q31 : לחץ על  שבצד ימין אל מנת לראות את תוצאת המיקום. בחר בתא (לא ה-SRAM), לחץ על הכפתור הימני ובחר ב-Attribute Editor. מה ה-status ? מה המשמעות של status זה ?

**status: ROUTED**

המשמעות שיש חיבור.

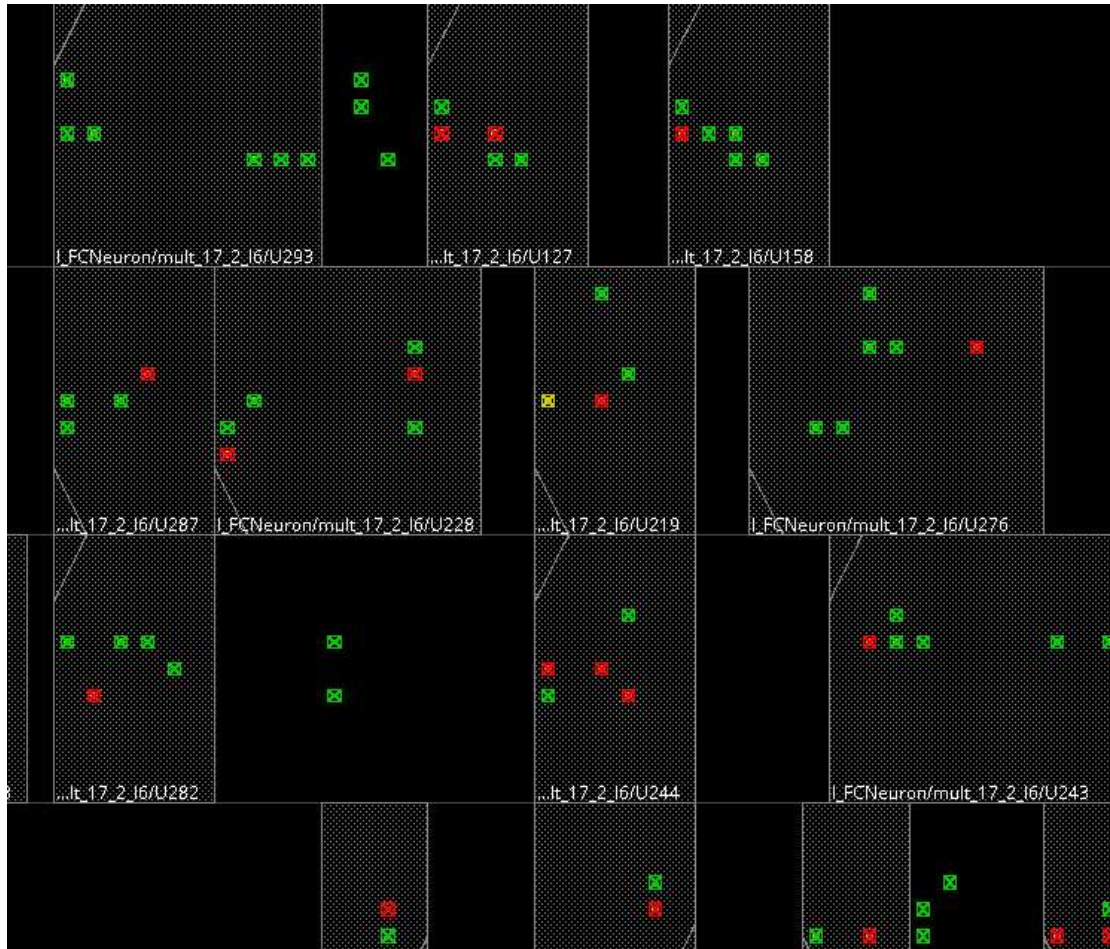
Q32 : חזור על הפעולה עבור חוט. מה ה-wire status ? מה המשמעות של status זה ?

**status: unknown**

עדיין לא עשינו routing ומיקום החוט יכול להשתנות בהמשך.

Q33 : הוסף את הסכמה לדו"ח ללא המתכות.





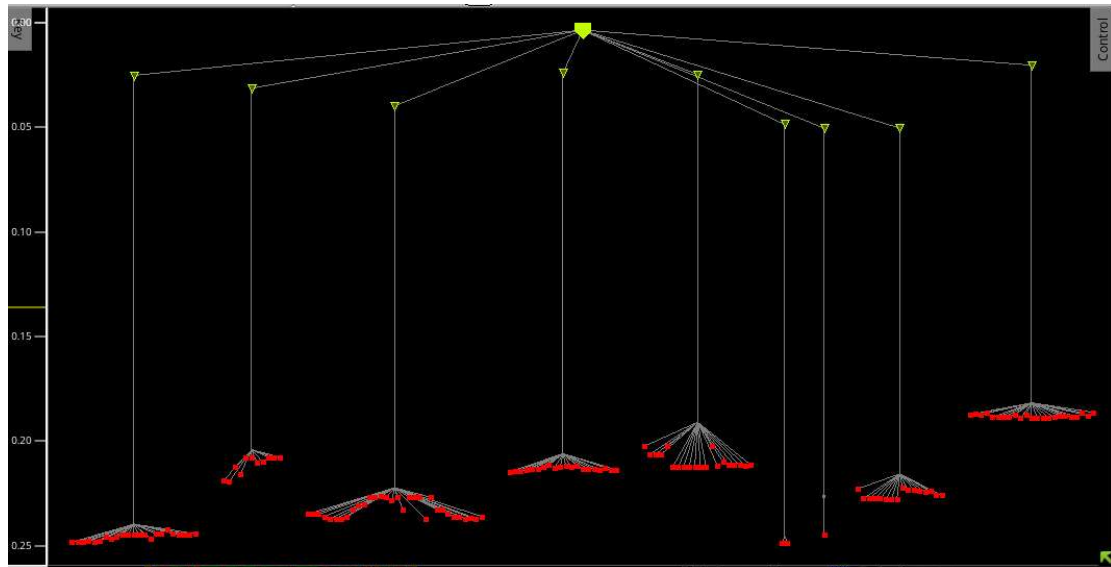
	Setup WNS	Setup TNS	Hold WNS	Hold TNS
Pre-CTS before OptDesign	11.688-	591.257-	0.156	0
Pre-CTS after OptDesign	0	0	0.07	0
Post-CTS before OptDesign	0.113-	0.49-	0.084	0
Post-CTS after OptDesign	0.016	0	0.086	0
Post-Route before HoldOpt	0.402	0	0.182-	5.879-
Post-Route after HoldOpt	0.337	0	0	0

Q34 : מה ההשהיה, כלומר הזמן בין שורש השעון ל- FF הראשון (בערך) ? מה ה- skew כלומר הפרש הזמן המכסימלי בין זמן ההגעת השעון ל- FF אחד כלשהו לאחרים (בערך)?

0.062 :skew

השהיה: 0.353

Q35 : הוסף את הציור לדו"ח



Q36 : רשום את התוצאות בטבלה. האם יש שיפור (ביחס ל- Pre-CTS after OptDesign) ?  
כן.

Q37 : רשום את התוצאות בטבלה. האם יש שיפור ?  
כן.

Q38 : הסבר את המושגים WNS (Worst Negative Slack) ו- TNS (Total Negative Slack).  
מדוע חשוב לדעת את שני מספרים ?

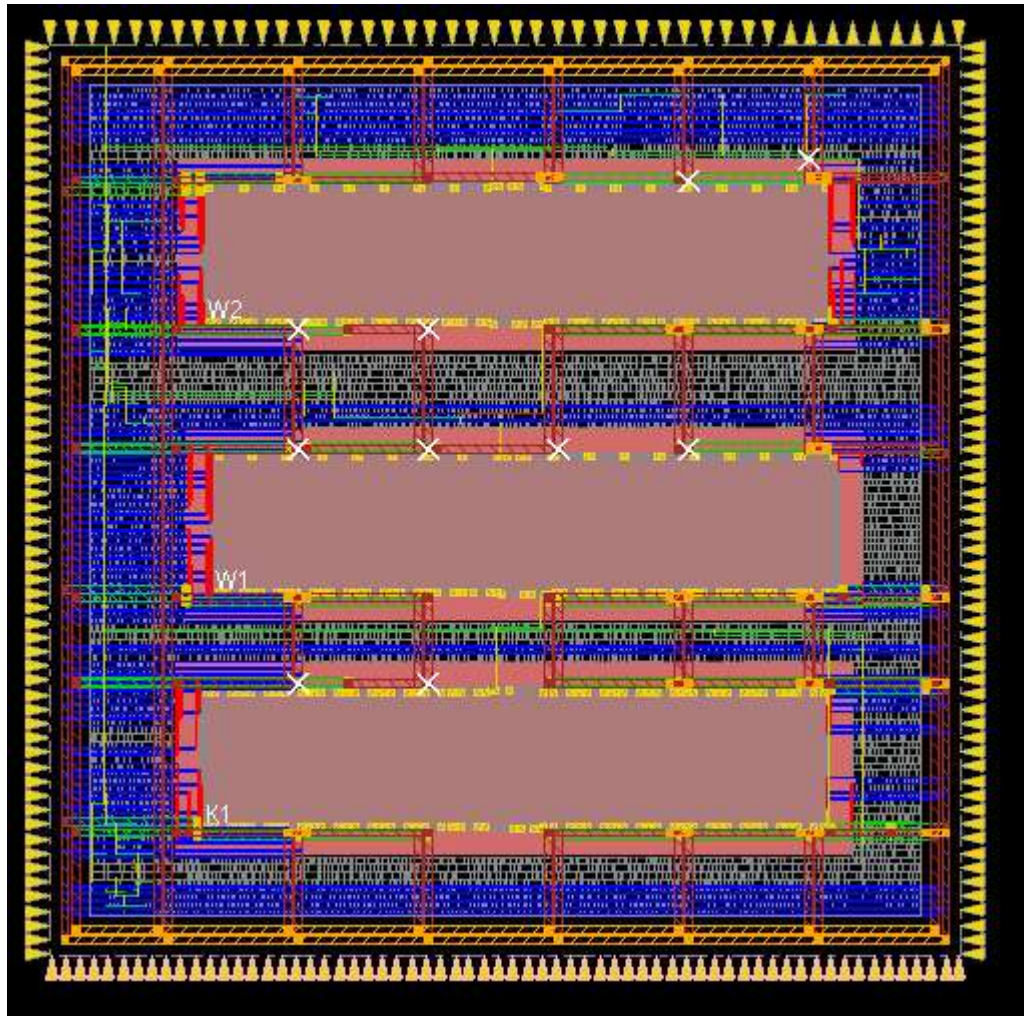
WNS: Worst Negative Slack. עבור slack חיובי המסלול תקין ואחרת הוא לא.

TNS: Total Negative Slack. אם הוא 0 אז הכל תקין אחרת יש לנו Slack שלילי וקיים מסלול לא תקין.

4. חיווט: קווי האספקה והתכנון כולו

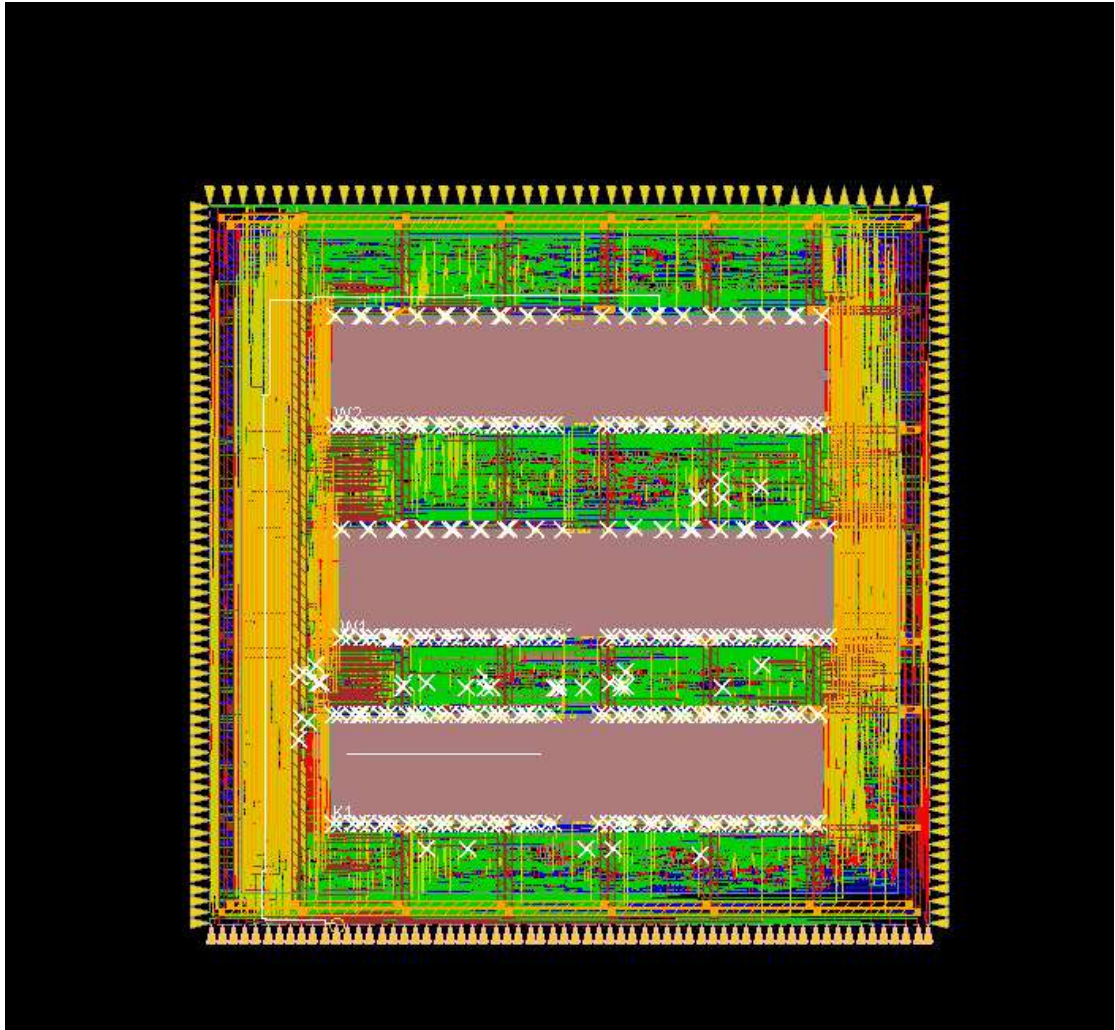
Q41 : הסבר במילים שלך איזו פעולה מבצעת הפקודה **Route->Special Route**. כלומר, מה המשמעות של "חיווט של רשתות האספקה" ? מה הם ה- **X**-ים הלבנים שמופעים על ה- **layout** ?  
המשמעות היא שהחיווט מחבר את רשת האספקה לליבות. X משמעותו שיש חיבור לא תקין(בעיית חיווט).

Q42 : הוסף את ה- **layout** לדו"ח.



- Q43 : הסבר במילים שלך איזו פעולה מבצעת הפקודה **Route->Nanoroute->Route**.  
**Routing**: כלומר חיבור רשת האספקה לרכיבים השונים על ה- **chip** ובנוסף ביצוע אופטימיזציות.
- Q44 : בחר חוט כלשהו ובדוק עבורו ה- **Attribute Editor**. מה הסטטוס שלו ? מדוע הפעם ה- **status** שונה ?  
**status: routed**  
הפעם הסטטוס שונה מכיוון שכבר ביצענו **routing**.
- Q45 : קרא למנחה והסבר לו מהן כל סוגי השגיאות בתכנון ? רשום את התשובה בדו"ח.
- Q46 : לאחר התייעצות עם המנחה, רשום בדו"ח כיצד מתקנים את השגיאות.
- Q47 : הוסף את ה- **layout** לדו"ח.





## 5. אנליזת תיזמון Sign-Off והספק

- Q51 : רשום את התוצאות בטבלה.  
 Q52 : רשום את תוצאות ה- **timing** שהתקבלו בטבלה.  
 Q53 : האם עדיין קיימת בעיית **Hold**? האם עדיין קיימת בעיית **Setup**?  
 אין בעיית **setup** יותר. זמן ה- **setup** השתפר ואנחנו עדיין עומדים בזמנים.  
 Q54 : רשום את התוצאות בטבלה.  
 Q55 : חזור על הבדיקה כאשר ה- **Corner** הוא **min**. רשום את התוצאות בטבלה.

Corner/Freq/FA	Dpram Power	Total Internal Power	Total Switching Power	Total Leakage Power	Total Power
Max/100Mhz/0.1	48.03	52.95	3.936	0.02309	56.91
Min/100Mhz/0.1	70.16	78.08	6.403	0.004555	84.49
Max/200Mhz/0.1	48.24	55.28	6.127	0.02309	61.43
Min/200Mhz/0.1	70.49	81.86	9.977	0.004555	91.84

Max/100Mhz/0.2	48.06	53.85	4.786	0.02309	58.66
Min/100Mhz/0.2	70.18	79.55	7.789	0.004555	87.34

- Q56: הסבר את סיבה להבדל בין שתי הפינות (max,min).  
הבדלים נובעים מהבדלים בתהליך הייצור וכתוצאה נקבל תדרים שונים בהם המעגל פועל.
- Q57: הסבר את סיבה להבדל עבור התדרים השונים.  
ככל שהתדר יותר גדול יש יותר טעינה ופריקה של קבלים כתוצאה מ- **switching** מה שיגרום להפסק דינאמי יותר גדול.
- Q58: הסבר את סיבה להבדל עבור ה- **Flop Activities** השונים.  
**Flop activities** הוא כמה פעמים נטען ונפרוק את הקבלים השונים וכתוצאה מ **flop activities** שונים נקבל את ההבדלים.
- Q59: חוץ מהזיכרונות אלו תאים הם צרכני הספק יחסית גדולים ?  
הרכיבים האחראים על ה- **switching** ייצרכו משמעותית יותר הספק מרכיבים אחרים מכיוון שהם עובדים בתדר עבודה גבוהה והם קרובים לשעון.

**סיום חלק שני !**