1. 1.2 1.3 1.5 1.9 1.10 1.13
2. 2.2 2.4 2.6 2.7 2.8
3. 3.1 3.3 3.5 3.7 3.10 3.11 3.12 3.14
4. 4.6 4.15 4.17
5. 5.1 5.3 5.13 5.17 5.18 5.23 5.24 5.26
6. 6.4 6.5 6.10 6.11
7. 8.1 8.3 8.5 8.9 8.12
8. 9.4 9.6 9.7 9.8
9. 10.2 10.4 10.5 10.6 10.9

1.5按冯.诺依曼提出的计算机模型，其硬件有哪几部分组成？

运算器、存储器、控制器、输入和输出设备。

1.3  ALU和累加器的功能各是什么？累加器是一个加法器么？

ALU   :运算器由逻辑电路及逻辑部件组成，功能是进行算数和逻辑运算；

累加器:用来传输，临时存储ALU运算过程的结果和其他数据，并能把虚报在其中的数据左移或右移；

累加器是一个具有特殊功能的寄存器，不能在其中进行加法运算，所以不是一个加法器。

1.5程序计数器的作用是什么？

作用：追踪、记忆指令所在的地址。

1.9解释下列术语：

（1）指令周期：由数个机器周期组成一个指令周期，也就是执行一条指令所用的时间。

（2）机器周期：完成一个基本操作所需的时间，记作M。

（3）T周期： 计算机在时钟脉冲的作用下，一个节拍一个节拍地工作，因此每个时钟周期是CPU处理动作的最小单位，称为T周期，记作T。

（4）总线周期：总线周期中，CPU与存储器或I/O端口传输一次数据所用的时间。

1.10说明CPU的主要组成部件及其主要功能：

（1）运算器ALU：金星算术和逻辑运算。

（2）累加器A：用来传输、临时存储ALU运算过程的结果和其他数据，并能把存在其中的数据左移或右移。

（3）寄存器组：用以在数据运算和数据传输过程中临时存储数据。

（4）程序计数器：追踪、记忆指令所在地址。

（5）标志寄存器：用以指示运算结果状态和控制工作条件。

（6）指令寄存器与指令译码器：指令寄存器用来暂时存储当前正在执行的一条指令；

指令译码器识别从指令寄存器输出的指令后，向操作控制器发出具体操作的特定信号。

（7）操作控制器：根据指令操作码和时序信号，产生各种操作控制信号，以便正确地建立数据通路，从而完成取指令和执行指令的控制。

（8）时序产生器：对各种操作实施时间上的控制。

1.13  设某台计算机有16条地址线和8条数据线；

（1）若采用独立编址的方法，问存储空间有多大？    2的16次方=64kB，存储空间：64KB

（2）通过数据总线一次的可传送的带符号数的范围有多大？   2的7次方=128，范围-128~127

2.2   8088微处理器由哪两部分组成？主要功能是什么？8086与8088的主要区别是什么？

总线接口部件BIU：控制着内部总线和外部总线；

执行部件EU： 负责程序的执行。

区别：8086外部数据总线为16位，8088外部数据总线为8位，因此称8086为16位微处理器，8088为准16位微处理器。

2.4什么是8088CPU的最大最小工作组态，将8088下列方式特点填入表中。

若MN/MX引脚接电源，则是最小组态；接地则是最大组态。

方式\特点  MN/MX引脚  处理器个数  总线控制信号的产生

最小方式     接+5V         1     CPU发出

最大方式    接地  两个或两个以上  由总线控制器发出

2.6总线周期的含义是什么?8088基本总线周期由几个时钟周期组成？假定某8086CPU的时钟频率为24MHz，试问它的一个时钟周期多少？

1. 总线周期：机器周期中，CPU与存储器或I/O端口传输一次数据用的时间；

（2）8088由4个时钟周期组成；

（3）T=1/f=1/24MHz=41.67ns

2.7  8088如何解决地址线和数据线复用问题？ALE信号何时处于有效状态？

（1）当ALE为高电平的时候，该组信号作地址线，当ALE为低电平时，该组信号作数据线，使用时，当CPU执行访问存储器或对输入输出端口操作时，都要复用这组信号线。

（2）当ALE信号有效时，表示在地址锁存时段，数据/地址复用线AD7~AD0用作地址线，将信号送入地址锁存器。

2.8  试说明在图2-7中下列部件的作用。

（1）8284时钟产生器的作用：

   提供处理器和总线控制器的定时操作。

（2）74LS245的作用：

   总线驱动器总线信号进行放大，还原并控制传输方向。

（3）74LS373的作用：

   8位三态输出锁存器，一个封装中有8个锁存器，三态总线，驱动输出装置全并行存取缓冲控制输入时钟，使能输入有效改善抗扰度的作用。

（4）在该电路中能否不用锁存器？为什么？

否，8088数据和地址总线采用分时复用的操作方法，即用同一总线既传输数据又传输地址，当微处理器与存储器交换信号时，首先由CPU发出存储地址同时发出允许锁存信号ALE给锁存器，当锁存器接到该信号后将地址/数据总线上的地址锁存在总线上随后才能传输数据

3.1假定（DS）=2000H，（ES）=2100，（SS）=1500，（SI）=00A0H，（BX）=0100H，（BP）=0010H，请指出下列指令的源操作数字段是什么寻址方式？（它们的物理地址是什么？ ）

1. MOV AX, OABH      立即寻址       无物理地址

（2）MOV AX ,BX         寄存器寻址     无物理地址

（3）MOV AX ,[100H]     直接寻址        DS左移4位+100A=20100H

（4）MOV AX [,BX] [SI]   基址变址寻址    DS左移4位+BX+SI=200A0H

（5）MOV AX [BX]        寄存器间接寻址  DS左移4位+BX=20000H+0100H=20100H

（6）MOV AX,ES:[BX]     寄存器间接寻址   DS左移4位+BX=21000H+0100A=21100H

（7）MOV AX,[BP]     寄存器间接寻址   SS左移4位+BP=15000H+0010A=15010H

（8）MOV AX,[SI]     寄存器间接寻址   DS左移4位+SI=20000H+0010H=200A0H

（9）MOV AX [BX+10]    基址寻址         DS左移4位+BX+10H=20110H

3.3 指出下列指令的错误

（1）MOV AH,BX                两个操作数不一样

（2）MOV [BX],[SI]              两个操作数不能都是存储器操作数

（3）MOV AX,[DX][SI]           两个变址不能连用

（4）MOV [BX][SI],ES:AX        寄存器寻址没有段超越法

（5）MOV CS ,AX              CS不能作目的存储器

（6）POP CS                  出栈指令不能用CS作操作数

（7）MOV 32H,AL             目的操作数不能是常数

（8）MOV DS,2350H           不能将常数直接传送给段寄存器

（9）MOV AX,DL               操作数类型不匹配

3.5完成下列操作，选用什么指令？

1. 把4629H传送给AX寄存器        MOV  AX，4629H
2. 从AX寄存器中减去036AH         SUB  AX，036AH

3.7写出完成下列功能的程序段

1. 传送25H到AL寄存器          MOV  AL, 25H
2. 将AL的内容乘以2               SHL   AL,   1
3. 传送15H到BL寄存器            MOV BL , 15H
4. AL的内容乘以BL的内容         MUL  BL

问最后结果（AX）=？          （AX）=1554

3.10编写指令序列：测试DL寄存器的低4位是否为0

OR F0H

3.11若要检查BX寄存器中的第13位是否为1，应该用多少指令？请写出该指令

TEST  BX,1000H

JNZ   YES

3.12（1）用一条逻辑指令清除AX寄存器  XOR  AX,AX

（2）用一条逻辑指令使DX寄存器的高3位为1，其余不变 OR  DX ,1110 0000 0000 0000B

（3）写一条逻辑指令使BL寄存器的低4位为0，其余位不变AND BL,11110000B

（4）用一条逻辑指令将AX中与BL中的不相同的位均置为1   OR AX ,BX

3.14利用移位，传送和加法指令完成（AX）与10的乘法运算

SHL  AX,1

MOV DX,AX

MOV CL,2

SAL  AX,CL

APD  AX,DX

4.6下列两个语句有何区别？

X1  EQU 1000H和X2=1000H

EQU伪指令中的表达式是不允许重复定义的，而“=”伪指令允许

4.15写出完成下述要求的变量定义语句

（1）为某缓冲区BUG留下200个字节的内存空间

（2）将字符串’BYTE’,’WORD’,DWORD’存放于某数据区

（3）在某数据区要求存入存入下列5个数据2040H，0300H，10H，0200H，1048H

解：（1）BUG DB 200 DUP

(2) String 1 DB ‘BYTE’ ‘WORD’ ‘DWORD’

(3)DATA-DW 2040H,0300H,10H,0200H,1048H

4.17 在内存数据段，从变量X开始存了两个字，2645H和3576H，紧接着从变量Y开始两个字4328H和2598H，编写一个完整的程序，实现如下功能（包括定义数据段）：

（1）将X和Y中的两个字数据相加，结果放于变量Z；

（2）将X和Y中的两个双字数据相加，结果放于X开始的单元中。

(1)Data Segment

X DW 2645H,3576H

Y DW 4328H,2598H

Z DW ?

Code Segment

Assume CS:Code,DS:Data

Stare MOV AX,Data

 MOV DS,AX

MOV DX,X    MOV BX,Y+2

MOV BX,Y     Add DX,BX

Add DX,BX    MOV AX,DX

MOV AX,DX   MOV Z+2,AX

MOV Z,AX    MOV AX,4CH

MOV DX,X+2  INT 21H

 Code Eends

 Eends start

1. Data 1 segment

X DD 2645H,3576H

Y DD 4328H,2598H

Data Ends

  Code Segment

Assume CS:Code,DS:Data

MOV AX,Data

MOV DS,AX

MOV AX,Y

ADD X,AX

MOV AX,Y+2

ADC X+2,AX

MOV X+4,0

ADC X+4,0

MOV AH,4CH

INT 21H

Code End,

End start

5.1RAM和ROM的主要特点和区别是什么？

RAM：特点是可以随时写入和读出，但断电后信息即会丢失；

ROM：特点是数据一旦写入，即使断电，信息也不会丢失。但在使用过程中，只能将存储的信息读出，而不能用一般方法将信息写入。

5.3何谓静态RAM？何谓动态RAM？它们的使用特点各是什么？

静态RAM：简称SRAM，分为双极型静态RAM和CMOS型静态RAM，前者速度高于后者，但功耗大于后者，都以双稳态电路为基础，状态稳定，只要不掉电，信息就不会丢失，不需刷新，但电路复杂，集成度较DRAM低，位价格较DRAM高

动态RAM：简称DRAM，它利用电容存储信息，电路简单，集成度高，由于电容漏电，信息会丢失，因此要不断的对其刷新，保证信息不丢失。

5.13下列RAM芯片各需要多少个地址引脚？

（1）16k\*1b      16=2^4   14个

（2）1k\*4b       1=2^0     10个

（3）2k\*8b       2=2^1     11个

5.17现有1024\*4静态RAM芯片，欲组成32k\*8位的存储器试求需要多少RAM芯片？多少芯片组？用于片内地址需用多少根地址线？用于选择不同芯片组需用多少根地址线进行译码实现？

1. 芯片数：∑=（32/1）\*（8/1）=256个
2. 每组芯片构成1k\*8位空间，需要32组

（3）1k=210故有10根内地址线

（4）32根芯片选择线

5.18设有一个具有14位地址和8位字长的存储器，问：

（1）该存储器存储多少字节的信息？ 存储容量=存储单元数\*每个单元字节数=214\*8 =16kb

（2）如果存储器由1k\*1位静态RAM芯片构成，需要多少芯片？      8\*16=128个

（3）需要多少位地址作芯片选择？ 128/（8/4）=64=26     需要6位地址芯片选择

5.23通写法和回写法的主要特点和区别是什么？

通写法：cache和主存同时写；

回写法：每次只对cache进行写并作标记，当cache中的修改内容被新进入cache的信息块取代时，才一次写回主存。

5.24cache、主存和辅存，CPU能直接访问的是哪几个？

cpu能直接访问cache和主存，不能直接访问辅存。

5.26 主辅存层次和cache主存层次有相似之处么？其差别是什么？

答：在CPU和主存之间增加一级速度快，但容量较小，是每位价格较高的高速缓冲，

存储（cache)借助于辅助软硬件，这与主存构成了一个有机的整体，以弥补主存速度不足，这个层次的工作主要由硬件实现。

主存—辅存层次的目的是为了弥补主存容量不足，每位价格更低，速度更慢的存储器，向编程人员提供大量程序空间

6.4  I/O方式有几种？各有什么特点，如何选用？

（1)无条件传输，接口简单，不考虑控制问题时只有数据接口。一般用于春电子部件的输入输出每一集完全由CPU决定传输时间的场合和外部设备与CPU能同步工作的场合，否则出错。

（2)程序查询传输方式（无条件传输），接口简单，比无条件传输接口多一个状态接口，在传送过程中，若外设数据没有准备好，则CPU一般在查询等待。CPU效率低下，由于查询原因，用于CPU负担不重，允许查询等待时。

（3)中断传输，与无条件相比要增加中断请求电路，中断屏蔽电路和中断管理电路，比程序查询复杂，提高CPU和慢速外设之间进行数据时的工作效率，提高CPU为外部影响的及时性。

（4)DMA传输，实现外设直接和存储器进行高速数据，传输传送过程中无需CPU执行指令干预，从而更大程序的提高高速外设与CPU间传送速率，告诉外设的批量传送。

6.5端口编址方式有哪两种，各有随你特点？

（1）与存储器统一编址，对存储器和I/O端口读写采用相同命令 优点：指令系统简单     缺点：存储资源浪费

（2）端口独立地址  ，采用不同命令对存贮器和I/O端读写 优点：不占用存贮资源   缺点：复杂

6.10 在8088微机系统中，某外设接口所选的端口地址为338H~33FH，请用74LS138编码器设计符合要求的端口译码电路。

338H：110011000              A9~A0

6.11设计一个对2

8.1   中断：当CPU正在执行某程序时，有中断源提出中断申请，CPU暂停正在执行的程序转去为中断源服务，服务结束后再回到源程序继续执行。

 断点：被中断的主程序的位置（下一步要执行的主程序的指令地址）  中断返回：中断服务程序结束后再返回被中断的主程序继续执行的过程。

中断源：指引起中断的原因或来源，如中断指令，公报工作与中断方式的外设（键盘） 以中断方式要求CPU处理的软硬件故障。

中断向量：：每个中断服务子程序的入口地址；

中断向量表：把系统中所有的中断向量按照一定的规律排列成一个表。

中断优先级：根据事件轻重缓急合理地响应各中断源请求，给每个中断源确定的一个中断级别。

中断响应：有中断源提出的中断申请，CPU做出回应。 中断屏蔽是指在中断请求产生之后，系统用软件方式有选择地封锁部分中断而允许其余部分的中断仍能得到响应。

特殊屏蔽：通过软件对片内特殊功能寄存器的设置，实现对各中断源中断请求的开放或屏蔽的控制。

8.3实现中断源的优先级判优的方法有哪些？各有何特点？

（1）串行优先级排队模式

优点：电路较为简单，易于扩充，因各级逻辑一致，连接方便。

缺点：当链接的级数较多时，会因时延增大使后级的响应及时性受影响。

（2）并行优先级排队模式

优点：响应速度快，能满足高速CPU的要求     缺点：不如串行排队灵活

（3）专用硬件方法

特点：可通过编程来设置或改变其工作方式，用起来更方便灵活。

8.5 分述单片和级连方式下8259A的工作过程：

单个的8259A能管理8级向量优先级中断，在不增加其他电路的情况下，最多可以级联成64级的向量优级中断系统。

8.9 分别叙述8088CPU对INTR和NMI中断的响应全过程。

在每条指令的最后一个时钟周期，CPU检测INTR或NMI信号，若以下条件成立，则CPU响应中断：

（1）当前指令执行完。

              对INTR，还应满足以下条件：

1）当前指令试STI和IRET，则下条指令也要执行完。‘

2）当前指令带有LOCK、RET等指令前缀时，则把它们看成一个整体，要求完整的执行完，

（2）对INTR，CPU应处于中断状态，则IF=1；

（3）当前没有复位（RESET）和保持（HOLD）信号，若NMI和INTR同时发生，则首先响应NMI。

8.12 若要求8259A的地址为E010H和E011H，试画出8259A与8088总线的连接图。若系统中只有一片8259A，允许8个中断源边沿触发，不需缓冲，一般全嵌套方式工作，一般结束方式，中断类型码规则为40H试编写初始化程序，若IR4端中断源的中断服务程序的入口地址为1000H：8899H，请试编写中断向量表的初始化程序段。

解：MOV  DX ,OE010H；方式控制寄存器端口D1地址

MOV  AL,BH

OUT  DX,AL

MOV DX,OE011H；方式控制寄存器端口D2地址

MOV  AL,4OH

OUT  DX,AL

MOV  AL,03H

OUT   DX,AL

9.4 Intel 8253/8254有几种工作方式？ 试说明8253/8254工作方式的控制

（1）方式0：软件触发，写入计数初值LSB且GATA为高时，开始计数，结束产生中断，OUT由低变高

（2）

（3）

（4）

（5）

（6）

9.6

9.7若8253芯片可利用8088的外设接口地址为 0D0D0H~0D0DFH，试画出电路，若加到8253上的时钟信号为2MH：

1. 若利用计数器0，1，2 分别产生周期为10微秒的对称方波以及0.1秒和10秒产生一个负脉冲，试说明8253应如何连接并编写初始化在内的程序；
2. 若希望利用8088程序通过接口控制GATE，从CPU使GATE有效开始，20微秒后在计数器0 的OUT 端产生一个正脉冲，试设计完成此要求的硬件和软件。

根据题意 三个计数器都应该工作在方波发生器方式3，计数器0的输出信号周期为10微秒，因为时钟信号周期我0.5微秒，所以计数器0的计数值为20。用OUT0作为计数器1的时钟，计数器1的分频系数为1/10-4, 而假如又用OUT1作为计数器2的时钟，则计数器2的分频系数应为100。所以有以下初始化程序段：

计数器0 ： 00 01 011 1 = 37H

计数器0 单字节 方式3 十进制

计数器1 ： 01 11 011 1 =57H

计数器1 双字节 方式3 十进制

计数器2 ： 10 01 011 1 =97H

计数器2 单字节 方式3 十进制

MOV DX，0D0D3H；控制端口地址

MOV AL，37H

OUT DX，AL

MOV DX，0D0D0H；计数器0端口地址

MOV AL，20

OUT DX，AL

MOV DX，0D0D3H

MOV AL，57H

OUT DX，AL

MOV DX，0D0D1H；计数器1端口地址

MOV AL，00

OUT DX，AL

MOV AL，100

OUT DX，AL

MOV DX，0D0D3H；

MOV AL，97H

OUT DX，AL

MOV DX，0D0D2H

MOV AL，100

OUT DX，AL 9.8

10.2简述8255A方式1的基本功能

（1）具有三组24条独立的输入引脚，每条引脚，每条引脚可编程控制；

（2）具有三种可选择的工作方式，简单输入输出，可选择的单向输入输出和双向输入输出；

（3）可实现与CPU之间的直接、查询、中断、DMA四种数据传输方式；

（4）输入与输出电平与TTL电平兼容，每次输出最大可达40mA电流，与8MHz时钟以上的CPU配合，需要增加等待周期；

（5）单一电源5V，双列直插式的40引脚电路。

10.4  8255A的三个端口在使用时有什么差别？

PA：输入输出都可锁存，双向，三台引脚；

PB：输入不锁存，输出锁存，双向，三台引脚；

PC：输入不锁存，输出锁存，双向，三台引脚。

10.5当CPU输出数据到PCD时，8255A的几个控制信号CS，A1，A0,RD，WR分别是怎么样点评8255A的方式选择控制定和PC口的位置I/置0控制字都是写到同一个控制接口的地址，那么他们由什么来区分的？

CS：0      A1:1      A0：0     RD：0     WR：1

控制字的最高位D{D7=1时为方式选择控制字。

                {D7=0时为PCR的位置I/置0控制字

10.6  设8255A的四个端口地址为00C0H,00C2H,00C4H,00C6H,要求用置1/置0方式对PC6置1，对PC4置0，试编写程序。

MOV   DX      00C6H

MOV    AL     0DH      对PC6控制字为0DH

OUT    DX     AL

MOV   AL     08H

OUT   DX     AL        对PC4置0的控制字为08H

10.9 设8255A的ABC扣得控制字寄存器的端口地址分别为80H，82H，84H，86H。

1. 要求A口工作在方式0输出，B口工作在方式0输出，C口高4位输入，低4位输出，试输出8255A的初始化程序。

（2）要求PC4输出高电平，PC5输出低电平，PC6输出一个正脉冲，试写出完成这些功能的指令序列。

答：

（1）MOV AL ,10001010B

OUT   86H ,AL

1. MOV AL ,1000X0XXXB

OUT 86H  AL

MOV AL,  00001001B

 OUT 86H  AL

MOV  AL  00001010B

OUT 86H  AL

MOV AL ,  00001100B

OUT 86H  AL

MOV AL ,00001101B

OUT 86H  AL

LALL   DELAY

MOV  AL ,00001100B

OUT 86H  AL