# 第一章

## 1.2按冯.诺依曼提出的计算机模型，其硬件有哪几部分组成？

运算器

存储器

控制器

输入/出设备。

## 1.3ALU和累加器的功能各是什么？累加器是一个加法器么？

ALU   :算数、逻辑运算；

累加器:用来传输、临时存储ALU运算过程的结果和其他数据，能把存在其中的数据左/右移；

不是，累加器是一个具有特种功能的寄存器，不能加法运算。

## 1.5程序计数器的作用是什么？

作用：追踪、记忆指令所在地址。

## 1.9解释下列术语：

（1）指令周期：数个机器周期组成一个指令周期，执行一条指令所用时间。

（2）机器周期：完成一个基本操作所需的时间。

（3）T周期： 计算机在时钟脉冲作用下，一个节拍一个节拍地工作，因此每个时钟周期是CPU处理动作的最小单位，称为T周期，记作T。

（4）总线周期：机器周期中，CPU与存储器或I/O端口传输一次数据所用的时间。

## 1.10说明CPU的主要组成部件及其主要功能：

（1）运算器ALU：算术、逻辑运算。

（2）累加器A：传输、临时存储ALU运算过程的结果和其他数据，能把存的数据左/右移。

（3）寄存器组：数据运算和传输过程中临时存储数据。

（4）程序计数器：追踪、记忆指令所在地址。

（5）标志寄存器：指示运算结果状态，控制工作条件。

（6）（IR&ID）指令寄存器与指令译码器：IR暂存当前在执行的一条指令；

ID识别从IR输出的指令后，向操作控制器发出具体操作的特定信号。

（7）操作控制器：根据指令操作码和时序信号，产生各种操作控制信号，以便正确建立数据通路，从而完成取指和执指。

（8）时序产生器：对各种操作实施时间控制。

## （1.11）请简述微机从内存读一个数到累加器的工作过程。

先从存储器取一个数进行运算准备，控制器发出控制信号，使运行过程自动进行后，最后数据进入累加器。

## 1.12什么是I/O端口，其编址方法有几种？各有何特点？

实现CPU与各模块、设备间的硬件连接和软件控制。

统一编址：

优点：无需专门的I/O指令，简化指令系统。

缺点：访问内存指令执行时间较长，数据传输时间加长。

独立编址：必须有专门的IO/指令。

# 第二章

## 2.2 8088微处理器由哪两部分组成？他们的主要功能是什么？8086与8088的主要区别是什么？

总线接口部件BIU：控制内部、外部总线；

执行部件EU： 执行程序。

区别：8086外部数据总线为16位，8088外部数据总线为8位。

## 2.4 什么是8088CPU的最大最小工作组态，将8088下列方式特点填入表中。

MN/MX接电源=1：最小组态；接地=0：最大组态。

方式\特点  |MN/MX引脚 | 处理器个数  | 总线控制信号的产生

最小方式     | 接+5V         | 1     | CPU发出

最大方式    | 接地  |两个或以上  | 总线控制器发出

## 2.6 总线周期的含义是什么?8088基本总线周期由几个时钟周期组成？假定某8086CPU的时钟频率为24MHz，试问它的一个时钟周期多少？

1. 总线周期：机器周期中，CPU与存储器或I/O端口传一次数据用的时间；

（2）4个

（3）T=1/f=1/24MHz=41.67ns

## 2.7 8088如何解决地址线和数据线复用问题？ALE信号何时处于有效状态？

（1）当ALE为高电平，该组信号作地址线，当ALE为低电平，该组信号作数据线，使用时，当CPU执行访问存储器或对输入输出端口操作时，都要复用这组信号线。

（2）当ALE信号有效时，表示在地址锁存时段，数据/地址复用线AD7~AD0用作地址线，将信号送入地址锁存器。

## 2.8 试说明在图2-7中下列部件的作用。

（1）8284时钟产生器的作用：

   提供处理器和总线控制器的定时操作。

（2）74LS245的作用：

   总线驱动器总线信号进行放大，还原并控制传输方向。

（3）74LS373的作用：

使能输入有效改善抗扰度的作用。

（4）在该电路中能否不用锁存器？为什么？

不能，8088数据和地址总线采用分时复用的操作方法，同一总线既传数据又传地址，当微处理器与存储器交换信号时，首先由CPU发出存储地址同时发出允许锁存信号ALE给锁存器，锁存器接到该信号后将地址/数据总线上的地址锁存在总线上随后才能传数据。

# 第三章

## 3.1 假定（DS）=2000H，（ES）=2100，（SS）=1500，（SI）=00A0H，（BX）=0100H，（BP）=0010H，请指出下列指令的源操作数字段是什么寻址方式？（它们的物理地址是什么？ ）

1. MOV AX, OABH      立即寻址       无物理地址

（2）MOV AX ,BX         寄存器寻址     无物理地址

（3）MOV AX ,[100H]     直接寻址        DS\*10+100A=20000+100=20100H

（4）MOV AX [,BX] [SI]   基址变址寻址    DS\*10+BX+SI=20000+100+A0=201A0H

（5）MOV AX [BX]        寄存器间接寻址  DS\*10+BX=20000H+0100H=20100H

（6）MOV AX,ES:[BX]     寄存器间接寻址   ES\*10+BX=21000H+100=21100H

（7）MOV AX,[BP]     寄存器间接寻址   SS\*10+BP=15000H+10=15010H

（8）MOV AX,[SI]     寄存器间接寻址   DS\*10+SI=20000H+A0H=200A0H

（9）MOV AX [BX+10]    基址寻址         DS\*10+BX+10H=20000+100+10=20110H

## 3.3 指出下列指令的错误

（1）MOV AH,BX                两个操作数类型不匹配，8,16

（2）MOV [BX],[SI]              两个操作数不能都是存储器操作数

（3）MOV AX,[DX][SI]           两个变址不能连用

（4）MOV [BX][SI],ES:AX        寄存器寻址没有段超越法

（5）MOV CS ,AX              CS不能作目的存储器

（6）POP CS                  出栈指令不能按CS作操作数

（7）MOV 32H,AL             目的操作数不能是立即数

（8）MOV DS,2350H           不能将立即数直接传送给段寄存器

（9）MOV AX,DL               操作数类型不匹配 ，16,8

## 3.5 完成下列操作，选用什么指令？

1. 把4629H传送给AX寄存器        MOV  AX，4629H
2. 从AX寄存器中减去036AH         SUB  AX，036AH

## 3.7 写出完成下列功能的程序段

1. 传送25H到AL寄存器          MOV  AL, 25H
2. 将AL的内容乘以2               SHL   AL,   1 （逻辑左移1位）
3. 传送15H到BL寄存器            MOV BL , 15H
4. AL的内容乘以BL的内容         MUL  BL

问最后结果（AX）=？          （AX）=1554（十进制）=0612H

## 3.9 假定（BX）=11100011B，变量VALUE的值为01111001B，确定下列各条指令单独执行后的结果。

（1）XOR BX, VALUE：10011010

（2）AND BX, VAULE: 01100001

（3）OR BX, VALUE： 11111011

（4）XOR BX, 11111111B:00011100

（5）AND BX, 0 ：0

（6）TEST BX, 00000001B BX第一位是1？

## 3.10 编写指令序列：测试DL寄存器的低4位是否为0

AND DL,0FH

JZ 低4位为0处理程序的语句标号

（这道题不确定 别抄了）

## 3.11 若要检查BX寄存器中的第13位是否为1，应该用什么指令？请写出该指令

TEST  BX,1000H

JNZ   YES

## 3.12

（1）用一条逻辑指令清除AX寄存器  XOR  AX,AX

（2）用一条逻辑指令使DX寄存器的高3位为1，其余不变 OR  DX ,1110 0000 0000 0000B

（3）写一条逻辑指令使BL寄存器的低4位为0，其余位不变AND BL, 1111 0000B

（4）用一条逻辑指令将AX中与BX中的对应位不相同的位均置为1   OR AX ,BX

# 第四章

## 4.6 下列两个语句有何区别？

X1  EQU 1000H和X2=1000H

EQU中的表达式是不允许重复定义的，而“=”伪指令允许

## 4.15 写出完成下述要求的变量定义语句

## （1）为某缓冲区BUG留下200个字节的内存空间

## （2）将字符串’BYTE’,’WORD’,‘DWORD’存放于某数据区

## （3）在某数据区要求存入存入下列5个数据:2040H，0300H，10H，0200H，1048H

解：（1）BUG DB 200 DUP (?)

(2) String1 DB ‘BYTE’ ,‘WORD’, ‘DWORD’

(3)DATA DW 2040H,0300H,10H,0200H,1048H

## 4.17 在内存数据段，从变量X开始存了两个字，2645H和3576H，紧接着从变量Y开始存了两个字4328H和2598H，编写一个完整的程序，实现如下功能（包括定义数据段）：

## （1）将X和Y中的两个字数据相加，结果放于变量Z；

## （2）将X和Y中的两个双字数据相加，结果放于X开始的单元中。

解:(1)

Data Segment

X DW 2645H,3576H

Y DW 4328H,2598H

Z DW (? )

Data Ends

Code Segment

Assume CS:Code,DS:Data

Start:

MOV AX,Data

MOV DS,AX

MOV DX,X    MOV BX,Y+2

MOV BX,Y     Add DX,BX

Add DX,BX    MOV AX,DX

MOV AX,DX   MOV Z+2,AX

MOV Z,AX    MOV AX,4CH

MOV DX,X+2  INT 21H

 Code Ends

 End start

Data  segment

X DD 2645H,3576H

Y DD 4328H,2598H

Data Ends

Code Segment

Assume CS:Code,DS:Data

Start:

MOV AX,Data

MOV DS,AX

MOV AX,Y

ADD X,AX

MOV AX,Y+2

ADC X+2,AX

MOV X+4,0

ADC X+4,0

MOV AH,4CH

INT 21H

Code Ends,

End Start

# 第五章

## 5.3 何谓静态RAM？何谓动态RAM？它们的使用特点各是什么？

静态RAM：SRAM，分为双极型静态RAM和CMOS型静态RAM，前者速度高于后者，但功耗大于后者，都以双稳态电路为基础，状态稳定，只要不掉电，信息就不丢，不需刷新，但电路复杂，集成度较DRAM低，位价格较DRAM高 。

动态RAM：DRAM，利用电容存信息，电路简单，集成度高，由于电容漏电，信息会丢，要不断刷新。

## 5.13 下列RAM芯片各需要多少个地址引脚？

1K=1024B=2^10

（1）16K\*1b      16=2^4   （10+4）4个

（2）1K\*4b       1=2^0     （10+0）10个

（3）2K\*8b       2=2^1     （10+1）11个

## 5.17 现有1024\*4静态RAM芯片，欲组成32K\*8位的存储器，试求需要多少RAM芯片？多少芯片组？用于片内地址需用多少根地址线？用于选择不同芯片组需用多少根地址线进行译码实现？

1. 芯片数：∑=（32/1）\*（8/4）=64个
2. 每组芯片构成1K\*8位空间，需要64/2=32组

（3）1K=2^10故有10根内地址线

（4）32根芯片选择线 =2^5,5根地址线

## 5.18 设有一个具有14位地址和8位字长的存储器，问：

（1）该存储器存储多少字节的信息？

存储容量=存储单元数\*每个单元字节数=2^14\*8 =16KB

（2）如果存储器由1K\*1位静态RAM芯片构成，需要多少芯片？

 16\*8=128个

1. 需要多少位地址作芯片选择？

128/（8/1）=16组=2^4     需要4位地址芯片选择

1. 若改用4K\*4b的芯片，试画出与总线连接框图

16K/4K\*(8b/4b)=8个芯片 2个一组，4组=2^2,2根片选地址线（高位）

4K=2^12,12根片内地址线

一共14根



## 5.23 通写法和回写法的主要特点和区别是什么？

通写法：cache和主存同时写；

回写法：每次只对cache进行写并作标记，当cache中的修改内容被新进入cache的信息块取代时，才一次写回主存。

## 5.26 主辅存层次和cache主存层次有相似之处么？其差别是什么？

答：在CPU和主存之间增加一级速度快，但容量较小，是每位价格较高的高速缓冲， 存储（cache)借助于辅助软硬件，这与主存构成了一个有机的整体，以弥补主存速度不足，这个层次的工作主要由硬件实现。

主存—辅存层次的目的是为了弥补主存容量不足，每位价格更低，速度更慢的存储器，向编程人员提供大量程序空间

# 第六章

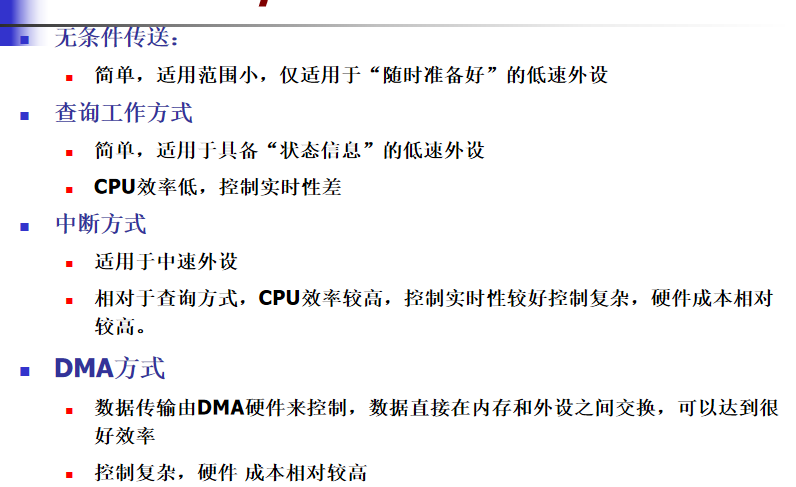
## 6.2 何谓端口？端口有哪几类？从硬件设计上来讲CPU访问某端口时应具备哪些基本条件？

I/O端口是I/O接口中用于暂存数据、控制和状态等3种信息的寄存器或电路。

数据端口、控制端口、命令端口

1. 接口地址译码电路译码后选择该端口
2. M/IO为访问
3. 读/写控制信号有效

## 6.4 I/O方式有几种？各有什么特点，如何选用？



## 6.5 端口编址方式有哪两种形式，各有何特点？

（1）与存储器统一编址，对存储器和I/O端口读写采用相同命令

优点：指令系统简单     缺点：存储资源浪费

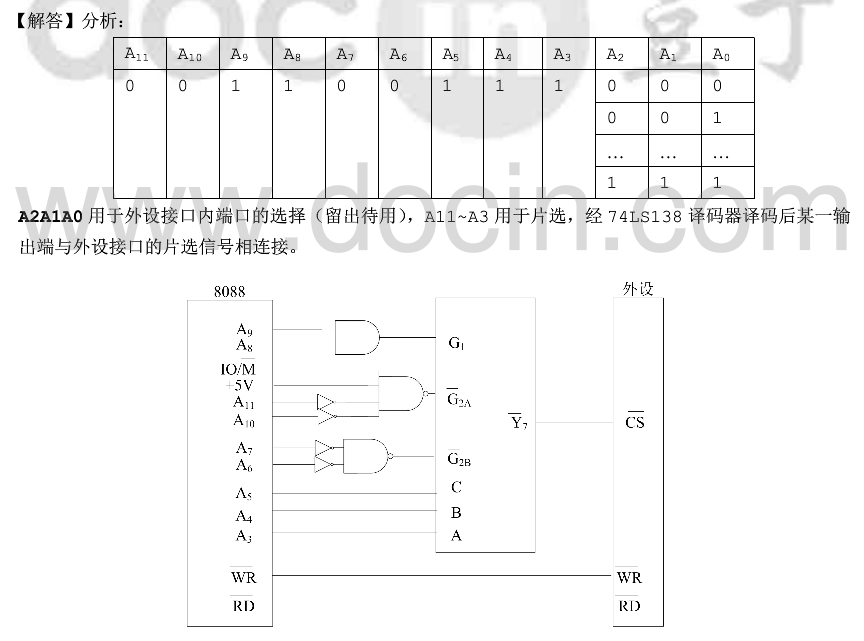
（2）端口独立地址  ，采用不同命令对存储器和I/O端读写

优点：不占用存储资源   缺点：复杂

## 6.10 在8088微机系统中，某外设接口所选的端口地址为338H~33FH，请用74LS138编码器设计符合要求的端口译码电路。

338H：0011 0011 1 000

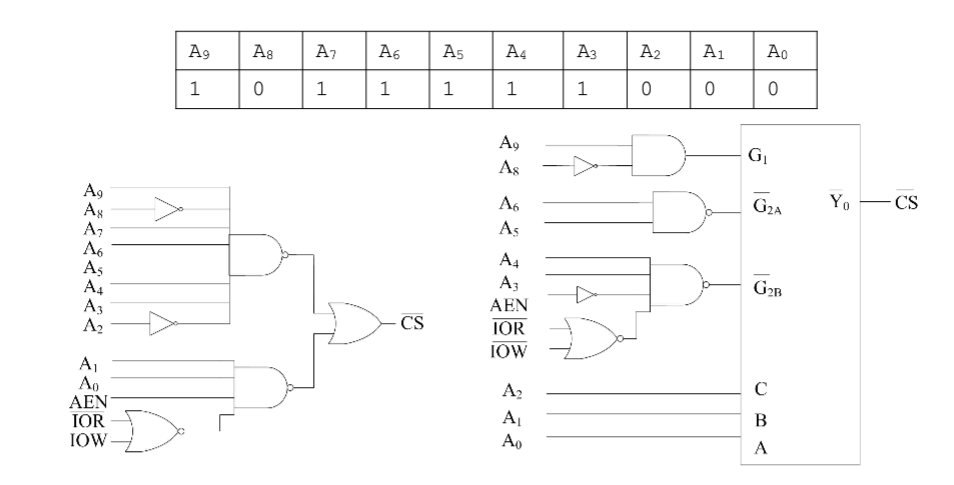
33FH：0011 0011 1 111



## 6.11 设计一个对2F8H进行读和写操作的端口译码电路，要求分别用：

## （1）门电路；

## （2）门电路和译码器74LS138。



# 第八章

## 8.2 中断系统应具有怎样的基本功能？

实现中断的响应与返回；

实现中断优先级排队；

正确处理中断的嵌套问题；

## 8.3 实现中断源的优先级判优的方法有哪些？各有何特点？

（1）串行优先级排队模式

优点：电路简单，易于扩充，因各级逻辑一致，连接方便。

缺点：当链接的级数较多时，会因时延增大使后级的响应及时性受影响。

（2）并行优先级排队模式

优点：响应速度快，能满足高速CPU的要求     缺点：不如串行排队灵活

（3）专用硬件方法

特点：可通过编程来设置或改变其工作方式，用起来更方便灵活。

## 8.5 分述单片和级连方式下8259A的工作过程：

单个的8259A能管理8级向量优先级中断，在不增加其他电路的情况下，最多可以级联成64级的向量优级中断系统。P220

## 8.9 分别叙述8088CPU对INTR和NMI中断的响应全过程。

在每条指令的最后一个时钟周期，CPU检测INTR或NMI信号，若以下条件成立，则CPU响应中断：

（1）当前指令执行完。

              对INTR，还应满足以下条件：

1、当前指令试STI和IRET，则下条指令也要执行完。‘

2、当前指令带有LOCK、RET等指令前缀时，则把它们看成一个整体，要求完整的执行完，

（2）对INTR，CPU应处于中断状态，则IF=1；

（3）当前没有复位（RESET）和保持（HOLD）信号。   若NMI和INTR同时发生，则首先响应NMI。

# 第九章

## 9.4 Intel 8253/8254有几种工作方式？ 试说明8253/8254工作方式的控制

方式0：计数结束产生中断：

方式1：可重复触发的单稳态触发器

方式2：速率发生器

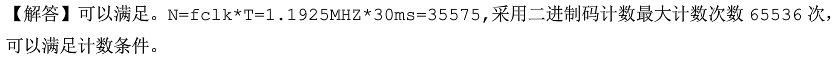
方式3：方波发生器

方式4：软件触发选通信号发生器

方式5：硬件触发选通信号发生器

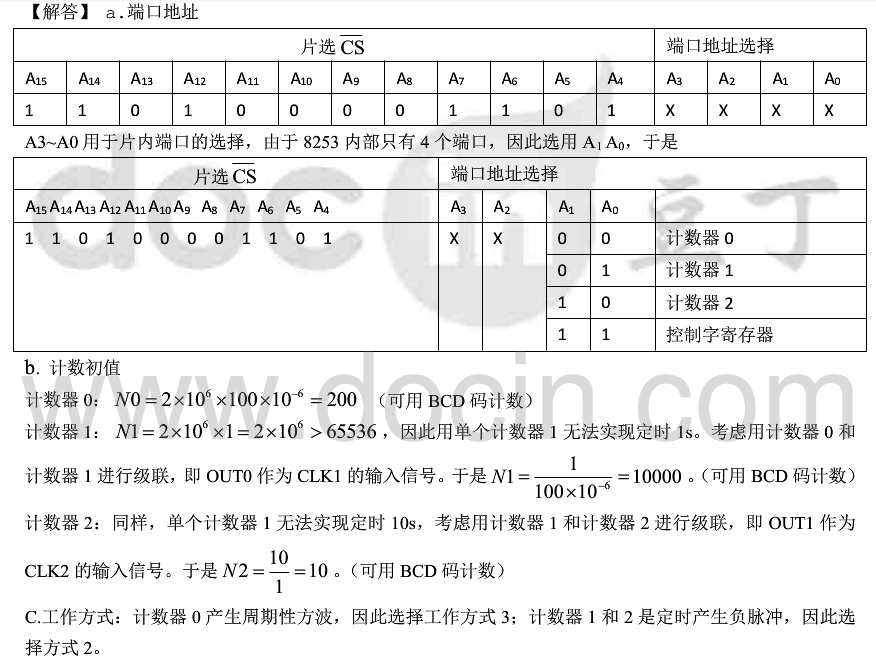
## 9.6 若8253的某计数器输入时钟（如CLK0）为1.1925MHz,能否在它的输出端（OUT0）实现30ms的定时时钟呢？

能。时钟越低，能输出的延时时间就越长。

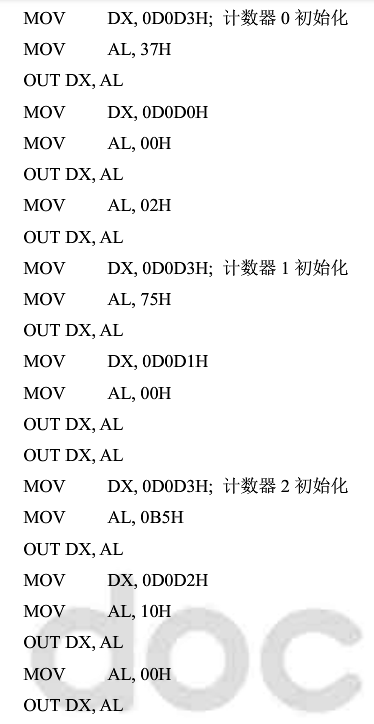


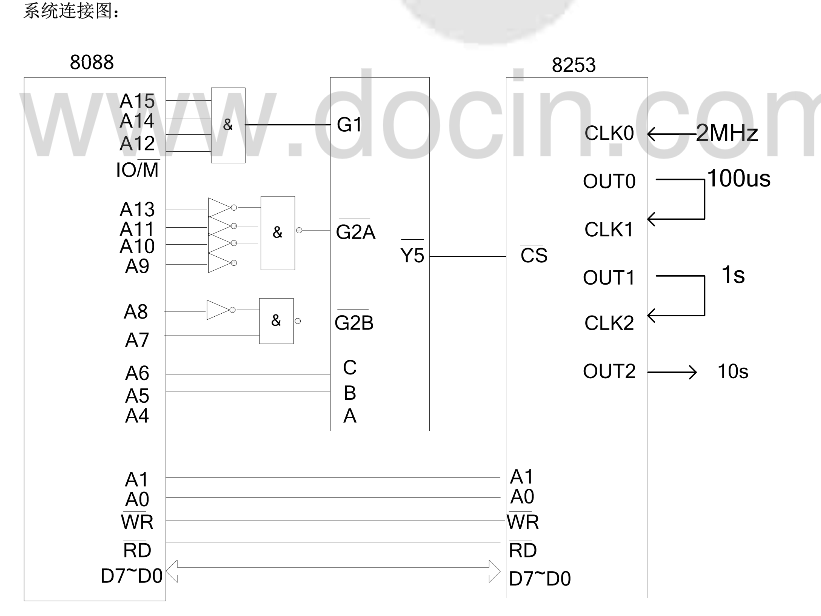
## 9.7 若8253芯片可利用8088的外设接口地址为 D0D0H~D0DFH，试画出电路连接，若加到8253上的时钟信号为2MHz：（0.5微秒）

1. 若利用计数器0，1，2 分别产生周期为100微秒的对称方波以及每1秒和10秒产生一个负脉冲，试说明8253应如何连接并编写初始化在内的程序；
2. 若希望利用8088程序通过接口控制GATE0，从CPU使GATE0有效开始，20微秒后在计数器0 的OUT0 端产生一个正脉冲，试设计完成此要求的硬件和软件。

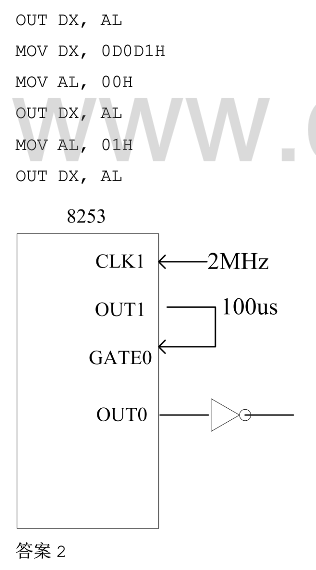


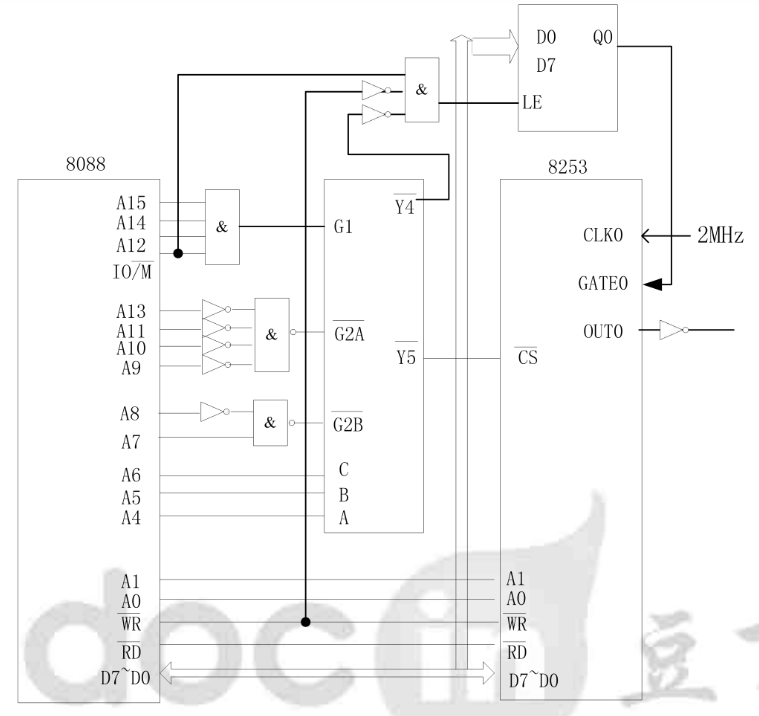


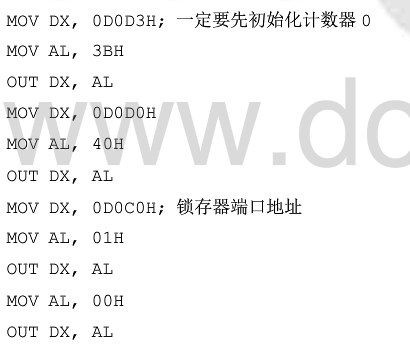












## 9.8 试说明8088CPU最小组态下对8253A各通道读写的条件（即片选、读写控制、地址A1A0的状态、IO/M的电平状态等）。

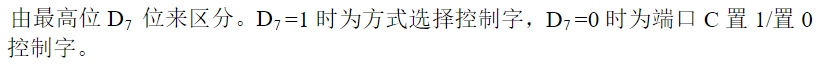
# 第十章

## 10.5 当CPU输出数据到PC口时，8255A的几个控制信号CS，A1，A0,RD，WR分别是怎么样电平？8255A的方式选择控制字和PC口的位置1/置0控制字都是写到同一个控制端口的地址，那么他们由什么来区分的？

CS：0      A1:1      A0：0     RD：0     WR：1

控制字的最高位D{D7=1时为方式选择控制字。

                {D7=0时为PCR的位置I/置0控制字



## 10.6 设8255A的四个端口地址为00C0H,00C2H,00C4H,00C6H,要求用置1/置0方式对PC6置1，对PC4置0，试编写程序。

MOV   DX      00C6H

MOV    AL     0DH      对PC6控制字为0DH

OUT    DX     AL

MOV   AL     08H

OUT   DX     AL        对PC4置0的控制字为08H

