Министерство науки и высшего образования Российской Федерации

Федеральное государственное бюджетное образовательное

учреждение высшего образования

«Воронежский государственный лесотехнический университет

имени Г.Ф. Морозова»

Базовая кафедра технического и программного обеспечения вычислительных и информационных систем

(название кафедры)

**Пояснительная записка**

Обзор микропроцессора TMS320c40

(тема)

09.03.02 Информационные системы и технологии

(код и наименование направления подготовки)

По дисциплине «Программирование микропроцессоров»

|  |  |  |
| --- | --- | --- |
| Студент группы ИС2-191-ОБ  (номер группы)  Руководитель, \_\_\_\_\_\_\_\_\_\_\_\_  (ученая степень, ученое звание) | \_\_\_\_\_\_\_\_\_\_\_  (подпись)  \_\_\_\_\_\_\_\_\_\_  (подпись) | Д.Р. Брославский  (инициалы и фамилия)  А.В. Полуэктов  (инициалы и фамилия) |

Воронеж 2022

ОГЛАВЛЕНИЕ

[ВВЕДЕНИЕ 3](#_Toc124465918)

[1 ТЕОРЕТИЧЕСКАЯ ЧАСТЬ 4](#_Toc124465919)

[1.1 Процессор TMS320C40 4](#_Toc124465920)

[1.2 Архитектура процессора TMS320C40 5](#_Toc124465921)

[1.3 Внутренняя и внешняя память 7](#_Toc124465922)

[1.4 Регистры устройства обработки 8](#_Toc124465923)

[1.5 Встроенная периферия 13](#_Toc124465924)

[2 ПРАКТИЧЕСКАЯ ЧАСТЬ 17](#_Toc124465925)

[ЗАКЛЮЧЕНИЕ 21](#_Toc124465926)

[СПИСОК ЛИТЕРАТУРЫ 22](#_Toc124465927)

# ВВЕДЕНИЕ

Процессорами цифровой обработки сигналов или сигнальными процессорами называют процессоры, архитектура и система команд которых ориентирована на быстрое выполнение программ, реализующих определенный класс алгоритмов, а именно алгоритмов цифровой обработки сигналов (ЦОС) (цифровая фильтрация, свертка, корреляция, преобразование Фурье, адаптивная фильтрация, обработка радиолокационной и гидроакустической информации, обработка изображений, анализ и синтез речи и т.д., и т.п.).

Несмотря на разнообразие архитектур, можно выделить следующие ключевые особенности сигнальных процессоров:

* характерная для ЦОС операция умножения с накоплением, выполняемая за один процессорный цикл;
* конвейерное выполнение команды;
* раздельные память программ и память данных (или память с множественным доступом), что позволяет процессору извлекать
* команду и операнд в одном машинном цикле;
* основной операционный блок, осуществляющий любую операцию за один машинный цикл;
* вспомогательные арифметические блоки для вычисления адресов операндов за один машинный цикл.

Применение сигнальных процессоров разнообразно - от встроенных микроконтроллеров в приборы бытового назначения до больших (до нескольких тысяч микропроцессоров) мультипроцессорных систем общего назначения. Мы ограничимся рассмотрением мультипроцессорных систем для решения специфической задачи - обработки радиолокационной информации. Как правило, такая система содержит несколько десятков процессоров и работает в условиях жестких временных ограничений. К семейству сигнальных микропроцессоров относится TMS320C40.

# 1 ТЕОРЕТИЧЕСКАЯ ЧАСТЬ

# 1.1 Процессор TMS320C40

Процессор TMS320C40 - высокопроизводительный процессор фирмы Texas Instruments, предназначенный для применения в системах цифровой обработки сигналов.

Основные характеристики:

•цикл команды 50нс для тактовой частоты 40 МГц;

•разрядность операндов 32 бита;

•производительность до 275 MOPS (миллионов операций в секунду);

•одно цикловые операции с плавающей точкой 40/32 бита;

•скорость обмена данными через встроенные порты ввода/вывода до 100 Мб/с;

•максимальный адресуемый объем памяти 16 Gb (4G×32);

•встроенные коммуникационные порты до 20 Мб/с;

•встроенный сопроцессор прямого доступа к памяти (ПДП) до 75MOPS;

•внутренний кэш команд на 512байт;

•внутреннее ОЗУ 8 Кбайт.

Внутренняя структура процессора базируется на семи 32-разрядных шинах, что позволило достичь высокой степени параллелизма при выполнении команды. Водном машинном цикле выполняется 11 операций.

В центральном устройстве обработки выполняется:

•два доступа к данным;

•одно умножение с плавающей точкой;

•одна операция АЛУ;

•две модификации адресных регистров;

•одно изменение счетчика повторов;

•одна выборка команды.

В сопроцессоре ПДП выполняется:

•одна передача данных;

•одна модификация адресного регистра;

•одна модификация счетчика передаваемых слов.

В процессоре можно выделить три группы шин:

1.PADDR, PDATA - шины адреса команды и кода команды, используемые устройством управления при выборке команд;

2.DADDR1, DADDR2, DDATA - шины, используемые для адресации и передачи операндов;

3.DMA ADDR, DMA DATA - шины адреса и данных, используемые сопроцессором ПДП при обмене данными

# 1.2 Архитектура процессора TMS320C40

Общая структурная схема процессора TMS320C40 показана на рисунке 1.1.

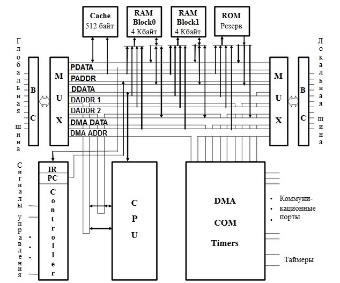


Рисунок 1.1 - Архитектура процессора TMS320C40

• PDATA - шина команд (32);

• PADDR - шина адреса команд (32);

• DDATA - шина операндов (32);

• DADDR1 - шина адреса 1-го операнда (32);

• DADDR2 - шина адреса 2-го операнда (32);

• DMA DATA - шина данных для операций ПДП (32);

• DMA ADDR - шина адреса для операций ПДП (32);

• Cache - кэш команд ;

• RAM Block0 - блок 0 внутренней оперативной памяти (1К Ч 32);

• RAM Block1 - блок 1 внутренней оперативной памяти (1К Ч 32);

• ROM - ПЗУ начальной загрузки;

• MUX - мультиплексоры внешних шин;

• Controller - блок управления процессора;

• CPU - центральное устройство обработки;

• DMA,COM,Timers - интегрированная периферия (сопроцессор ПДП, коммуникационные порты, таймеры);

• PC - программный счетчик;

• IR - регистр команды;

В процессоре можно выделить основные устройства:

• внутреннюю память, включающую кэш команд (Cache), два блока оперативной памяти (RAM Block0 и RAM Block1) и блок постоянной памяти (ROM), содержащий программу начальной загрузки (Boot Loader);

• устройство управления и блок выполнения команд (Controller);

• центральное устройство обработки (CPU), осуществляющее основные операции по обработке операндов и вычислению их адресов;

• блок встроенных периферийных устройств, включающий шесть коммуникационных восьмиразрядных параллельных портов, шестиканальный сопроцессор ПДП и два программируемых таймера.

# 1.3 Внутренняя и внешняя память

Процессор TMS320C40 имеет адресное пространство в 4G слов (4G × 32), которое является общим для памяти программ, памяти данных и портов ввода/вывода. Карта памяти управляется уровнем на входном контакте ROMEN и для различных значений этого сигнала показана на рисунке 1.2. Как видно из рисунка, сигналом ROMEN управляется только начальная зона адресного пространства величиной в 1М слов. В случае ROMEN=0 - это внешняя память, доступная процессору через локальную шину, в случае ROMEN=1 - это внутреннее ПЗУ, содержащее начальный загрузчик (адреса 00000000h - 00000FFFh), который используется при загрузке программ из внешнего ПЗУ или с одного из коммуникационных портов.

Следующие 1М слов используются для адресации внутренних периферийных устройств: таймеров, коммуникационных портов, регистров сопроцессора ПДП и регистров управления внешними шинами.

Следующие 1М слов используются внутренней сверхоперативной памятью, состоящей из двух блоков по 1К слов: блок 0 с адресами 002FF800h - 002FFBFFh и блок 1 с адресами 002FFC00h - 002FFFFFh. Каждый из блоков способен поддерживать два обращения в одном машинном цикле.

Адресное пространство 00300000h - 7FFFFFFFh принадлежит внешней локальной шине, а 80000000h-FFFFFFFFh - внешней глобальной шине. К шинам могут подключаться память или устройства ввода/вывода с различным быстродействием. При обращении в зону адресов 00000000h - 00300000h операций на локальной шине не производится (не вырабатывается строб шины), если ROMEN = 1. Если входной сигнал ROMEN = 0, на локальной шине производится передача данных при обращении по адресам 00000000h - 000FFFFFh. Каждая шина содержит два набора сигналов, управляющих передачей данных по шине (называемых STRB0 и STRB1), и набор сигналов, управляющих доступом (в случае разделяемой памяти в МП системах).

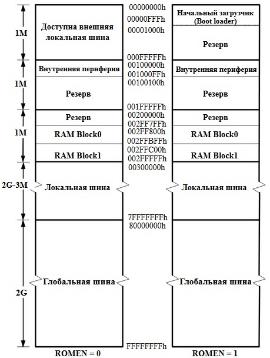


Рисунок 1.2 - Карта памяти процессора TMS320C40

Логика работы каждой шины определяется собственным регистром управления, в котором программируется адресное пространство, размер страницы памяти, режим формирования сигнала готовности и количество тактов ожидания (0-7) для каждого из стробов STRB0 и STRB1. Адреса регистров управления внешними шинами: 0010 0000h - регистр управления глобальной шиной (GMICR).

# 1.4 Регистры устройства обработки

Основной набор регистров (или регистровый файл) центрального устройства обработки (CPU) содержит 32 регистра (таблица 1.1).

Таблица 1.1 Основной набор регистров процессора TMS320C40

|  |  |
| --- | --- |
| Имя регистра | Функциональное назначение регистра |
| R0 - R11 | Регистры повышенной точности 0 - 11 |
| AR0 - AR7 | Вспомогательные регистры 0 - 7 |
| DP  IR0  IR1  BK  SP | Указатель страницы памяти данных  Индексный регистр 0  Индексный регистр 1  Регистр размера блока  Системный указатель стека |
| ST | Регистр состояния центрального устройства обработки |
| DIE  IIE  IIF | Разрешение прерываний сопроцессора ПДП  Разрешение внутренних прерываний  Регистр управления контактами IIOF |
| RS  RE  RC | Начальный адрес блока повторений  Конечный адрес блока повторений  Счетчик блока повторений |

Регистры повышенной точности R0-R11 могут хранить 32-разрядные целые операнды или 40-разрядные операнды с ПТ.

Вспомогательные регистры AR0-AR7 доступны из CPU и модифицируются двумя АЛУ вспомогательных регистров ARAU0 и ARAU1. Их основное назначение- формирование 32-разрядных адресов операндов в методах косвенной адресации. Могут быть использованы как счетчики цикла или регистры временного хранения промежуточных 32-разрядных результатов операций множителя или центрального АЛУ.

Указатель страницы памяти данных DP- 32-разрядный регистр, в котором 16 младших бит используются для указания адреса страницы в режиме прямой адресации.

Индексные регистры IR0, IR1 используются арифметическими устройствами вспомогательных регистров ARAU при вычислении адреса в косвенных методах адресации.

Регистр размера блока BK используется арифметическими устройствами вспомогательных регистров ARAU при вычислении адреса в циклической адресации.

Системный указатель стека SP- 32-разрядный адрес верхушки стека. Всегда содержит адрес последнего элемента, записанного в стек. Автоматически увеличивается на единицу при записи и уменьшается при считывании.

Регистр состояния процессора ST- 32-разрядный регистр, содержащий флаги операций CPU, биты управления кэш-памятью команд, прерываниями и некоторые другие биты управления и состояния.

Регистр разрешения прерываний сопроцессора ПДП DIE разделен на шесть полей, которые определяют, какие прерывания могут быть использованы для управления синхронизацией ПДП передач для каждого из каналов сопроцессора ПДП

Регистр разрешения внутренних прерываний IIE определяет разрешение/запрет внутренних прерываний для CPU. К внутренним относятся прерывания: от внутренних таймеров, от коммуникационных портов, от сопроцессора ПДП. Бит регистра, установленный в единицу разрешает соответствующее прерывание, сброшенный в нуль - запрещает. Сигналом RESET регистр обнуляется.

Регистр управления контактами IIOF - регистр IIF определяет использование внешних контактов процессора IIOF0-IIOF3, дополнительно содержит флаги прерываний таймеров TINT, сопроцессора ПДП DMAINT и немаскируемого прерывания NMI

Флаги прерываний TINT1, TINT0, DMAINT5 - DMAINT0, NMI устанавливаются в единицу, если фиксируется прерывание по соответствующему каналу. Каждый из четырех контактов IIOF3-IIOF0 управляется четырьмя битами:

* FUNC - режим работы контакта:
* FUNC=0 - входной/выходной контакт
* FUNC=1 - входной контакт прерывания;
* TYPE - тип функции контакта:
* FUNC=0 и TYPE=0 - контакт входной,
* FUNC=0 и TYPE=1 - контакт выходной,
* FUNC=1 и TYPE=0 - запрос прерывания фронтом,
* FUNC=1 и TYPE=1 - запрос прерывания уровнем;
* FLAG - флаг контакта:
* если FUNC=0 и TYPE=0 - значение сигнала на контакте (только чтение),
* если FUNC=0 и TYPE=1 - значение сигнала на контакте (чтение-запись),
* если FUNC=1, флаг определяет наличие прерывания, программная запись в этот бит позволяет имитировать программно-внешнее прерывание;
* EIIOF - разрешение прерывания:
* EIIOF=0 - прерывание запрещено,
* EIIOF=1 - разрешено.

Регистр начального адреса блока повторений RS содержит начальный адрес памяти программ при работе CPU в режиме повтора блока.

Регистр конечного адреса блока повторений RE хранит конечный адрес памяти программ при работе CPU в режиме повтора блока.

Счетчик повторений RC определяет число повторов блока или одиночной команды. Число повторов блока или команды определяется как N+1, где N - константа, загруженная в регистр RC.

Регистры, не входящие в основной регистровый файл:

Программный счетчик PC содержит адрес следующей команды, которая должна выбираться из программной памяти. Поскольку он не является частью основного регистрового файла, может быть модифицирован любой командой, управляющей выполнением программы, независимо от текущей операции в CPU.

Указатель таблицы векторов аппаратных прерываний IVTP и указатель таблицы векторов программных прерываний TVTP содержат базовые адреса таблицы векторов аппаратных и программных прерываний соответственно. Таблицы векторов могут перекрываться, но должны выравниваться на границу 512 слов, т.е. младшие девять разрядов в регистрах IVTP и TVTP должны всегда записываться нулями. По сигналу сброса в эти регистры записываются нулевые значения.

Таблица 1.2 Таблица векторов программных прерываний

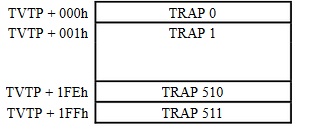
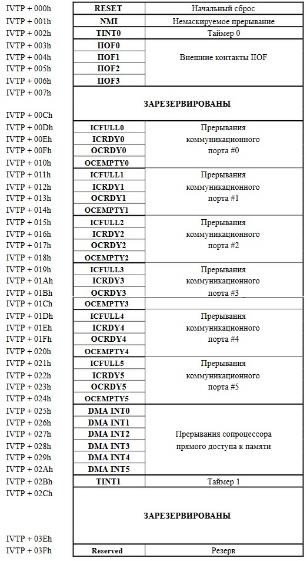


Таблица 1.3 Таблица векторов аппаратных прерываний



# 1.5 Встроенная периферия

Процессор TMS320C40 имеет встроенные периферийные устройства:

* шесть коммуникационных параллельных портов для связи с другими процессорами или внешними устройствами ( Com Port );
* два 32-разрядных таймера ( Timer );
* сопроцессор прямого доступа к памяти ( DMA Coprocessor ).

Структурная схема интегрированной периферии приведена на рисунке 1.3. Внутренние периферийные устройства процессора TMS320C40 связаны с двумя специальными шинами: периферийной шиной данных (PDB) и периферийной шиной адреса (PAB), которые через мультиплексор MUX доступны из основного набора шин процессора. Сопроцессор ПДП имеет доступ и к основному набору шин (DMA DATA, DMA ADDR) и к шинам периферии. Регистры всех встроенных периферийных устройств адресуются как ячейки памяти.

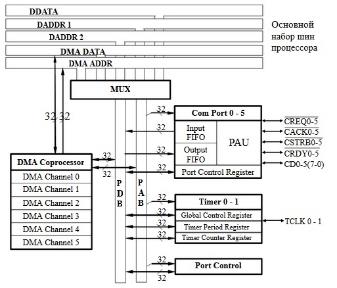


Рисунок 1.3 - Интегрированная периферия

Процессор TMS320C40 содержит шесть идентичных высокоскоростных коммуникационных портов, каждый из которых обеспечивает двунаправленный параллельный полудуплексный интерфейс с другими процесcорами или внешней периферией. Внутренняя архитектура одного порта показана на рисунке 1.4. Каждый коммуникационный порт содержит следующие компоненты:

Входной канал - восьмиуровневый 32-разрядный буфер FIFO (первым пришел - первым вышел) со схемами управления и состояния для приема данных, поступающих с внешней шины порта.

Выходной канал - восьмиуровневый 32-разрядный буфер FIFO для временного хранения данных, передаваемых на внешнюю шину порта;

Арбитр порта - устройство, определяющее использование внешней шины порта (направление передачи данных);

Регистр управления коммуникационным портом

Коммуникационный порт взаимодействует с внешним устройством или коммуникационным портом другого процессора с использованием 8-разрядной шины данных CxD(0-7) и двунаправленных сигналов управления CREQx, CACKx, CSTRBx, CRDYx.

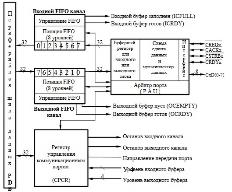


Рисунок 1.4 - Архитектура коммуникационного порта

Встроенный сопроцессор прямого доступа к памяти ПДП (DMA) поддерживает шесть каналов, обеспечивающих передачу данных без захвата основного процессора.

Сопроцессор имеет собственные шины адреса и данных доступ к которым любого из шести каналов определяется собственным арбитром сопроцессора.

Процессор TMS320C40 имеет два 32-разрядных внутренних таймера/счетчика событий. С каждым таймером связаны три регистра, адреса которых представлены в таблице 1.4. Таймер работает в одном из двух режимов - генератор импульса или генератор меандра. Режим работы таймера задается битом C/P в регистре управления.

Таблица 1.4 Адреса регистров таймеров

|  |  |  |
| --- | --- | --- |
| Регистры | Адреса | |
| Таймер 0 | Таймер 1 |
| Управления | 0010 0020 h | 0010 0030 h |
| Счетчика | 0010 0024 h | 0010 0034 h |
| Периода | 0010 0028 h | 0010 0038 h |

# 2 ПРАКТИЧЕСКАЯ ЧАСТЬ

В практической части используется программа C4x Simulator Composer.

Целью практической части данной курсовой работы заключается рассмотрение команды ADDC3 и написание программы используя ее.

Описание команды:

Сложение целых с переносом (3 операнда).

Операция:

src + src2 + C → Dreg.

Данная команда позволяет сложить вместе источник 1, источник 2 и бит передачи, и сохраните сумму в регистре адресата. Операнды представляют собой целые числа со знаком.

Использование данной программы можно увидеть в написанной программе. Алгоритм которой отображен на рисунке 2.1. Результат программы можно увидеть на рисунке 2.2.

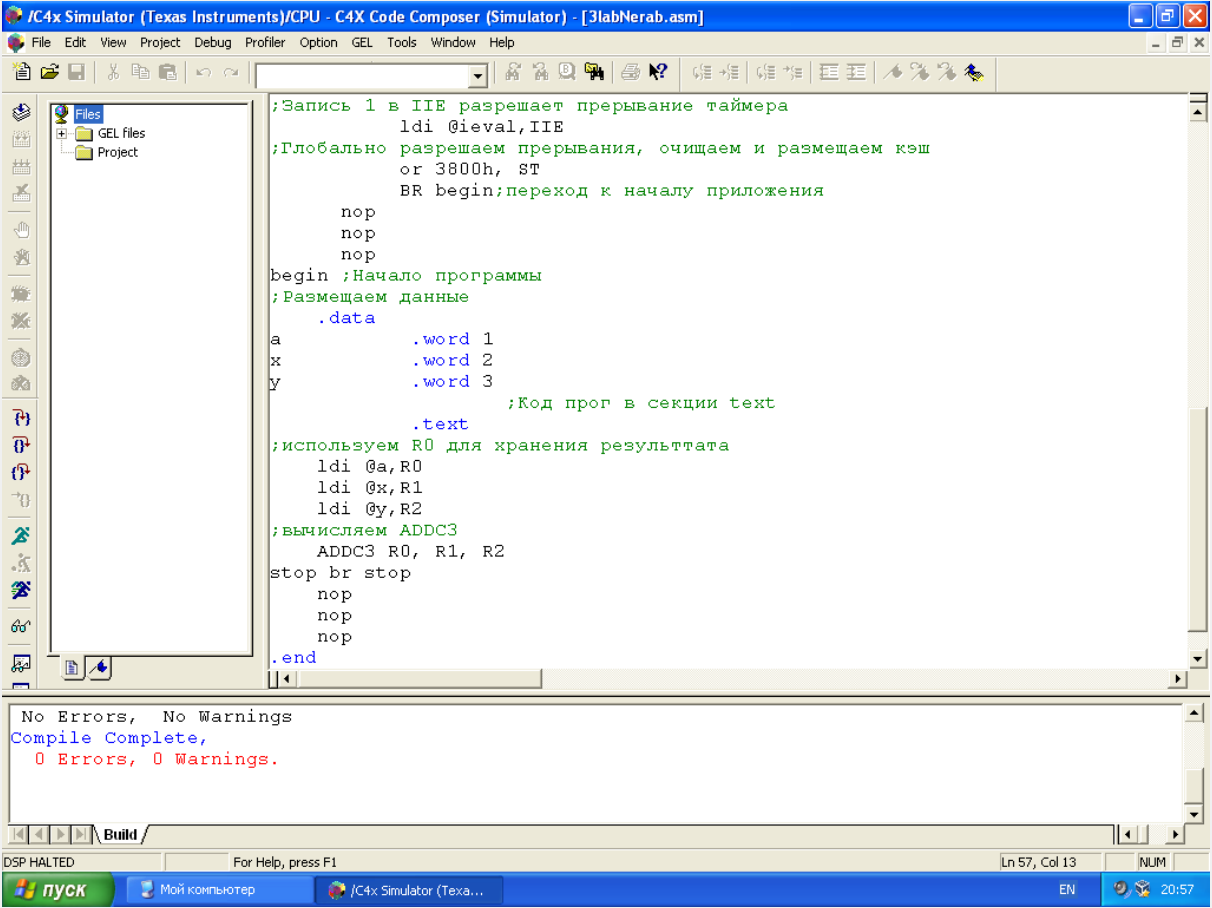


Рисунок 2.2 – Результат программы



Рисунок 2.1 – Алгоритм программы

Ниже приведен пример кода, написанной программы:

\_myvect .sect"myvect" ;Созданем секцию для векторов прерываний

reset .word \_c\_int00 ;RESET вектор

.space 1 ;Резервируем место для NMI прерывания

\_mytrap .sect"mytrap" ;Секция для векторов программных прерываний

\_mystack .usect"mystrack",100 ;Резервируем 100 слова под стек

.text

stacka .word \_mystack ;адрес mystrack секции

ivta .word \_myvect ;адрес myvect секции

tvta .word \_mytrap ;адрес mytrap секции

ieval .word 1 ;значения регистра разрешения прерываний

gctrl .word 1EF78000h ;значение регистра управления памятью

lctrl .word 1EF78000h ;значение регистра управления памятью

mctrla .word 100000h ;адрес регистра управления глобольной памятью

\_c\_int00: ;точка входа в программу, при reset начинаем отсюда

; Инициализация регистра DP

ldp stacka;

;Устанавливаем указатель на таблицу прерываний

ldi@ivta, AR0

ldpe AR0, IVTP;

;Устанавливаем укзатель на таблицу программных прерываний

ldi@tvta, AR0

ldpe AR0,TVTP

;Иницилизирум трегистр управления глобольной паматью

ldi@mctrla, AR0

ldi @gctrl,R0

sti R0, \*AR0

;Инициализируем регистр управления локальной памятью

ldi@lctrl, R0

sti R0, \*+AR0(4)

;Инициализируем указатель стека

ldi@stacka, SP

;Инициализируем регистр разрешения прерываний

;Запись 1 в IIE разрешает прерывание таймера

ldi @ieval,IIE

;Глобально разрешаем прерывания, очищаем и размещаем кэш

or 3800h, ST

BR begin ;переход к началу приложения

nop

nop

nop

begin ;Начало программы

;Размещаем данные

.data

a .word 1

x .word 2

y .word 3

;Код прог в секции text

.text

ldi @a,R0

ldi @x,R1

ldi @y,R2

;вычисляем ADDC3

ADDC3 R0, R1, R2

stop br stop

nop

nop

nop

.end

# ЗАКЛЮЧЕНИЕ

В ходе выполнения теоретической части курсовой работы был рассмотрен сигнальный микропроцессор TMS320C40. Также была рассмотрена его архитектура, внутренняя и внешняя память и регистры устройства обработки.

В практической части курсовой работы была изучена команда ADDC3. Используя эту команду была разработана программа и описание к ней

# СПИСОК ЛИТЕРАТУРЫ

1. TMS320C4x User’s Guide (SPRU063A). – Dallas, Texas: Texas In-struments, Inc., 1994.– 712 p. (дата обращения 25.12.2022)

2. Процессор TMS320c4x. Архитектура. Программирование – Кузин А.А., Н.Новгород, 2012. (дата обращения 25.12.2022)

3. Цифровые сигнальные процессоры - Марков С. 1996. - 144 с. (дата обращения 19.12.2022).

4. Цифровые сигнальные процессоры: сигналы, архитектура, основные элементы. Учебно-методическое пособие - Гумеров Р.И. Казань. 2009.- 83 с. (дата обращения 17.12.2022)

5. TMS320C4x C Source Debugger (SPRU054).– Dallas, Texas: Texas Instruments, Inc., 1992.– 344 p. (дата обращения 24.12.2022)