Министерство науки и высшего образования Российской Федерации

Федеральное государственное бюджетное образовательное

учреждение высшего образования

«Воронежский государственный лесотехнический университет

имени Г.Ф. Морозова»

Базовая кафедра технического и программного обеспечения вычислительных и информационных систем

(название кафедры)

**Пояснительная записка**

Обзор микропроцессора TMS320c40

(тема)

09.03.02 Информационные системы и технологии

(код и наименование направления подготовки)

По дисциплине «Программирование микропроцессоров»

|  |  |  |
| --- | --- | --- |
| Студент группы ИС2-191-ОБ  (номер группы)  Руководитель, \_\_\_\_\_\_\_\_\_\_\_\_  (ученая степень, ученое звание) | \_\_\_\_\_\_\_\_\_\_\_  (подпись)  \_\_\_\_\_\_\_\_\_\_  (подпись) | В.А, Величко  (инициалы и фамилия)  А.В. Полуэктов  (инициалы и фамилия) |

Воронеж 2022

ОГЛАВЛЕНИЕ

[ВВЕДЕНИЕ 3](#_Toc124465918)

[1 ТЕОРЕТИЧЕСКАЯ ЧАСТЬ 4](#_Toc124465919)

[1.1 Процессор TMS320C40 4](#_Toc124465920)

[1.2 Архитектура процессора TMS320C40 5](#_Toc124465921)

[1.3 Внутренняя и внешняя память 7](#_Toc124465922)

[1.4 Регистры устройства обработки 8](#_Toc124465923)

[1.5 Встроенная периферия 13](#_Toc124465924)

[2 ПРАКТИЧЕСКАЯ ЧАСТЬ 17](#_Toc124465925)

[ЗАКЛЮЧЕНИЕ 21](#_Toc124465926)

[СПИСОК ЛИТЕРАТУРЫ 22](#_Toc124465927)

# ВВЕДЕНИЕ

Процессорами цифровой обработки сигналов или сигнальными процессорами называют процессоры, архитектура и система команд которых ориентирована на быстрое выполнение программ, реализующих определенный класс алгоритмов, а именно алгоритмов цифровой обработки сигналов (ЦОС) (цифровая фильтрация, свертка, корреляция, преобразование Фурье, адаптивная фильтрация, обработка радиолокационной и гидроакустической информации, обработка изображений, анализ и синтез речи и т.д., и т.п.).

Несмотря на разнообразие архитектур, можно выделить следующие ключевые особенности сигнальных процессоров:

* характерная для ЦОС операция умножения с накоплением, выполняемая за один процессорный цикл;
* конвейерное выполнение команды;
* раздельные память программ и память данных (или память с множественным доступом), что позволяет процессору извлекать
* команду и операнд в одном машинном цикле;
* основной операционный блок, осуществляющий любую операцию за один машинный цикл;
* вспомогательные арифметические блоки для вычисления адресов операндов за один машинный цикл.

Применение сигнальных процессоров разнообразно - от встроенных микроконтроллеров в приборы бытового назначения до больших (до нескольких тысяч микропроцессоров) мультипроцессорных систем общего назначения. Мы ограничимся рассмотрением мультипроцессорных систем для решения специфической задачи - обработки радиолокационной информации. Как правило, такая система содержит несколько десятков процессоров и работает в условиях жестких временных ограничений. К семейству сигнальных микропроцессоров относится TMS320C40.

# 1 ТЕОРЕТИЧЕСКАЯ ЧАСТЬ

# 1.1 Процессор TMS320C40

Процессор TMS320C40 - высокопроизводительный процессор фирмы Texas Instruments, предназначенный для применения в системах цифровой обработки сигналов.

Основные характеристики:

•цикл команды 50нс для тактовой частоты 40 МГц;

•разрядность операндов 32 бита;

•производительность до 275 MOPS (миллионов операций в секунду);

•одно цикловые операции с плавающей точкой 40/32 бита;

•скорость обмена данными через встроенные порты ввода/вывода до 100 Мб/с;

•максимальный адресуемый объем памяти 16 Gb (4G×32);

•встроенные коммуникационные порты до 20 Мб/с;

•встроенный сопроцессор прямого доступа к памяти (ПДП) до 75MOPS;

•внутренний кэш команд на 512байт;

•внутреннее ОЗУ 8 Кбайт.

Внутренняя структура процессора базируется на семи 32-разрядных шинах, что позволило достичь высокой степени параллелизма при выполнении команды. Водном машинном цикле выполняется 11 операций.

В центральном устройстве обработки выполняется:

•два доступа к данным;

•одно умножение с плавающей точкой;

•одна операция АЛУ;

•две модификации адресных регистров;

•одно изменение счетчика повторов;

•одна выборка команды.

В сопроцессоре ПДП выполняется:

•одна передача данных;

•одна модификация адресного регистра;

•одна модификация счетчика передаваемых слов.

В процессоре можно выделить три группы шин:

1.PADDR, PDATA - шины адреса команды и кода команды, используемые устройством управления при выборке команд;

2.DADDR1, DADDR2, DDATA - шины, используемые для адресации и передачи операндов;

3.DMA ADDR, DMA DATA - шины адреса и данных, используемые сопроцессором ПДП при обмене данными

# 1.2 Архитектура таймеров TMS320C40

Процессор TMS320C4x имеет два 32-разрядных внутренних тайме-

ра/счетчика событий, структура которых показана на рис.1. С каждым тай-

мером связаны три регистра, адреса которых представлены в табл.1. Таймер

работает в одном из двух режимов - генератор импульса или генератор меанд-

ра. Режим работы таймера задается битом C/P в регистре управления (табл. 2). Синхронизация таймера осуществляется либо внутренними синхроимульсами (СИ) с частотой вдвое ниже основной рабочей частоты процессора H1 (12,5 МГц или 10 МГц), либо внешними синхроимпульсами с частотой, не превышающей внутреннюю. Выбор вида синхронизации осуществляется селектором входных синхроимпульсов, управляемым битом CLKSRC. В режиме внутренней синхронизации счетчик таймера переключается нарастающим фронтом СИ, в режиме внешней синхронизации - нарастающим фронтом СИ при INV=0, и спадающим фронтом СИ при INV=1.

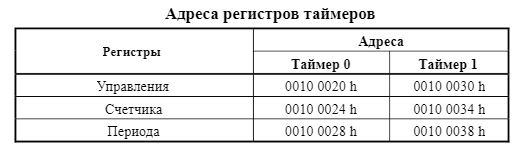
С каждым таймером связан контакт TCLK, работу которого определяют

биты 0-3 регистра управления. При FUNC = 0 контакт TCLK используется как

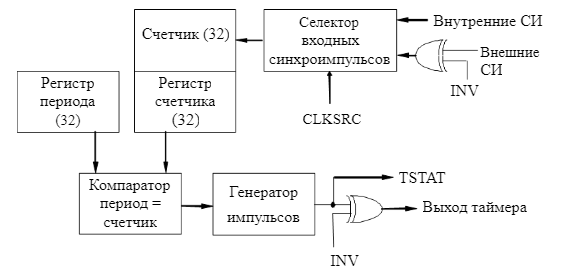
контакт общего назначения, при этом, если он сконфигурирован как входной

(I/O=0), то состояние контакта может быть прочитано в регистре управления

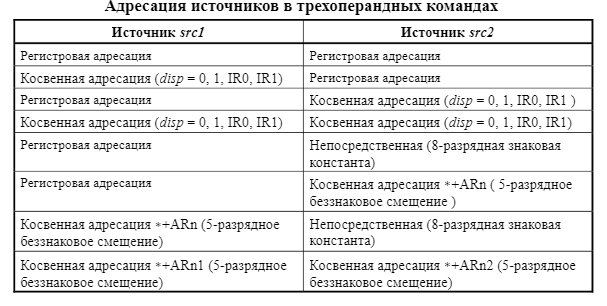
бит DATIN, если же контакт является выходным (I/O=1), то его состояние можно изменять программно, используя бит DATOUT регистра управления.



**Таблица 1**



**Рис. 1. Структура внутреннего таймера**

****

**Таблица 2**

# 1.3 Режимы таймера

Таймер имеет четыре операционных режима, определяемых комбинацией

битов управления CLKSRC, FUNC и I/O, которые поясняются рис.2.

CLKSRC=1, FUNC=0(рис.2,а). Таймер работает от внутренних СИ,

контакт TCLK общего назначения, работа контакта TCLK определяется битом

I/O.

CLKSRC=1, FUNC=1 (рис.2,б). Таймер работает от внутренних СИ.

Выход таймера выдается на контакт TCLK (инвертируется при установке бита

INV=1) и может быть прочитан в бите DATIN регистра управления.

CLKSRC=0, FUNC=0 (рис.2,в). Работа таймера определяется битом

I/O регистра управления. При I/O=0 таймер работает от внешних СИ, посту-

пающих на контакт TCLK. Входные импульсы инвертируются при INV=1, со-

стояние сигнала TCLK может быть прочитано в бите DATIN регистра управле-

ния. При I/O=1 на контакт TCLK и на вход таймера подается содержимое бита

DATOUT регистра управления. Входной СИ таймера (бит DATOUT) не инвер-

тируется и может быть прочитан в бите DATIN регистра управления. В этом

операционном режиме счетчик таймера переключается переходом из 0 в 1 бита

DATOUT регистра управления.

CLKSRC=0, FUNC=1(рис.2,г). Таймер работает от внешних СИ, по-

ступающих на контакт TCLK. При INV=0 счетчик таймера переключается на-

растающим фронтом сигнала на контакте TCLK, при INV=1 - спадающим

фронтом сигнала на TCLK. Состояние контакта TCLK может быть прочитано в

бите DATIN регистра управления.

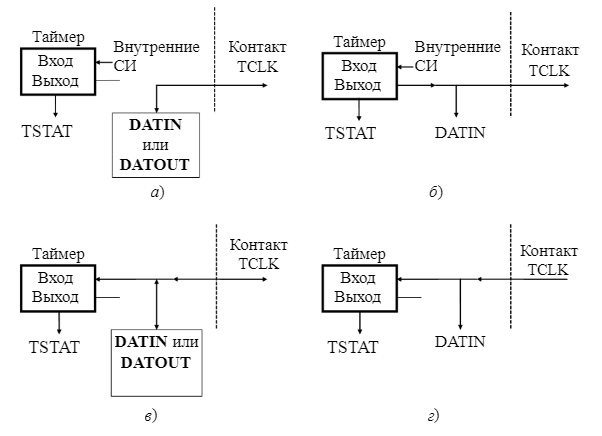


Рис.2. Операционные режимы таймера:

а - CLKSRC=1, FUNC=0; в - CLKSRC=0, FUNC=0;

б - CLKSRC=1, FUNC=1; г - CLKSRC=0, FUNC=1

Инициализация и запуск таймера осуществляются в следующей последо-

вательности:

• таймер останавливается записью битов GO=0 и HLD=0 в регистр управления;

• программируются регистр управления на требуемые режимы и вид синхро-

низации (с битами GO=0 и HLD=0), регистр счетчика и регистр периода на

требуемые значения;

• осуществляется запуск таймера записью битов GO=1 и HLD=1.

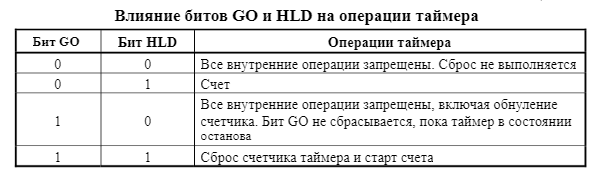


Таблица 3

# 1.4 Сигналы таймера

Счетчик таймера увеличивается на единицу каждым СИ. Если содержи-

мое счетчика становится равным содержимому регистра периода, счетчик обнуляется. В этом случае в режиме генератора импульсов на выходе таймера

TSTAT вырабатывается импульс длительностью в один период основной рабо-чей частоты процессора H1, а в режиме генератора меандра осуществляется пе-

реключение состояния выхода таймера TSTAT. Вследствие этого период вы-

ходных импульсов таймера в режиме генератора импульсов равен NTси (где Tси - период входных СИ таймера, N - содержимое регистра периода), а в режиме генератора меандра – 2NTси.

Примеры выходных сигналов TSTAT таймера в различных режимах и для

различных значений регистра периода показаны на рис.3. Внутренние пре-

рывания основного процесора или сопроцессора ПДП генерируются по нарас-

тающему фронту сигнала TSTAT.

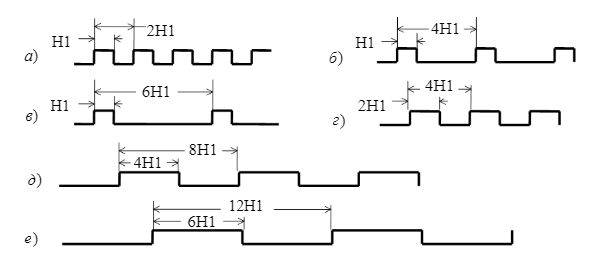


Рис. 3 Примеры выходных сигналов таймера:

а - генератор импульсов N=1 или генератор меандра N=0;

б - генератор импульсов N=2;

в - генератор импульсов N=3;

г, д, е - генератор меандра N=1,2,3 соответственно

(N - содержимое регистра периода)

# 2 ПРАКТИЧЕСКАЯ ЧАСТЬ

В практической части используется программа C4x Simulator Composer.

Целью практической части данной курсовой работы заключается рассмотрение команды ADDI3 || STI и написание программы используя ее.

Описание команды:

Сложить целые и сохранить целое (3 операнда).

Операция:

src1 + src2 → dst1 || src3 → dst2

Целочисленное сложение и сохранение целого производится параллельно. Все регистры считываются в начале и загружаются в конце цикла исполнения. Операнды представляют собой целые числа со знаком.

Использование данной программы можно увидеть в написанной программе. Алгоритм которой отображен на рисунке 2.1. Результат программы можно увидеть на рисунке 2.2.

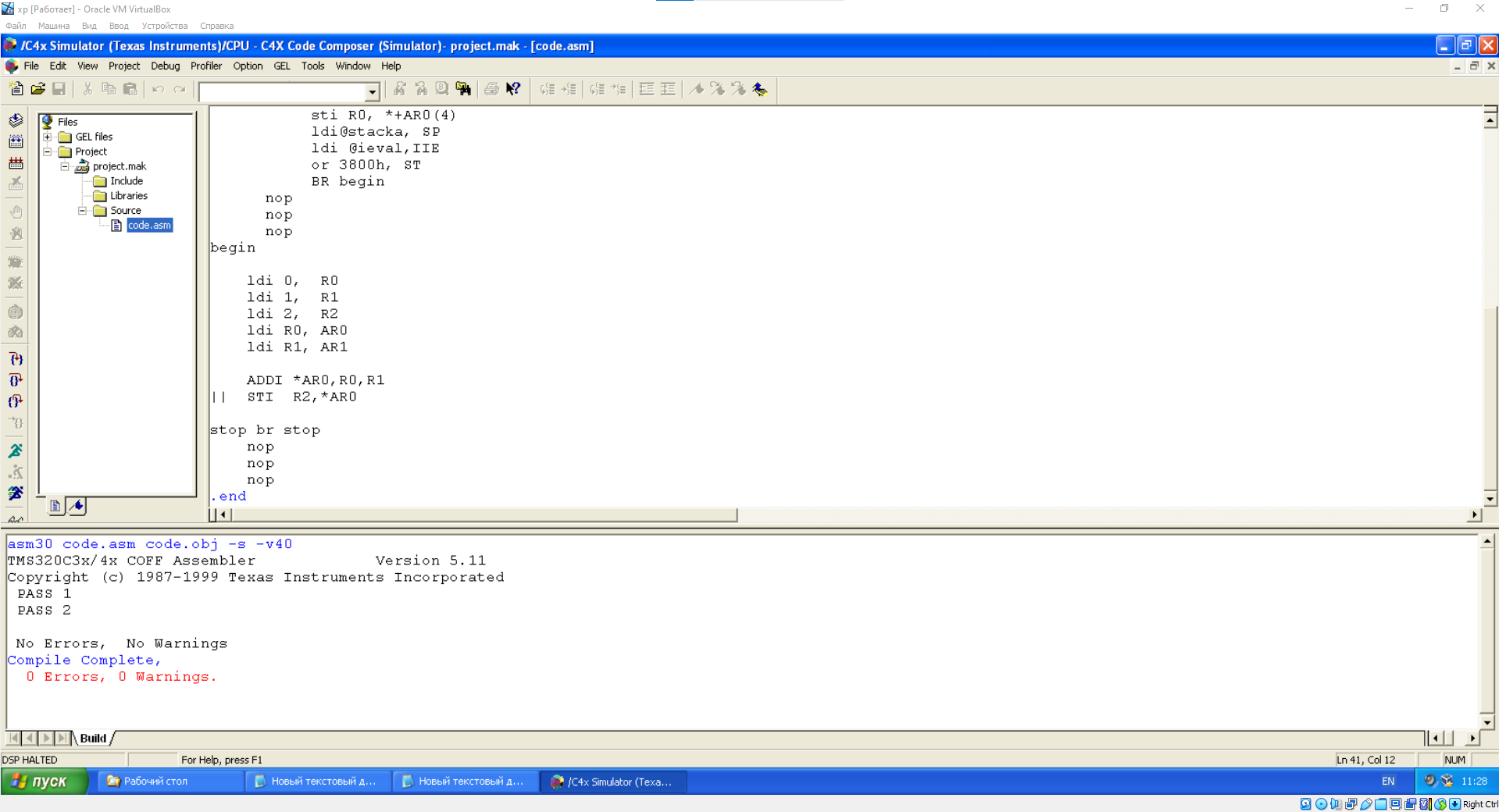


Рисунок 2.2 – Результат программы

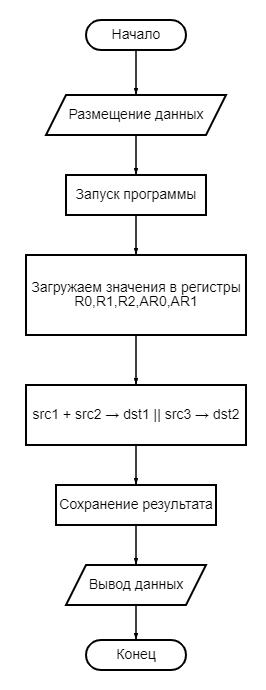


Рисунок 2.1 – Алгоритм программы

Ниже приведен пример кода, написанной программы:

\_myvect .sect"myvect" ;Созданем секцию для векторов прерываний

reset .word \_c\_int00 ;RESET вектор

.space 1 ;Резервируем место для NMI прерывания

\_mytrap .sect"mytrap" ;Секция для векторов программных прерываний

\_mystack .usect"mystrack",100 ;Резервируем 100 слова под стек

.text

stacka .word \_mystack ;адрес mystrack секции

ivta .word \_myvect ;адрес myvect секции

tvta .word \_mytrap ;адрес mytrap секции

ieval .word 1 ;значения регистра разрешения прерываний

gctrl .word 1EF78000h ;значение регистра управления памятью

lctrl .word 1EF78000h ;значение регистра управления памятью

mctrla .word 100000h ;адрес регистра управления глобольной памятью

\_c\_int00: ;точка входа в программу, при reset начинаем отсюда

; Инициализация регистра DP

ldp stacka;

;Устанавливаем указатель на таблицу прерываний

ldi@ivta, AR0

ldpe AR0, IVTP;

;Устанавливаем укзатель на таблицу программных прерываний

ldi@tvta, AR0

ldpe AR0,TVTP

;Иницилизирум трегистр управления глобольной паматью

ldi@mctrla, AR0

ldi @gctrl,R0

sti R0, \*AR0

;Инициализируем регистр управления локальной памятью

ldi@lctrl, R0

sti R0, \*+AR0(4)

;Инициализируем указатель стека

ldi@stacka, SP

;Инициализируем регистр разрешения прерываний

;Запись 1 в IIE разрешает прерывание таймер

ldi @ieval,IIE

;Глобально разрешаем прерывания, очищаем и размещаем кэш

or 3800h, ST

BR begin ;переход к началу приложения

nop

nop

nop

begin

; помещаем в значения в регистр

ldi 0, R0

ldi 1, R1

ldi 2, R2

ldi R0, AR0

ldi R1, AR1

; выполняем сложение и сохранение параллельно

ADDI \*AR0,R0,R1

|| STI R2,\*AR0

stop br stop

nop

nop

nop

.end

# ЗАКЛЮЧЕНИЕ

В ходе выполнения теоретической части курсовой работы был рассмотрен сигнальный микропроцессор TMS320C40. Также была рассмотрена его архитектура, внутренняя и внешняя память и регистры устройства обработки.

В практической части курсовой работы была изучена команда ADDC3. Используя эту команду была разработана программа и описание к ней

# СПИСОК ЛИТЕРАТУРЫ

1. TMS320C3x/C4x Assembly Language Tools User’s Guide 1997 (SPRU035C). – Dallas, Texas: Texas In-struments, Inc., (дата обращения 25.12.2022)

2. Процессор TMS320c4x. Архитектура. Программирование – Кузин А.А., Н.Новгород, 2012. (дата обращения 25.12.2022)

3. Цифровые сигнальные процессоры - Марков С. 1996. - 144 с. (дата обращения 19.12.2022).

4. Цифровые сигнальные процессоры: сигналы, архитектура, основные элементы. Учебно-методическое пособие - Гумеров Р.И. Казань. 2009.- 83 с. (дата обращения 17.12.2022)

5. TMS320C4x C Source Debugger (SPRU054).– Dallas, Texas: Texas Instruments, Inc., 1992.– 344 p. (дата обращения 24.12.2022)