

Báo cáo thực hành KTMT tuần 12

Họ và tên: Đỗ Gia Huy

MSSV: 20215060

Assignment 1

- Thực hiện từ bước 1 đến bước 7 với chương trình row:

Name	Number	Value
\$zero	0	0x0
\$at	1	0x0
\$v0	2	0x0
\$v1	3	0x0
\$a0	4	0x0
\$a1	5	0x0
\$a2	6	0x0
\$a3	7	0x0
\$t0	8	0x0
\$t1	9	0x0
\$t2	10	0x0
\$t3	11	0x0
\$t4	12	0x0
\$t5	13	0x0
\$t6	14	0x0
\$t7	15	0x0
\$s0	16	0x0
\$s1	17	0x0
\$s2	18	0x0
\$s3	19	0x0
\$s4	20	0x0
\$s5	21	0x0
\$s6	22	0x0
\$s7	23	0x0
\$t8	24	0x0
\$t9	25	0x0
\$k0	26	0x0
\$k1	27	0x0
\$gp	28	0x0
\$sp	29	0x0
\$fp	30	0x0
\$ra	31	0x0
\$pc		0x0
\$hi		0x0
\$lo		0x0

- Kết quả cuối cùng khi thực hiện từ bước 1 tới bước 7:

Name	Number	Value
\$zero	0	0x00
\$at	1	0x10
\$v0	2	0x00
\$v1	3	0x00
\$a0	4	0x00
\$a1	5	0x00
\$a2	6	0x00
\$a3	7	0x00
\$t0	8	0x00
\$t1	9	0x00
\$t2	10	0x00
\$t3	11	0x00
\$t4	12	0x00
\$t5	13	0x00
\$t6	14	0x00
\$t7	15	0x00
\$s0	16	0x00
\$s1	17	0x00
\$s2	18	0x00
\$s3	19	0x00
\$s4	20	0x00
\$s5	21	0x00
\$s6	22	0x00
\$s7	23	0x00
\$t8	24	0x00
\$t9	25	0x00
\$k0	26	0x00
\$k1	27	0x00
\$gp	28	0x10
\$sp	29	0x7f
\$fp	30	0x00
\$ra	31	0x00
\$pc		0x00
\$hi		0x00
\$lo		0x00

- Tỷ lệ cache hit rate cuối cùng: 75%. Vì với mỗi lần bỏ lỡ, một khối 4-word được ghi vào bộ đệm. Trong một đường truyền chính theo hàng,

các phần tử của ma trận là được truy cập theo cùng thứ tự chúng được lưu trữ trong bộ nhớ. Do đó, mỗi lần bỏ lỡ bộ đệm là theo sau là 3 lần truy cập vì 3 phần tử tiếp theo được tìm thấy trong cùng một khối bộ đệm. Tiếp theo là một lỗi khác khi ma trận trực tiếp ánh xạ tới khối bộ đệm tiếp theo và sau đó lặp đi lặp lại chính nó. Vì vậy, 3 trong số 4 lần truy cập bộ nhớ sẽ được giải quyết trong bộ đệm.

- Dự đoán, khi tăng blocksize từ 4 lên 8 thì tỉ lệ Cache hit rate là 87,5%, còn khi giảm blocksize từ 4 xuống 2 thì tỉ lệ Cache hit rate còn 50%
- Hiệu suất bộ đệm cũng bằng tỉ lệ Cache hit rate và bằng 75%
- Trường hợp chạy chương trình column:

Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy: **Direct Mapping** Number of blocks: **8**

Block Replacement Policy: **LRU** Cache block size (words): **4**

Set size (blocks): **1** Cache size (bytes): **128**

Cache Performance

Memory Access Count: **256** Cache Block Table (block 0 at top):

Cache Hit Count: **0** ☐ = empty

Cache Miss Count: **256** ☒ = hit ☒ = miss

Cache Hit Rate: **0%**

Runtime Log

☒ Enabled

```
trying block 3 tag 0x00200206 -- OCCUPIED
MISS due to FULL SET(256) address: 0x100103fc (tag 0x00200207)
trying block 7 tag 0x00200206 -- OCCUPIED
MISS due to FULL SET
```

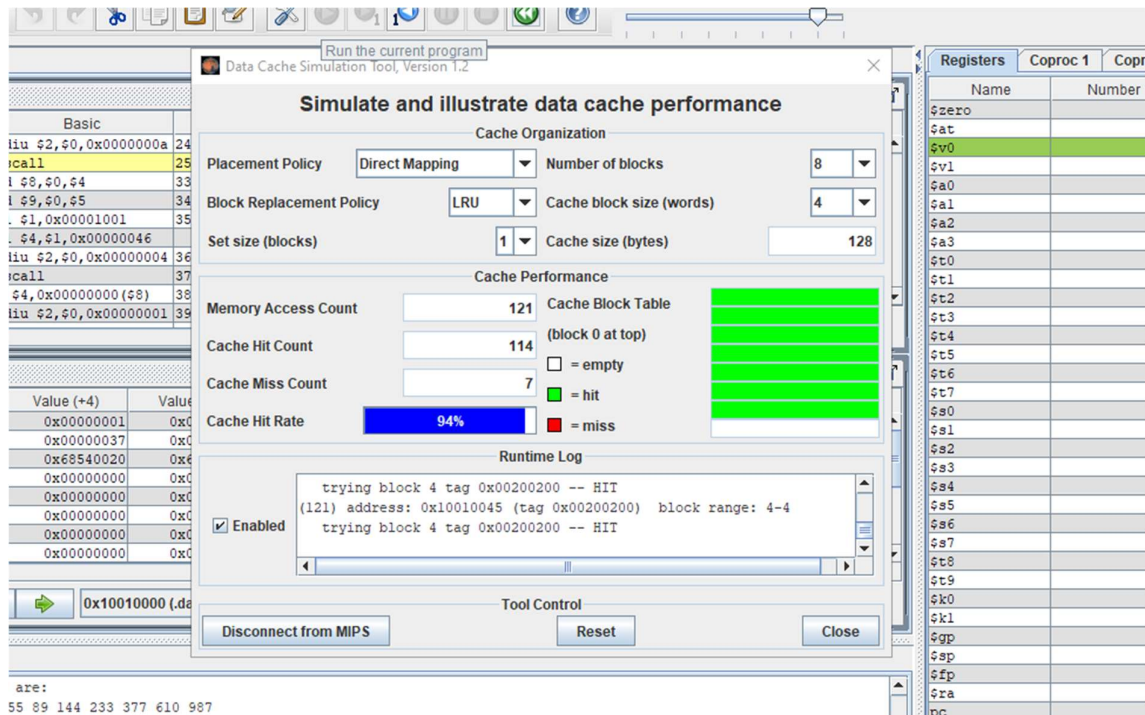
Tool Control

Disconnect from MIPS Reset Close

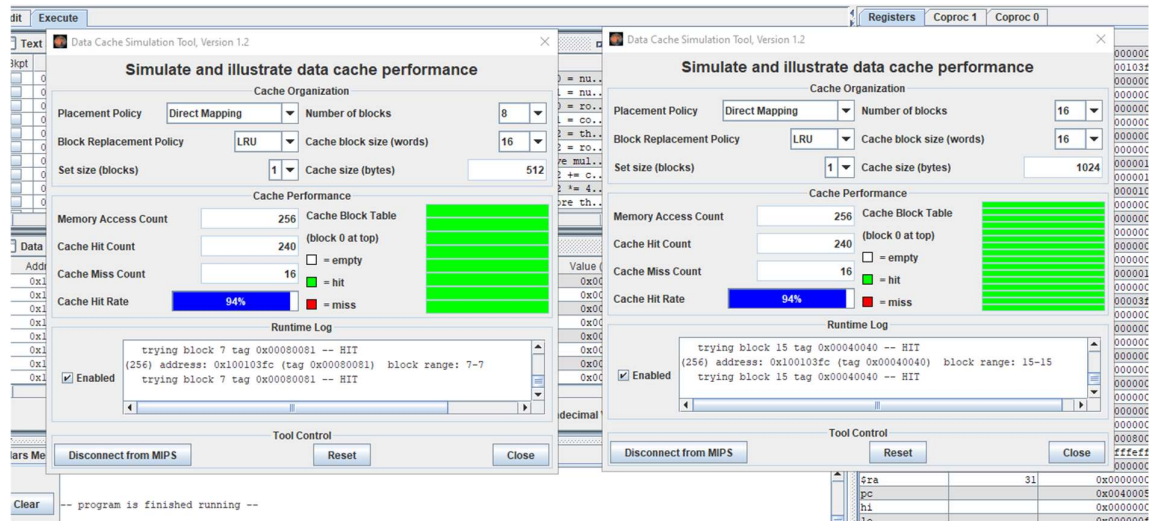
Registers

Name	Number
\$zero	0
\$at	1
\$v0	2
\$v1	3
\$a0	4
\$a1	5
\$a2	6
\$a3	7
\$t0	8
\$t1	9
\$t2	10
\$t3	11
\$t4	12
\$t5	13
\$t6	14
\$t7	15
\$s0	16
\$s1	17
\$s2	18
\$s3	19
\$s4	20
\$s5	21
\$s6	22
\$s7	23
\$t8	24
\$t9	25
\$k0	26
\$k1	27
\$gp	28
\$sp	29
\$fp	30
\$ra	31

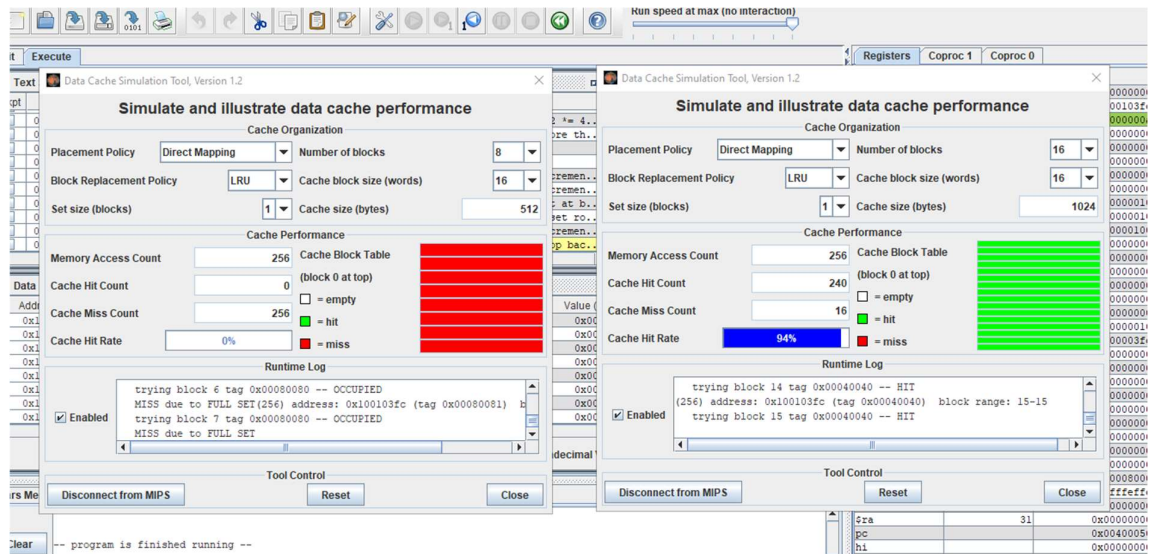
- Khi chạy chương trình column, tỉ lệ Cache hit rate là 0%, suy ra hiệu suất bộ nhớ đệm cũng là 0%
- Trường hợp chạy chương trình Fibonacci:



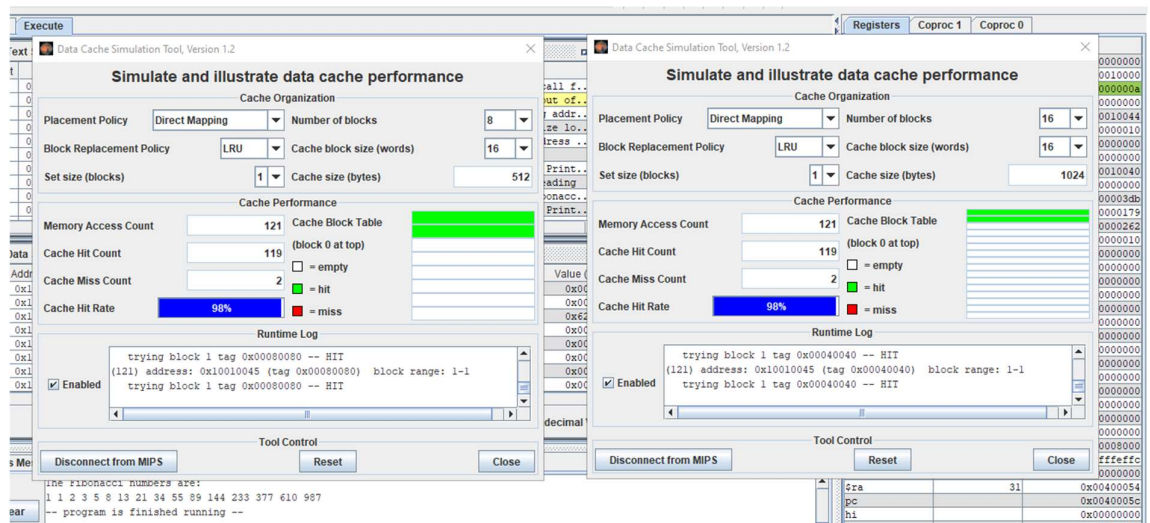
- Khi chạy chương trình Fibonacci, hiệu suất bộ nhớ đệm là 94%
- Thực hiện từ bước 13 đến bước 15 (Trong các ảnh kết quả, cửa sổ data cache bên trái là bản gốc, cửa sổ data cache bên phải là bản mới):
- Khi chạy chương trình row:



- Khi chạy chương trình column:

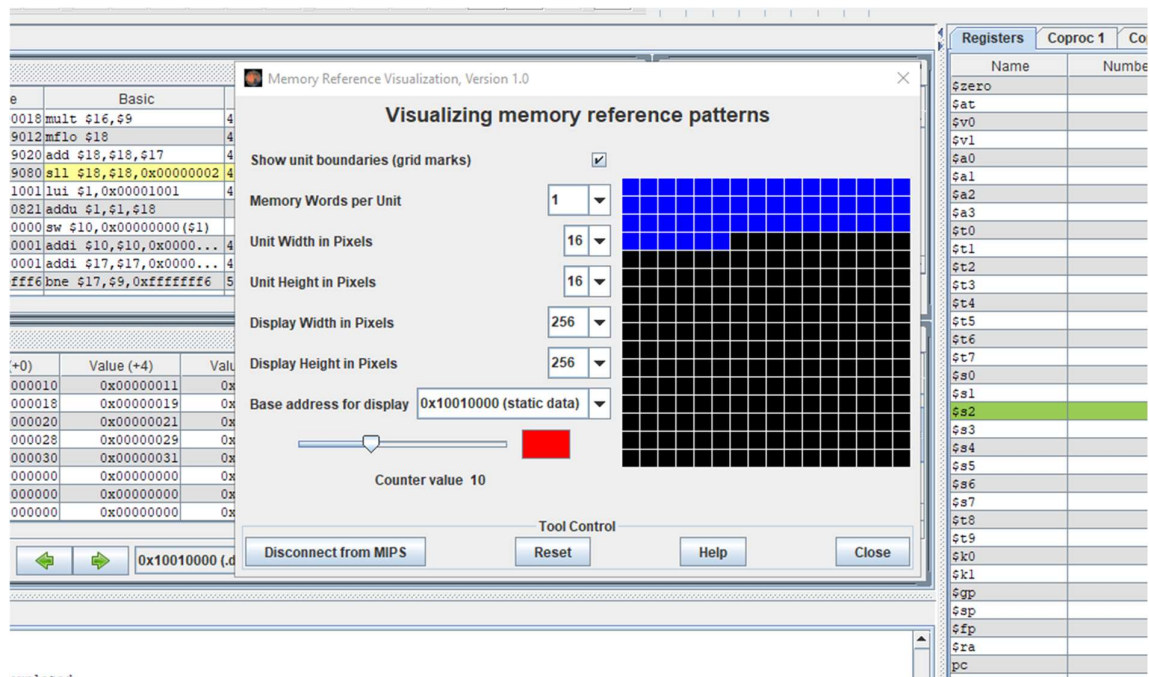


- Khi chạy chương trình Fibonacci:

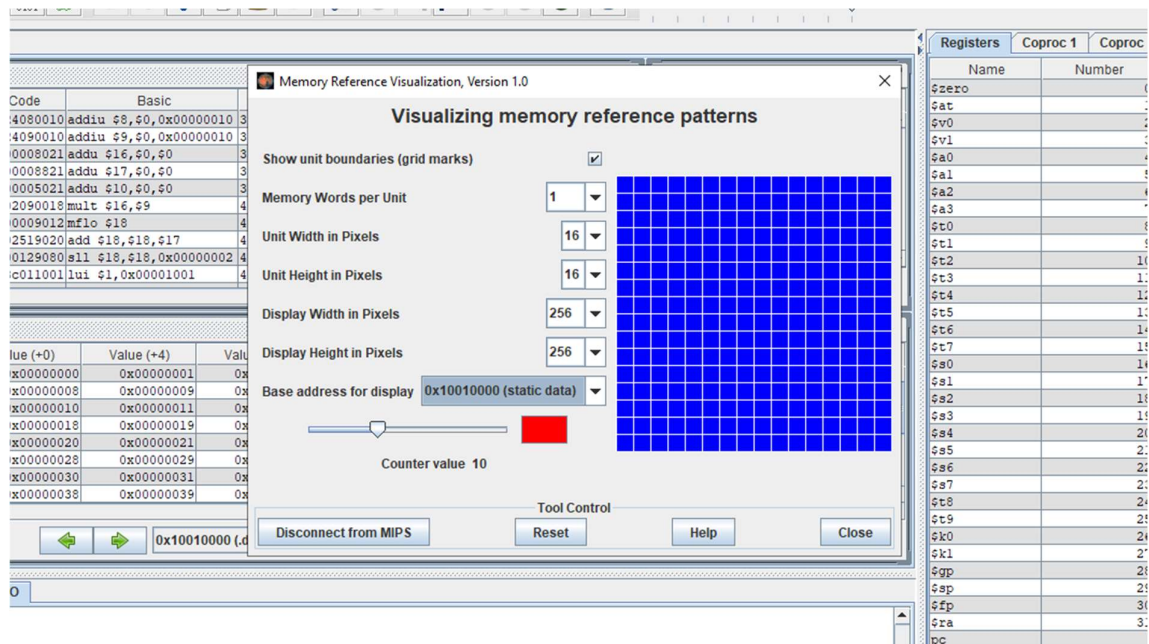


Assignment 2

- Với chương trình row:
- Khi đang thực thi:

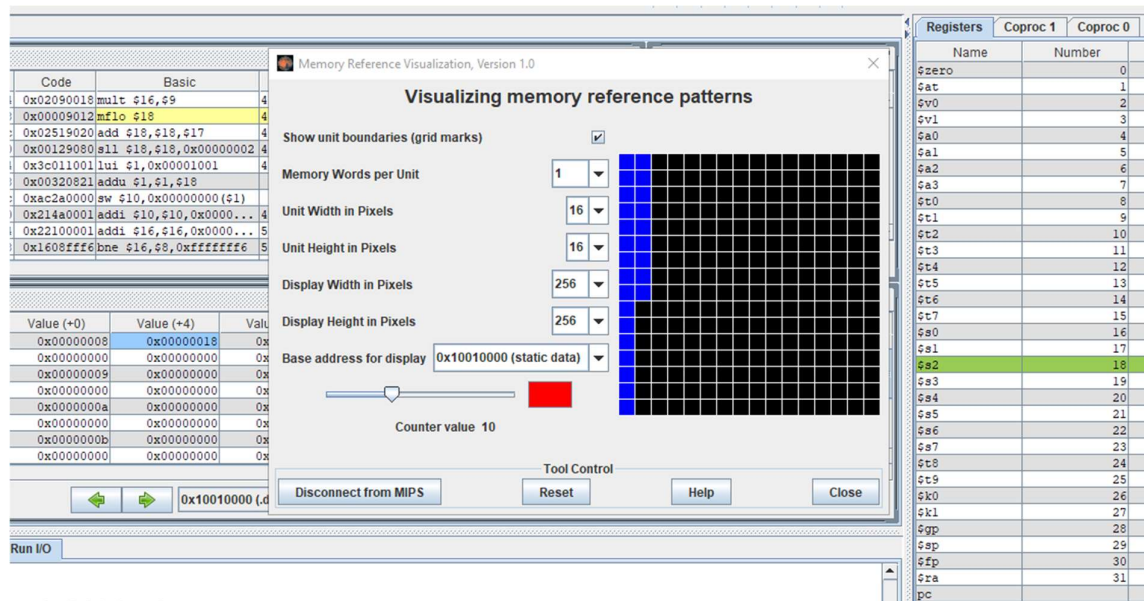


- Khi đã thực thi xong:

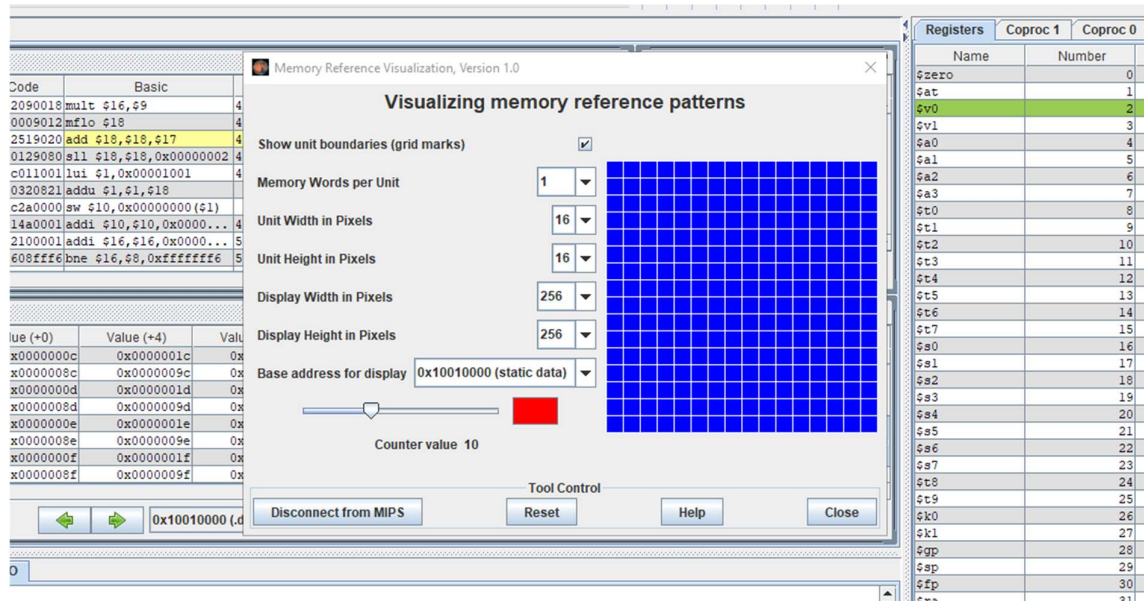


• Với chương trình column:

- Khi đang thực thi:

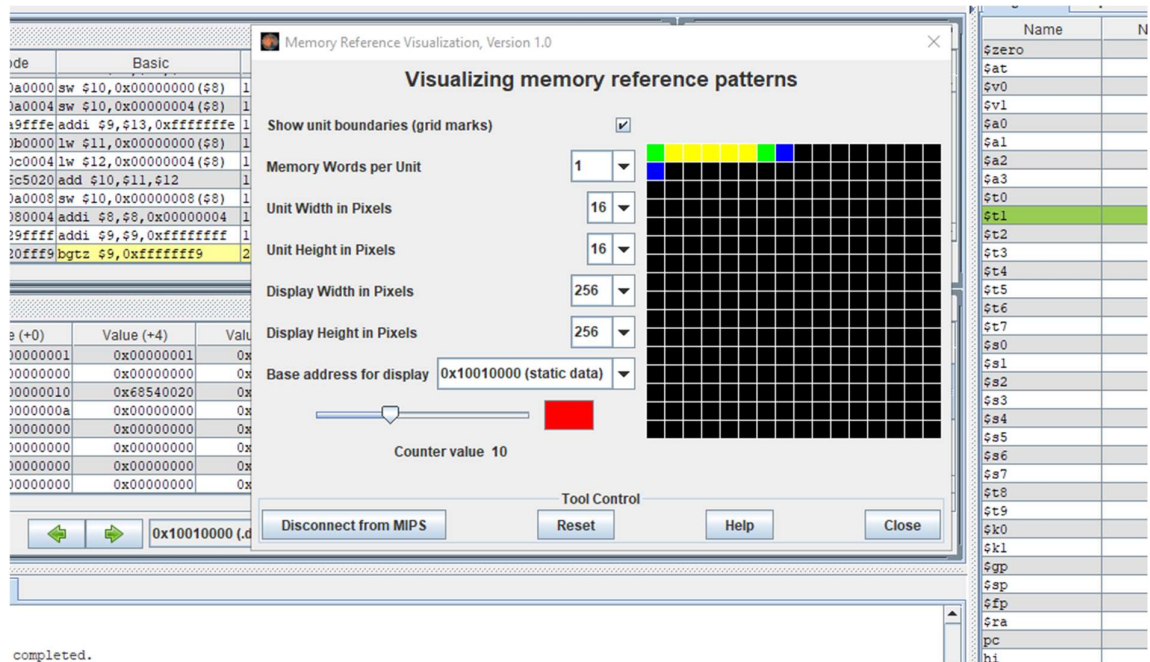


- Khi đã thực thi xong:



• Với chương trình Fibonacci:

- Khi đang thực thi:



completed.

- Khi đã thực thi xong:

