

Arquitectura de Computadoras

(Cód. 5561)
1° Cuatrimestre 2018

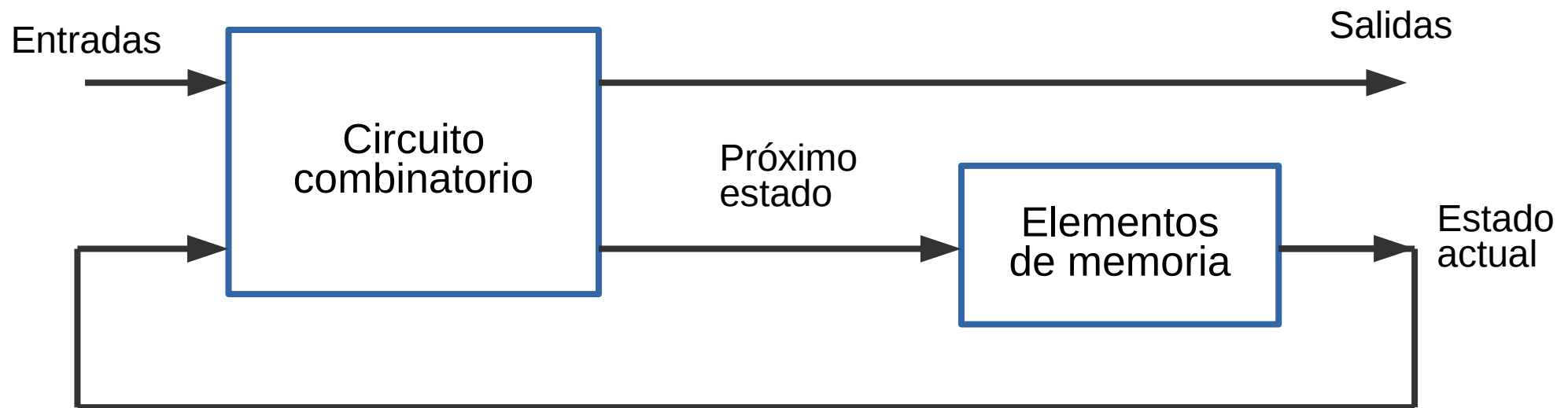
Dra. Dana K. Urribarri
DCIC - UNS

Circuitos Secuenciales

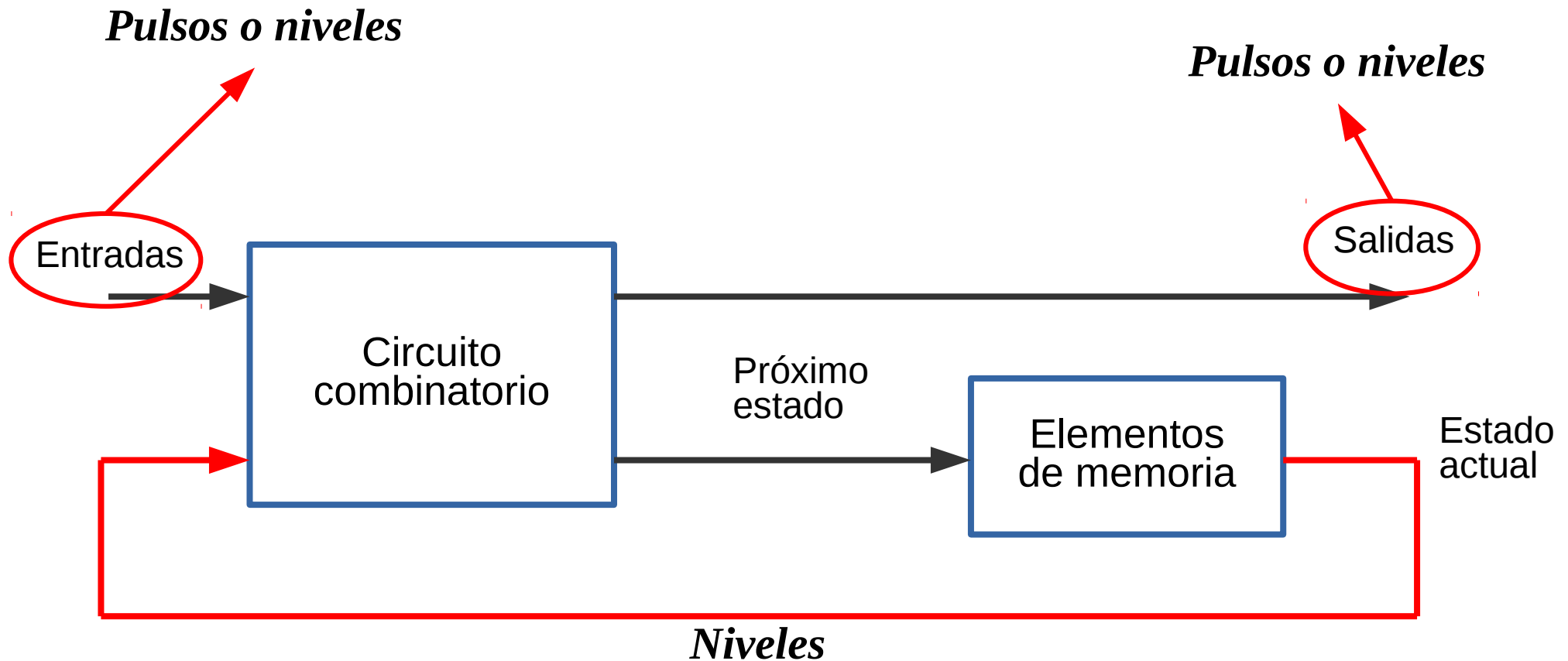
Circuitos secuenciales

- La respuesta de un circuito combinacional depende de las entradas externas.
- La respuesta de un circuito secuencial depende:
 - De las entradas (externas)
 - De la historia pasada (estado interno)
- Lo último se logra a través de elementos de memoria.

Circuitos secuenciales



Circuitos secuenciales



Circuitos secuenciales

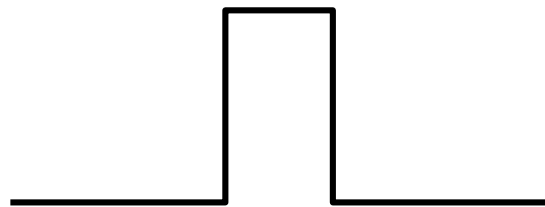
Tipos de circuitos secuenciales:

- Por nivel (o asincrónicos):
Opera en función de los niveles (valores: 0–1, V_H – V_L) de las entradas.
- Por pulso:
Opera en función de los cambios de niveles de las entradas.
Opera en función de las señales de entrada en períodos discretos de tiempo (fijados por los pulsos de un reloj).

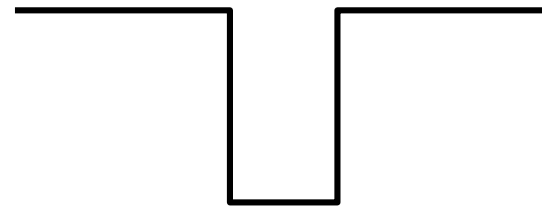
Circuitos secuenciales por pulso

¿Qué es un pulso?

- Cambio de un nivel de voltaje a otro, seguido del retorno al nivel de voltaje inicial.
- El tiempo de desvío del voltaje inicial es relativamente corto en comparación con el tiempo entre los cambios.



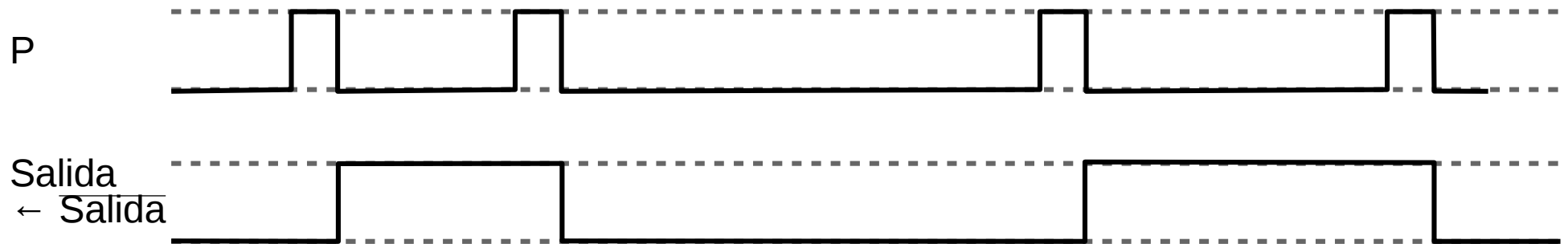
Pulso positivo



Pulso negativo

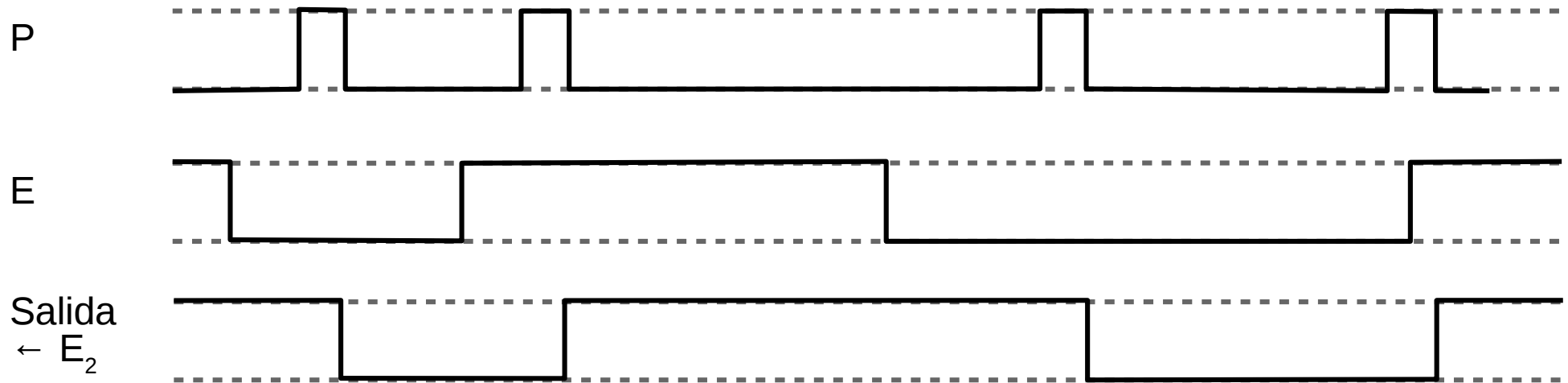
Circuitos secuenciales por pulso

- Las entradas incluyen al menos un pulso.
Con la finalización del pulso cambia la salida.



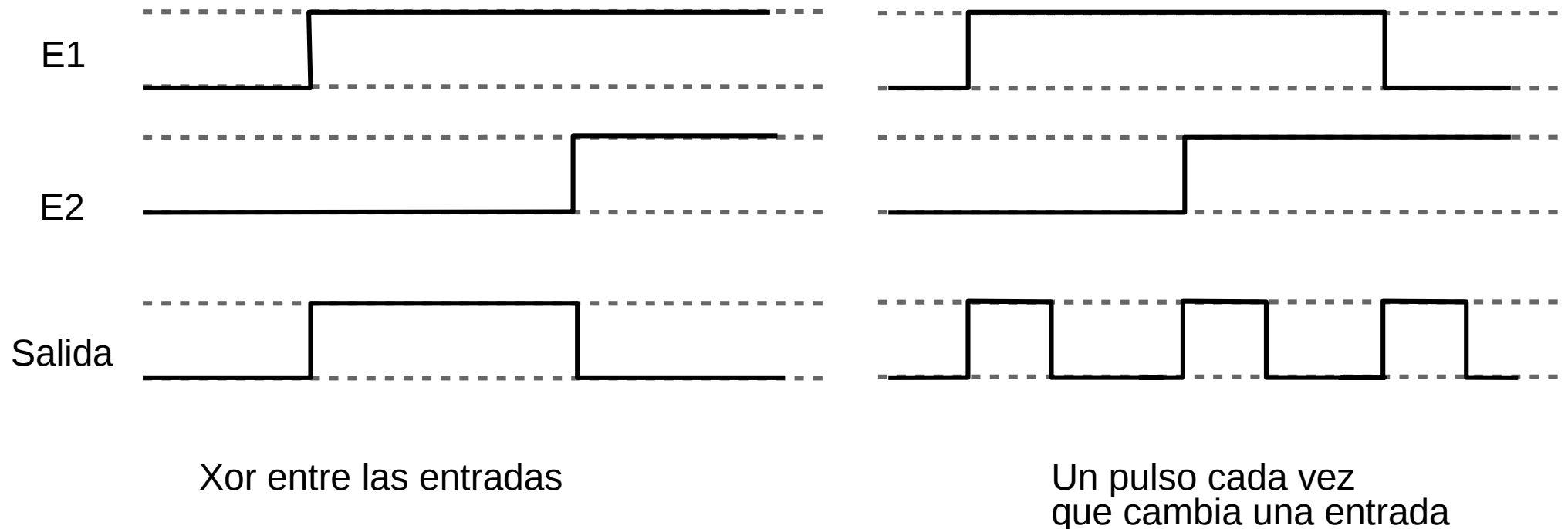
Circuitos secuenciales por pulso

- Las entradas incluyen al menos un pulso.
Con la finalización del pulso la salida copia a E_2



Circuitos secuenciales por nivel

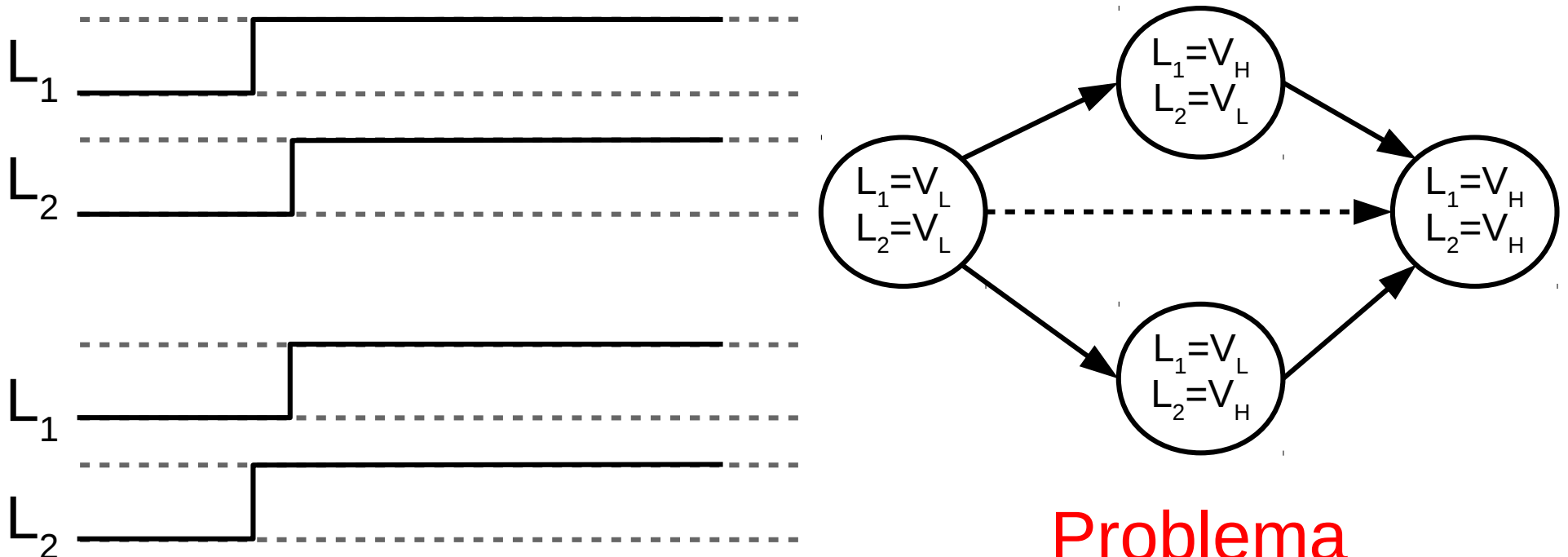
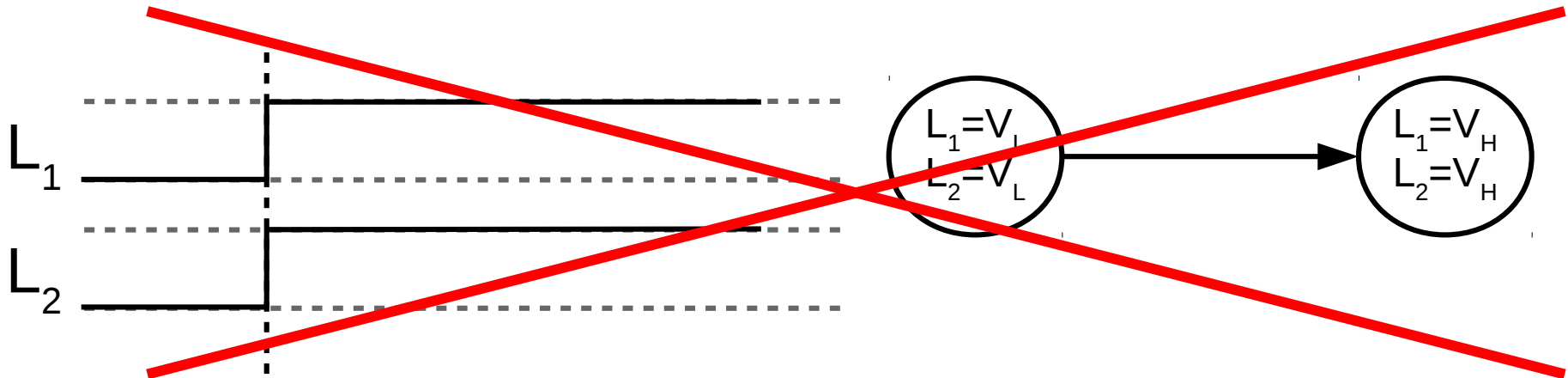
- Las entradas son niveles.
- La salida es en función de esos niveles.



Circuitos secuenciales por nivel

- Los circuitos por nivel puros (asincrónicos) son difíciles de diseñar porque son muy dependientes del orden en el que cambian las señales de entrada.
- No vamos a considerarlos.

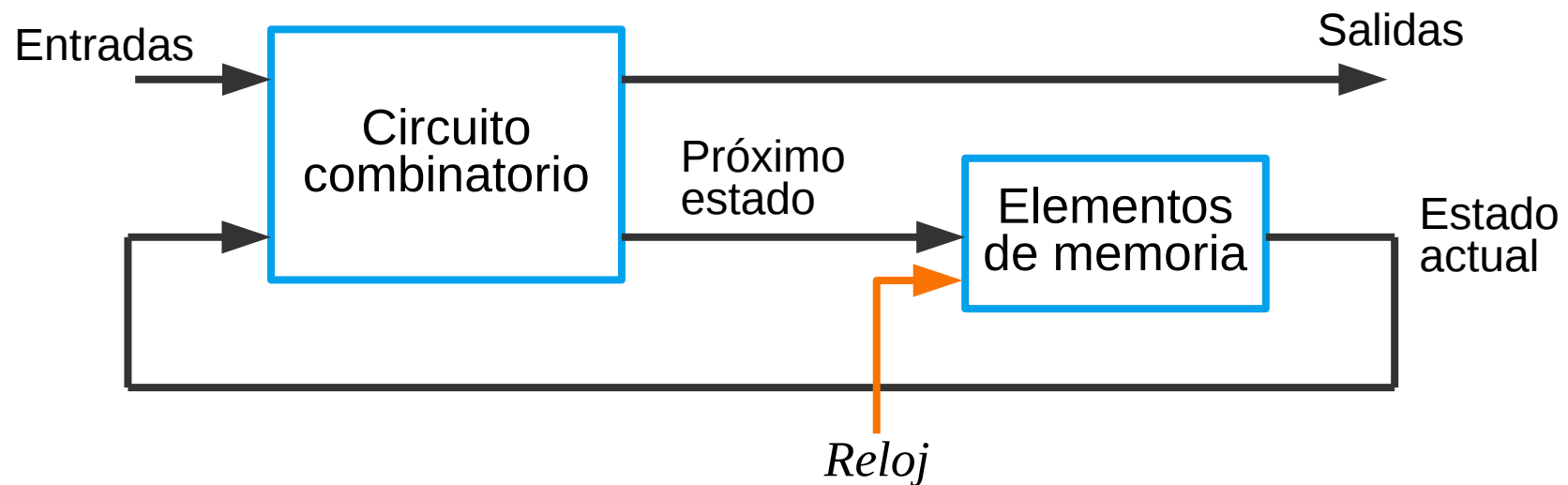
Circuitos secuenciales por nivel



Problema

Circuitos secuenciales sincrónicos

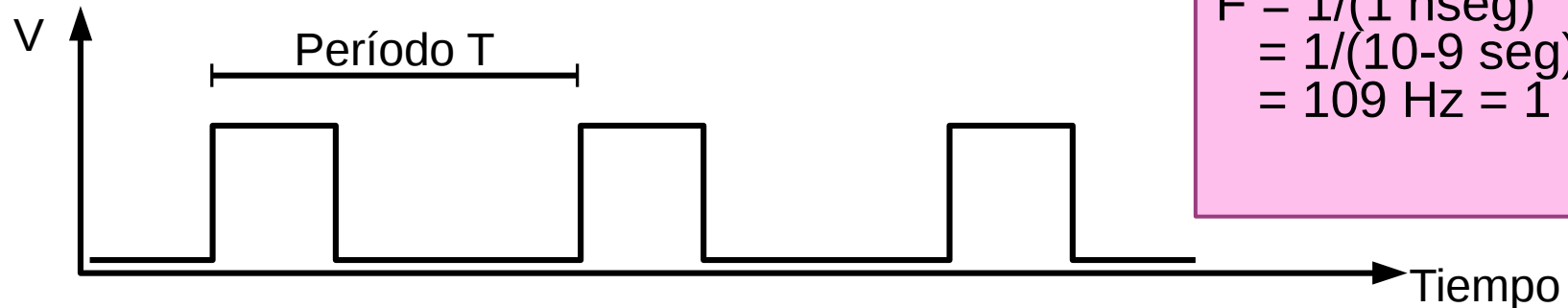
- Es un circuito secuencial por pulso.
 - Hay una señal pulso particular (*el reloj del circuito*) que es la que dispara el cambio en las salidas.
 - Si hay más de una entrada pulso, se asume que no ocurren en simultaneo.



Reloj

Tren de pulsos correspondiente a una señal periódica.

- T : período (segundos)
- F : frecuencia (ciclos por segundo ó Hertz)
- $F = 1/T$



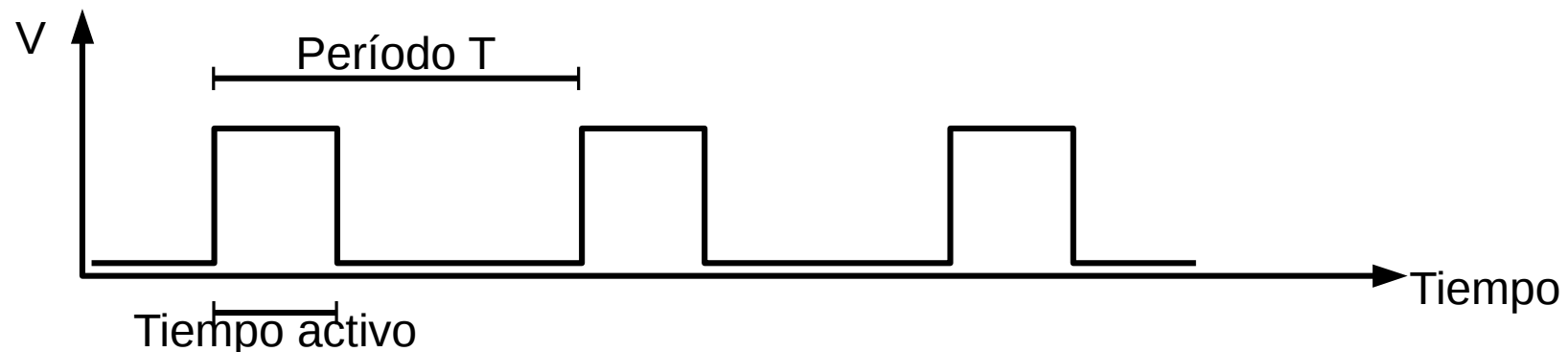
Las compuertas trabajan en el orden de los nseg.

$$\begin{aligned} T &= 1 \text{ nseg} \\ F &= 1/(1 \text{ nseg}) \\ &= 1/(10^{-9} \text{ seg}) \\ &= 10^9 \text{ Hz} = 1 \text{ GHz} \end{aligned}$$

Reloj

- *Duty Cycle* o ciclo de trabajo:
 - Relación entre el período y el tiempo activo

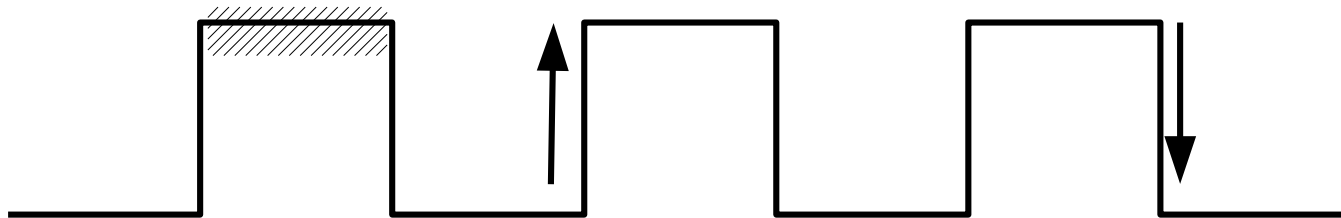
$$\text{Duty cycle} = \frac{\text{Tiempo activo}}{\text{Período } T}$$



Reloj

El reloj puede disparar las acciones:

- Durante el pulso → nivel
- En el flanco ascendente
- En el flanco descendente



Elementos de memoria

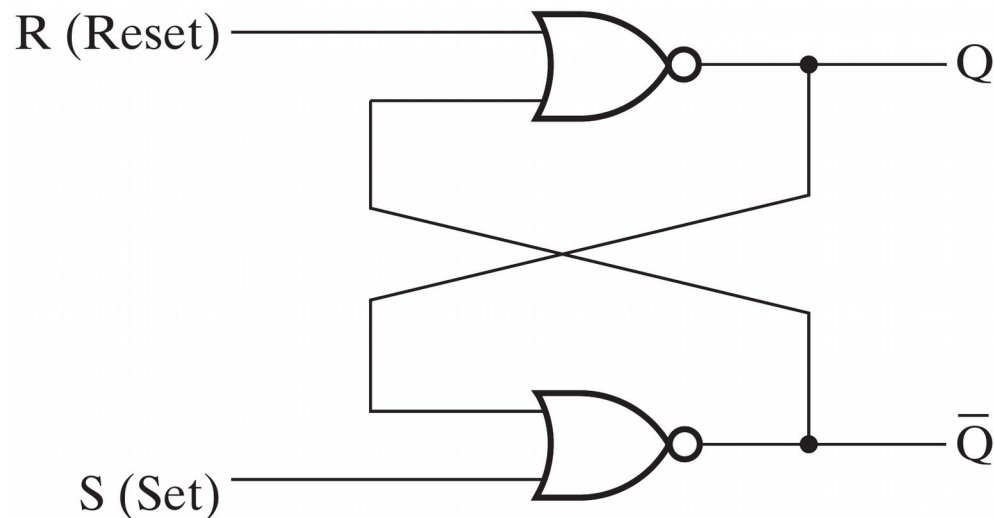
- Elementos asincrónicos:
Latches
- Elementos sincrónicos:
Flip flops

Latches

- Circuito asincrónico.
- Los latches son los bloques constructores de los Flip-flops (FF).
- Tiene dos salidas: Q y Q'
- Las salidas pueden tener dos estados:
 - $Q=1$ y $Q'=0$
 - $Q=0$ y $Q'=1$

Latch SR y \bar{S} \bar{R}

- El latch SR se construye a partir de dos NOR realimentadas.
- Tienen dos entradas: S (set) y R (reset)

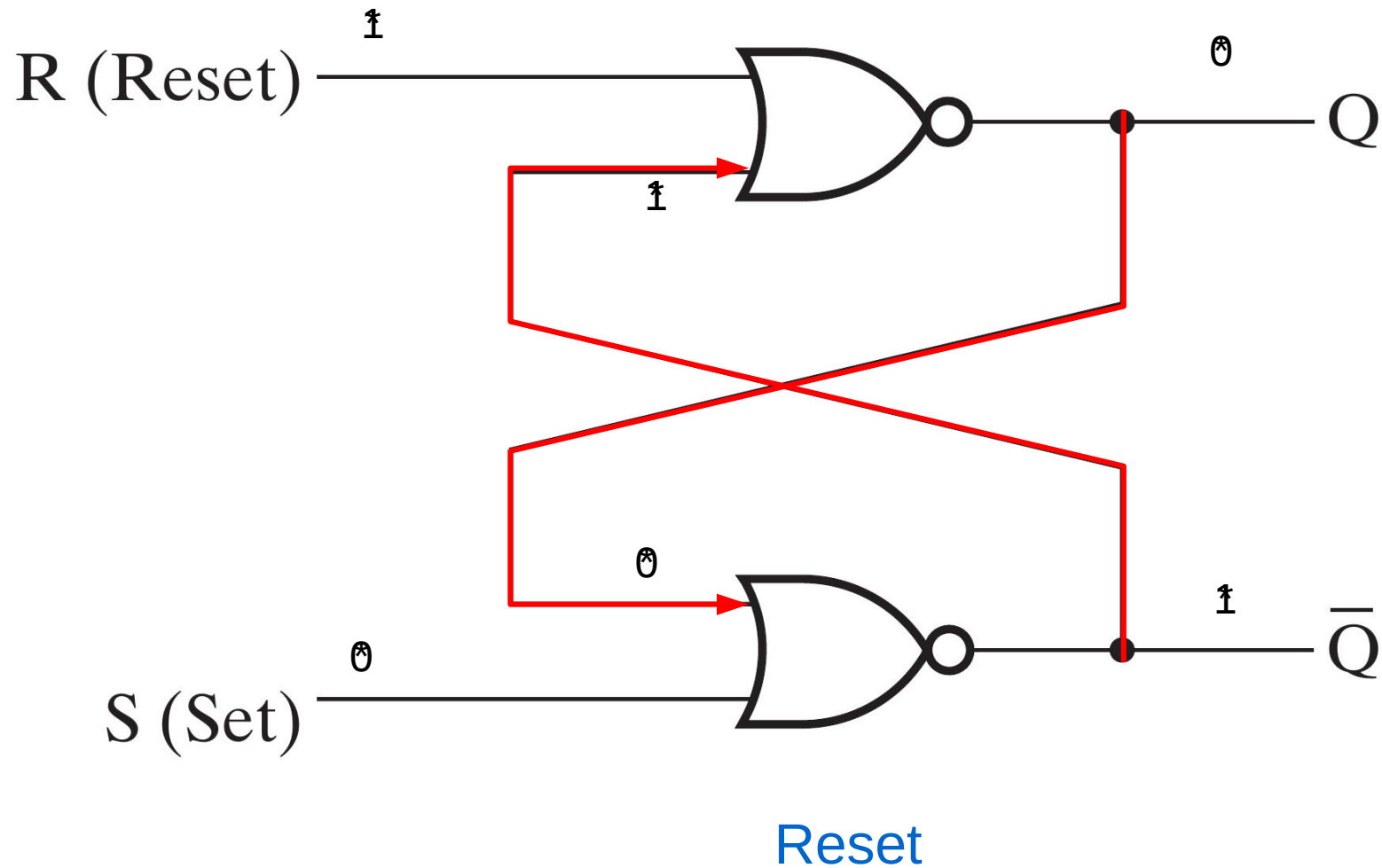


Latch SR y \overline{S} \overline{R}

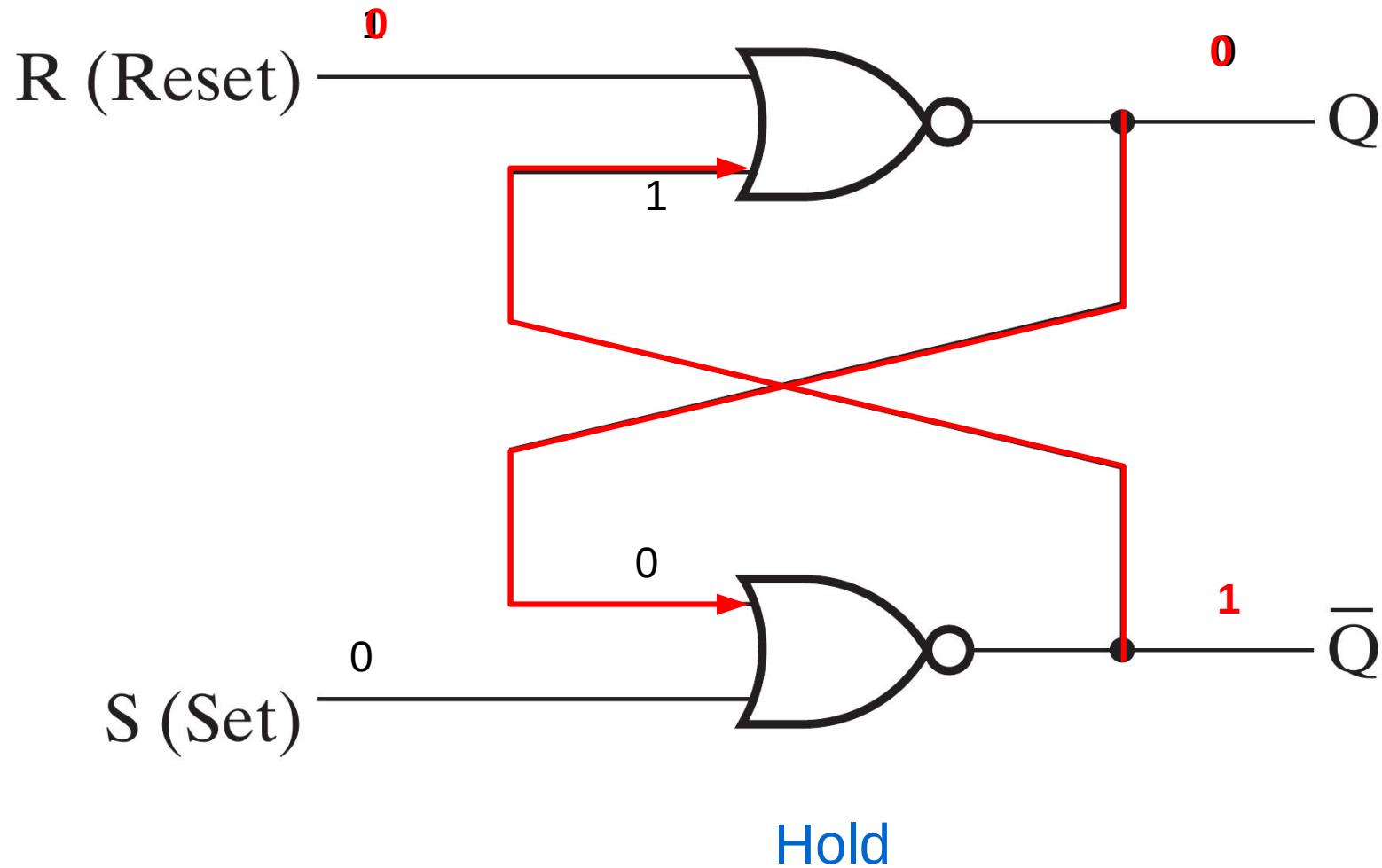
- Cambian en función de 3 posibles combinaciones de entradas:
 - Set: $Q \rightarrow 1$, $Q' \rightarrow 0$
 - Reset: $Q \rightarrow 0$, $Q' \rightarrow 1$
 - Hold: $Q \rightarrow Q$, $Q' \rightarrow Q'$

S	R	Q	Q'
0	0	Q	Q'
0	1	0	1
1	0	1	0
1	1	Indefinido	

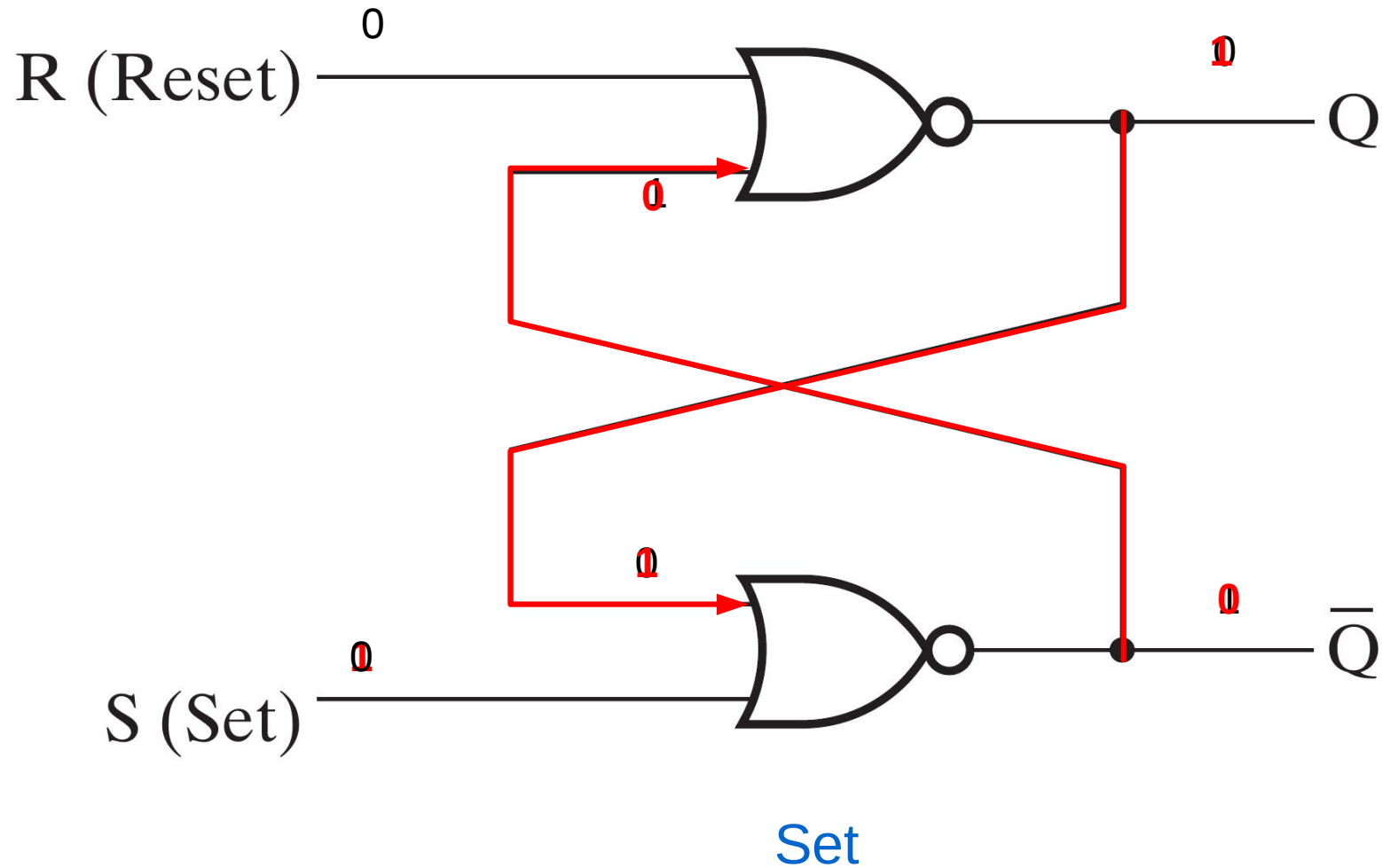
Latch SR y $\bar{S} \bar{R}$



Latch SR y \bar{S} \bar{R}

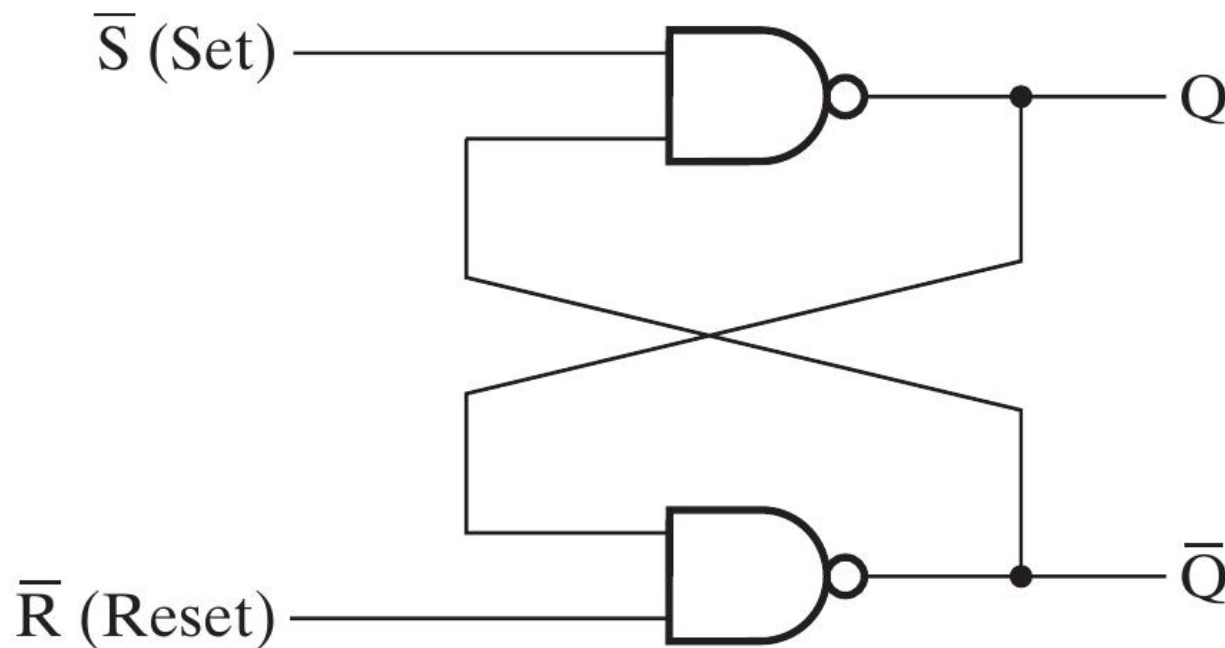


Latch SR y $\bar{S} \bar{R}$



Latch SR y $\bar{S} \bar{R}$

- Un latch equivalente puede implementarse con dos NANDs y las entradas negadas.



S'	R'	Q	Q'
1	1	Q	Q'
1	0	0	1
0	1	1	0
0	0	Indefinido	

Flip flops

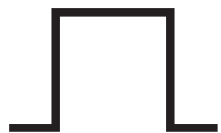
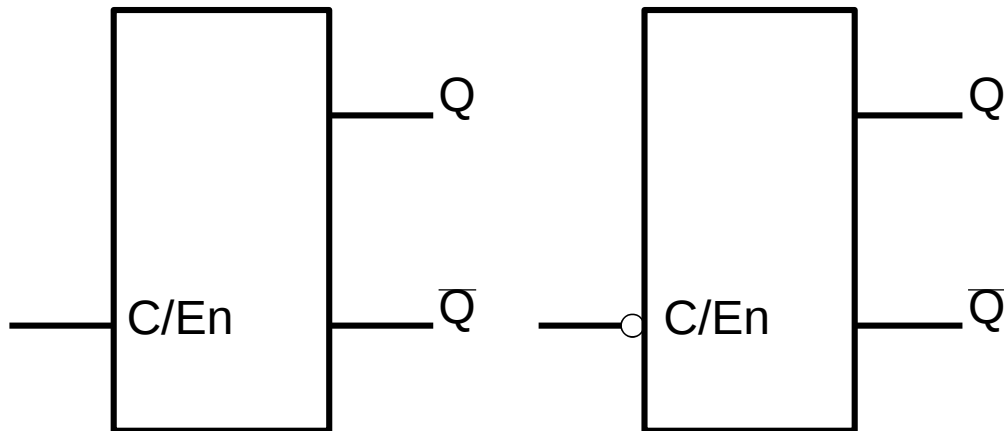
- Flip flop (biestable): Tienen dos estados estables
- A diferencia del latch tienen una entrada de control (Control, Enable, Clock) → Sincrónico
- Mientras la entrada de control esté deshabilitada, la salida no cambia (independientemente de lo que ocurra con las demás entradas).

Flip flops

- Pueden realizar hasta cuatro tareas:
 - Poner la salida en 1 (set)
 - Poner la salida en 0 (reset)
 - Complementar la salida (toggle)
 - No modificar la salida (hold)
- Hay 4 tipos de flip flops
 - SR: dos entradas. Realiza set, reset y hold.
 - D: una entrada. Realiza set y reset.
 - JK: dos entradas. Realiza las cuatro tareas.
 - T: una entradas. Realiza toggle y hold.

Flip flops

Habilitados por pulso

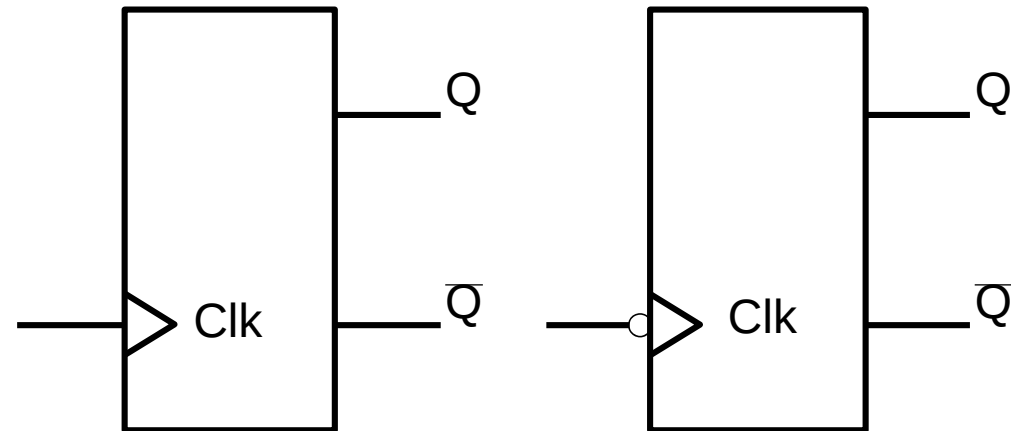


Pulso
positivo



Pulso
negativo

Habilitados por flanco



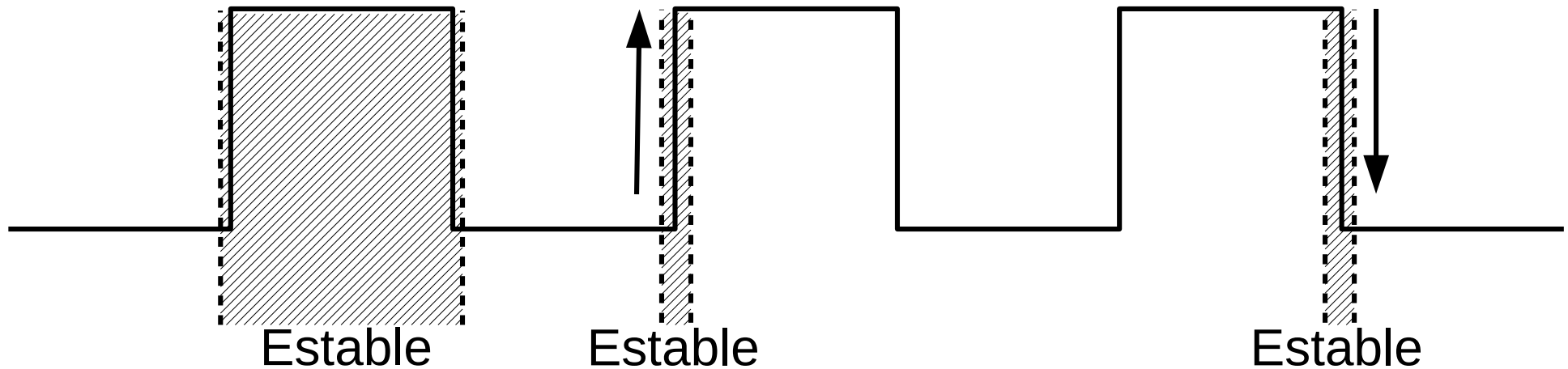
Flanco
positivo



Flanco
negativo

Flip flops

- Las entradas deben estar estables:
 - Un poco antes de que la señal de control de habilite.
 - Durante el período completo en que esté habilitada.
 - Un poco después de que se deshabilite.



Flip flops

Habilitación por pulso:

Mientras que el pulso se mantenga en el nivel alto, cualquier cambio en las entradas se refleja en las salidas.

El pulso no puede ser arbitrariamente angosto.

Habilitación por flanco ascendente o descendente:

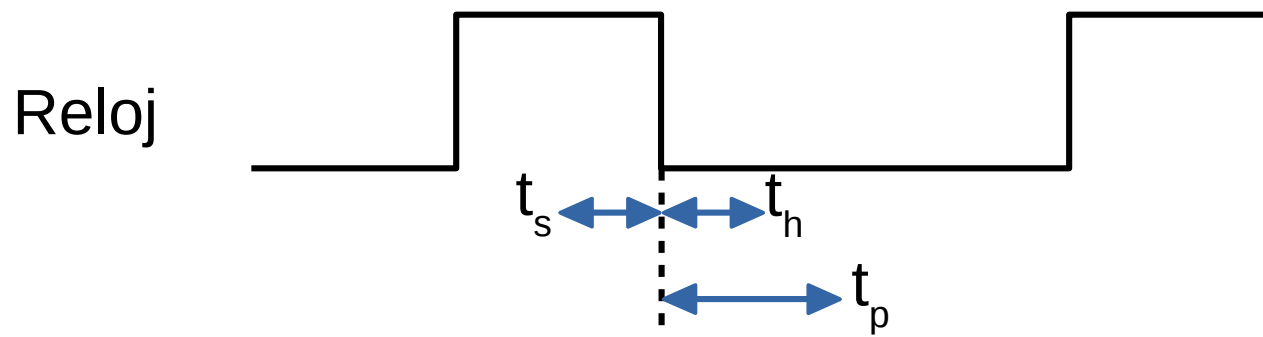
Disparar las acciones sólo durante la transición entre niveles.

Se logra mayor frecuencia y mejores resultados.

Flip flops

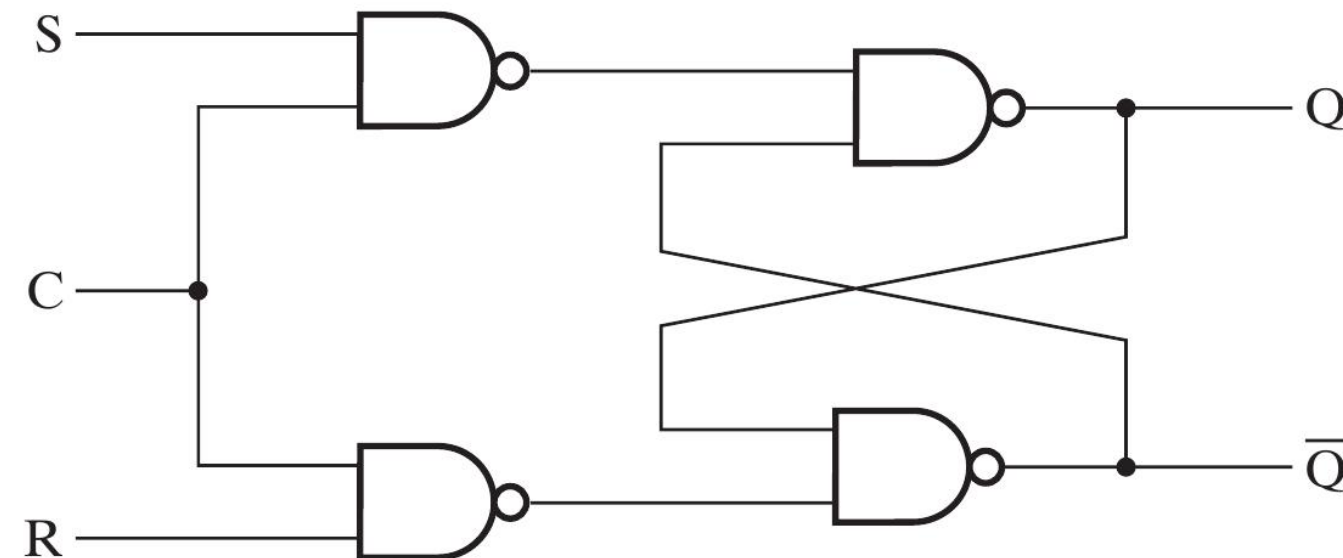
Temporizado:

- Tiempo de set-up: t_s
 - Tiempo que las entradas deben estar estables *antes* del disparo.
- Tiempo de hold: t_h
 - Tiempo que las entradas deben estar estables *después* del disparo.
- Tiempo de propagación: t_p
 - Retardo entre el disparo y el cambio en las salidas.



Flip flop SR

- Al latch \overline{S} \overline{R} se le puede agregar una entrada de control para indicarle cuándo cambiar las salidas.
- Mientras la entrada $C = 0$, las entradas del latch \overline{S} $\overline{R} = 11$ y no cambia de estado.



C	S	R	Next state of Q
0	X	X	No change
1	0	0	No change
1	0	1	Q = 0; Reset state
1	1	0	Q = 1; Set state
1	1	1	Undefined

Flip flop SR

S	R	Q	Q ⁺
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	?
1	1	1	?



S	R	Q → Q ⁺
0	0	0 → 0
0	0	1 → 1
0	1	0 → 0
0	1	1 → 0
1	0	0 → 1
1	0	1 → 1



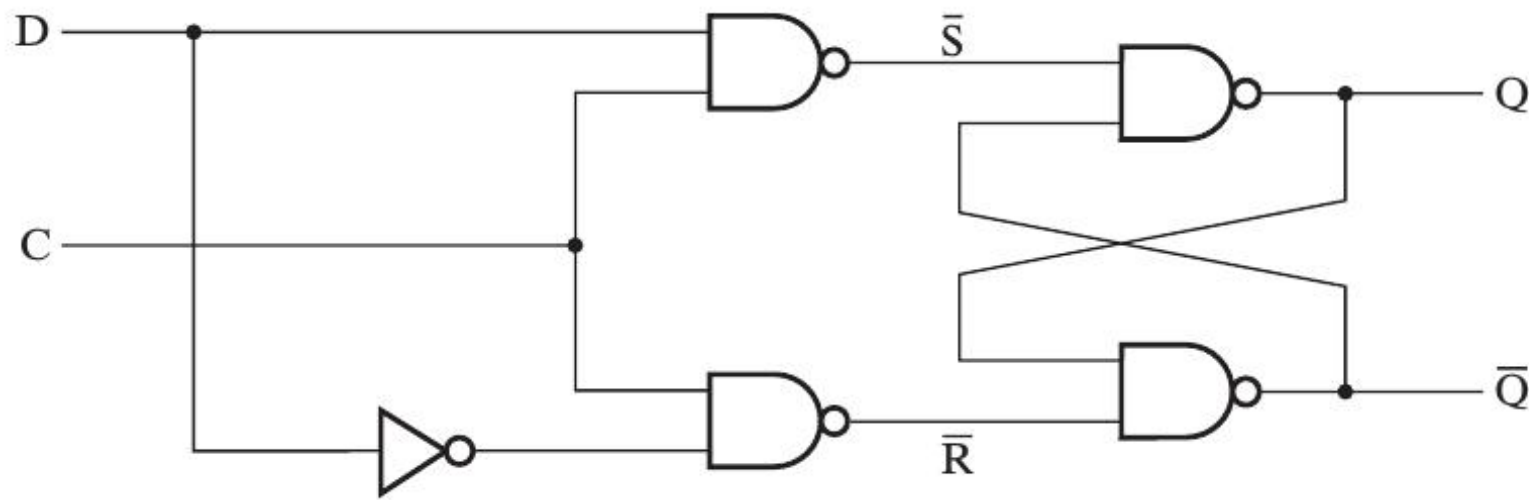
Q → Q ⁺	S	R
0 → 0	0	*
0 → 1	1	0
1 → 0	0	1
1 → 1	*	0

Flip flop D

Para eliminar el estado indefinido: asegurarse que las entradas \bar{S} y \bar{R} nunca sean iguales.

Este FF almacena el dato D.

C	D	Next state of Q
0	X	No change
1	0	Q = 0; Reset state
1	1	Q = 1; Set state



(a) Logic diagram

Flip flop D

D	Q	Q ⁺
0	0	0
0	1	0
1	0	1
1	1	1



D	Q → Q ⁺
0	0 → 0
0	1 → 0
1	0 → 1
1	1 → 1



Q → Q ⁺	D
0 → 0	0
0 → 1	1
1 → 0	0
1 → 1	1

Flip flop JK

- Corrige el estado indefinido del FF SR
 - La entrada J pone la salida en 1.
 - La entrada K pone la salida en 0.
 - Ambas entradas habilitadas complementan la salida.
- Cuando la entrada de control está habilitada:

JK Flip-Flop			
J	K	Q(t + 1)	
0	0	$Q(t)$	No change
0	1	0	Reset
1	0	1	Set
1	1	$Q'(t)$	Complement

Flip flop JK

J	K	Q	Q ⁺
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0



J	K	Q → Q ⁺
0	0	0 → 0
0	0	1 → 1
0	1	0 → 0
0	1	1 → 0
1	0	0 → 1
1	0	1 → 1
1	1	0 → 1
1	1	1 → 0



Q → Q ⁺	J	K
0 → 0	0	*
0 → 1	1	*
1 → 0	*	1
1 → 1	*	0

Flip flop T

- Este FF hace toggle del estado.
- Cuando la entrada de control está habilitada:

T Flip-Flop

T	$Q(t + 1)$	
0	$Q(t)$	No change
1	$Q'(t)$	Complement

Flip flop T

T	Q	Q ⁺
0	0	0
0	1	1
1	0	1
1	1	0



T	Q → Q ⁺
0	0 → 0
0	1 → 1
1	0 → 1
1	1 → 0



Q → Q ⁺	T
0 → 0	0
0 → 1	1
1 → 0	1
1 → 1	0

Bibliografía



- Capítulo 4. Morris Mano, Kime & Martin. *Logic and computer design fundamentals*. Prentice Hall (5ta Ed. 2015)
- Capítulo suplementario “Design and Analysis using JK and T flip-flops”. Morris Mano, Kime & Martin. *Logic and computer design fundamentals*.
http://wps.pearsoned.com/ecs_mano_lcdf_5/248/63706/16308896.cw/index.html