



ARQUITECTURA DE COMPUTADORAS

Trabajo Práctico N° 2

Diseño con Circuitos Integrados de Media y Gran Escala ¹

Primer Cuatrimestre de 2018

Ejercicios

1. Construir la tabla de verdad de una función de tres variables $f(A, B, C)$, la cual debe retornar 0 cuando la mayoría de las entradas sean 0 y 1 en caso contrario. Luego, ensayar dos diagramas lógicos de detalle, uno con compuertas y el otro con un circuito multiplexor de 8 a 1 (*i.e.*, con tres líneas de selección). Finalmente, comparar el número de integrados requeridos (a nivel de fracción), tomando como referencia el anexo de circuitos del práctico anterior y que un MUX de 8 a 1 demanda todo un integrado.
2. Considerando la función de cuatro variables $f(A, B, C, D) = \sum(1, 6, 7, 9, 10, 14), \sum_o p(13, 15)$ implementada mediante un MUX, con las entradas B y C conectadas como líneas de dirección y las variables A y D usadas para generar las funciones residuo:
 - a) Determinar todas las funciones residuo.
 - b) Calcular número máximo de funciones residuo que se podrían generar con las variables A y D y obtenerlas a partir de las diversas combinaciones de *miniterms*.
OBS: Desarrollar una tabla en dos partes: función de un lado y complemento del otro tomando los *miniterms* faltantes.
 - c) Excluyendo las funciones triviales, generar las restantes funciones residuo de dos variables con compuertas.
3. Desarrollar el diagrama lógico de detalle de las funciones requeridas para controlar un display digital de siete segmentos, para que pueda mostrar el dígito equivalente para una dada entrada binaria. Por ejemplo si la entrada binaria es 0_2 , deberá verse el dígito 0, si la entrada binaria es 10_2 el display deberá mostrar el 2. Resuelva el diagrama lógico de detalle utilizando:
 - a) Siete multiplexores de 8 entradas de datos.
 - b) Tres chips de dos multiplexores de 4 a 1 cada uno y compuertas.
 - c) Un decodificador BCD (en el cual la entrada binaria determinará cuál de las 10 salidas se seteará en *low*) y compuertas para armar las funciones de entrada al display.
OBS: En este caso es conveniente atacar la función complemento.
 - d) Utilizando un PLA, indicando el tamaño requerido.
 - e) Empleando una ROM, indicando su programación y el tamaño requerido.

¹Fecha sugerida de finalización de este trabajo práctico: jueves 29 de marzo de 2018.

4. Determinar el tamaño de PLA requerido para poder implementar:
 - a) Cuatro multiplexores de dos entradas de datos cada uno, compartiendo líneas de selección de a dos MUXs.
 - b) Dos multiplexores de cuatro entradas y líneas de selección independientes.
 - c) Un *Priority Encoder* de ocho entradas y tres salidas.
5. Tomando como referencia la función del ejercicio 1, analizar la implementación con un chip PLA con la siguiente capacidad: 12 variables de entrada, 50 términos producto y 6 salidas. Comparar la implementación resultante con las obtenidas empleando compuertas y empleando un multiplexor.

OBS: Se supone igual que antes que la parte remanente sin usar de un circuito podrá ser usada en la generación de otras funciones.
6. Considerando la función *OR-exclusivo* entre cuatro variables ($A \oplus B \oplus C \oplus D$):
 - a) Construir su tabla de verdad.
 - b) Obtener su mínima suma de productos asociada.
 - c) Desarrollar el diagrama lógico de detalle de la función obtenida con compuertas.
 - d) Desarrollar el diagrama lógico de detalle usando compuertas con salida *open-collector* (wired OR) .
 - e) Desarrollar el diagrama lógico de detalle esta vez empleando solamente tres compuertas XOR de dos entradas.

Referencias

- [Bla79] BLAKESLEE, T. R. *Digital Design with Standard MSI and LSI*, second ed. John Wiley & Sons, 1979.
- [MC13] MANO, M. M., AND CELETTI, M. D. *Digital Design. With an Introduction to the Verilog HDL*, 5ta ed. Pearson, 2013.
- [MKM15] MANO, M. M., KIME, C. R., AND MARTIN, T. *Logic and Computer Design Fundamentals*, 5ta ed. Pearson, 2015.