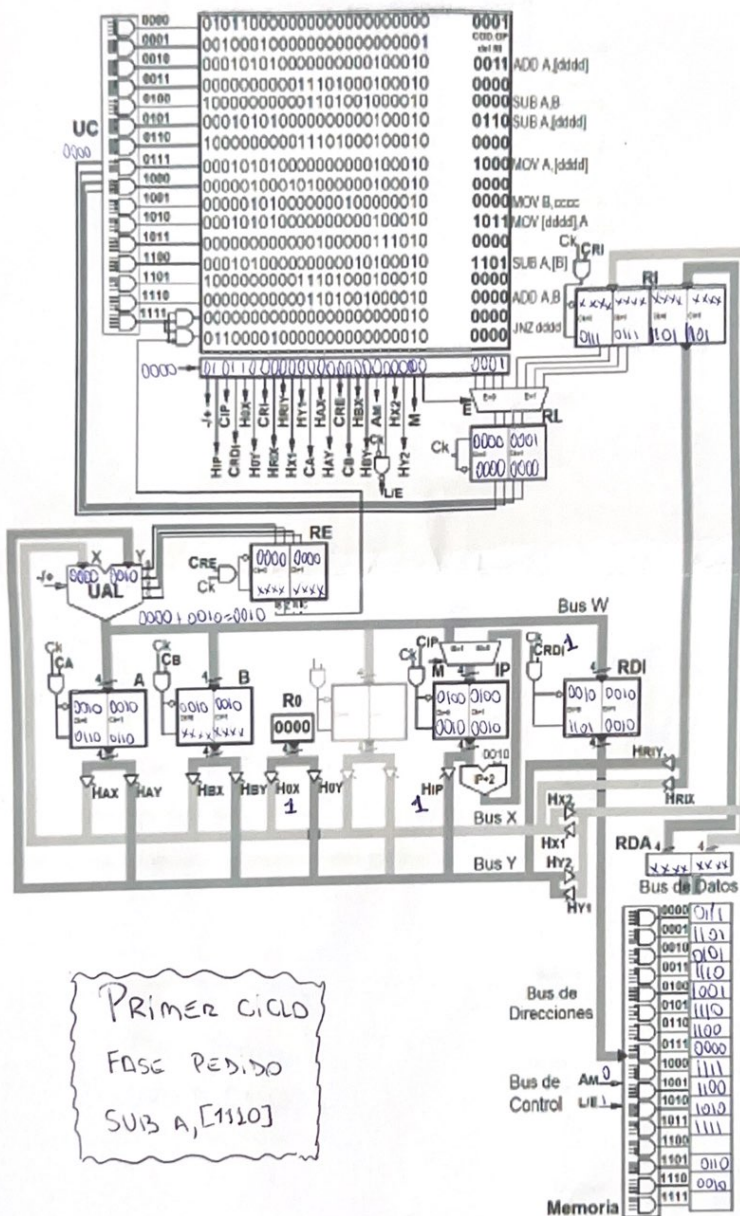


①

PARCIAL N° 1 - GIANLUCA CARLINI



3

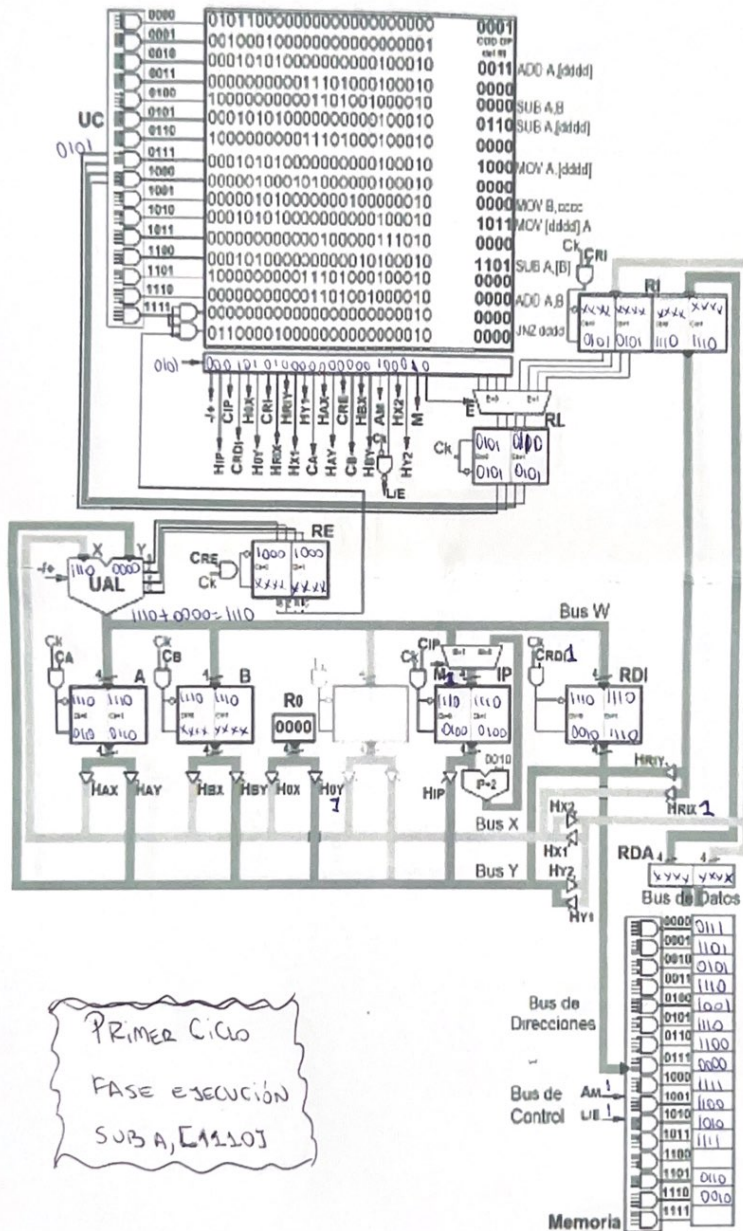


Diagrama de un procesador de datos en su segundo ciclo de ejecución. El diagrama muestra la interfaz de un procesador de datos con una memoria y un bus de direcciones. En la parte superior, se muestra un registro de instrucciones con 16 bits de dirección y 16 bits de datos. Las instrucciones están codificadas en hexadecimal y su significado se indica a la derecha: ADD A, [addr], SUB A, B, SUB A, [addr], MOV A, [addr], MOV B, const, MOV [addr], A, SUB A, B, ADD A, B, y JNZ addr. El bus de direcciones (Bus W) conecta el procesador con la memoria. El bus de datos (Bus X, Bus Y) conecta el procesador con la memoria. El bus de control (Bus de Direcciones, Bus de Control) conecta el procesador con la memoria. El procesador de datos incluye un registro de instrucciones (RI), un registro de datos (RD), un registro de direcciones (RA), un registro de control (RC), un registro de estado (RE), un registro de instrucciones (RI), un registro de datos (RD), un registro de direcciones (RA), un registro de control (RC), un registro de estado (RE), un registro de instrucciones (RI), un registro de datos (RD), un registro de direcciones (RA), un registro de control (RC), un registro de estado (RE).

SEGUNDO CICLO
FASE EJECUCIÓN
SUB A, [110]