



Bistabili e Flip-Flop

▼ Creatori originali: @LucaCaffa @Alessandro de Stasi

Bistabile

[Stati stabili](#)

[Metastabilità](#)

Flip-Flop

[Sincronizzazione dei FF](#)

[Latch](#)

[Clock](#)

[Inverter all'ingresso](#)

[Flip-Flop Set-Reset](#)

[Condizioni di comando](#)

[Stato di memoria e stato proibito](#)

[Implementazione con porte NOR](#)

[Implementazione con porte NAND](#)

[Flip-Flop Latch \(FF Latch\)](#)

[Flip-Flop Latch D \(D Latch\)](#)

[Comandi asincroni per il D Latch](#)

[Flip-Flop Master-Slave \(D-FF\)](#)

[Funzionamento rispetto al Clock](#)

[Comandi asincroni per il D-FF](#)

[Differenze tra FF Latch D e FF Master-Slave](#)

[Flip-Flop Jack-Kilby \(FF-JK\)](#)

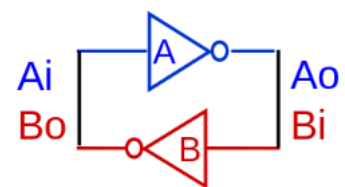
[Tavola di Verità](#)

Bistabile

Consideriamo un anello di inverter, in cui l'ingresso di una porta NOT (inverter A) è collegato all'uscita di un'altra porta NOT (inverter B).

Per ogni inverter, utilizzeremo una notazione del tipo:

- X_i : ingresso dell'inverter X (es. A_i , ingresso di inverter A);
- X_o : uscita dell'inverter X (es. A_o , uscita dell'inverter A).



Visualizzazione dell'anello di inverter

Nell'[elemento descritto](#), l'entrata di un inverter è uguale all'uscita dell'altro: $A_o = B_i$, $A_i = B_o$.

Stati stabili

In questo circuito, abbiamo 2 stati stabili:

- stato 0 (S_0): se l'uscita di A è 1, allora l'uscita di B è 0;
 - $A_o = H$;
 - $B_o = L$.
- stato 1 (S_1): se l'uscita di A è 0, allora l'uscita di B è 1.

- $A_0=L$;
- $B_0=H$.

Dati questi due stati, si parla di circuito **bistabile**.

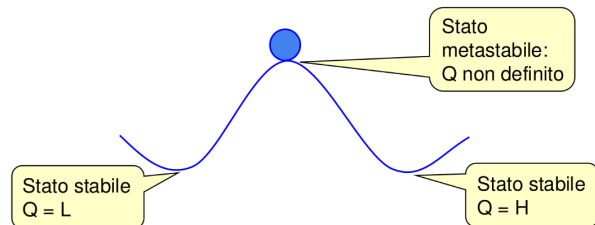
Metastabilità

Nella realtà esiste un terzo stato non stabile, chiamato **stato metastabile**.

Risulta poco intuitivo, ma possiamo immaginare di avere un circuito dove gli ingressi e le uscite non sono definite, e quindi non hanno un valore che possiamo determinare.

Per descrivere il concetto, possiamo utilizzare un'**analogia meccanica** (pallina su una collina):

- se la pallina è sul lato sinistro della collina, siamo nello stato stabile S_0 ;
- se la pallina è sul lato destro della collina, siamo nello stato stabile S_1 ;



Visualizzazione dell'analogia meccanica

- se la pallina è sulla cima della collina, siamo nello **stato metastabile** S_x , dove una minima influenza esterna modifica la posizione della pallina, portandola ad una delle due posizioni stabili descritte nei punti precedenti.

Lo stato metastabile è uno stato che non fornisce alcuna informazione importante, poiché non possiamo osservare alcun valore. Non vogliamo **MAI** trovarci in questo stato, poiché il minimo rumore può portare il circuito in uno dei due stati, portando un fattore definito dalla probabilità al circuito.

Flip-Flop

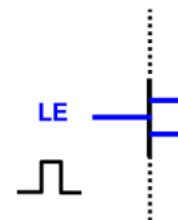
I Flip-Flop (FF) sono dei componenti bistabili, ovvero che presentano due stati stabili.

Sincronizzazione dei FF

Latch

Il comando LE è un segnale di tipo asincrono. Esso è identificato attraverso un quadrato nei circuiti.

- $LE = 1$: stato di trasparenza;
- $LE = 0$: stato di memoria;
- $LE = (1 \rightarrow 0)$: memorizza l'ingresso.



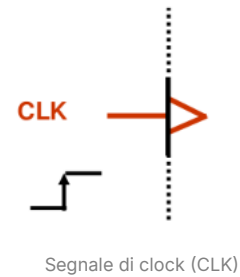
Segnale di Enable (Latch, LE)

Clock

Il comando **CLK** è un segnale di tipo sincrono. Esso è identificato attraverso un triangolo nei circuiti, inoltre vengono chiamati Edge-triggered.

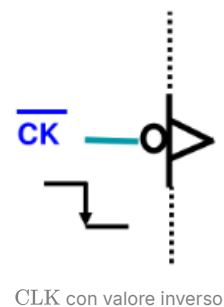
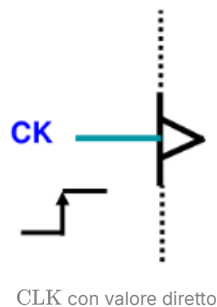
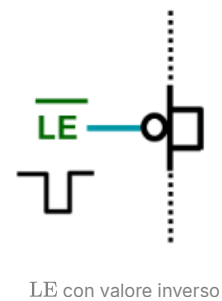
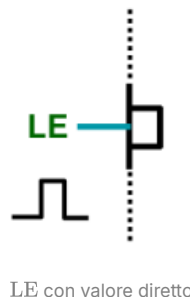
Si possono definire due tipi di clock:

- l'uscita del componente commuta sulla transizione del Clock $1 \rightarrow 0$.
- l'uscita del componente commuta solo sulla transizione del Clock $0 \rightarrow 1$.



Inverter all'ingresso

Ogni tipo di segnale, sia esso LE o CLK, può avere un'inverter all'ingresso, portando all'attivazione sul valore opposto.



Flip-Flop Set-Reset

Il Flip-Flop Set-Reset (FF-SR) prende il nome dai suoi due ingressi: SET (S) e RESET (R).

Esso presenta due uscite, Q_a e Q_b , le quali sono complementari (ovvero una è il negato dell'altro). Data la complementarità delle uscite, possiamo anche chiamarle rispettivamente Q e Q^* . Questo componente ha dei ritardi di propagazione, classici delle porte NOR.

Condizioni di comando

Descriviamo i due stati stabili S_0 e S_1 (condizioni di comando) del FF-SR:

- $S_0 (S = 1, R = 0)$: si chiama **stato di SET**, poiché $S = 1$;
- $S_1 (S = 0, R = 1)$: si chiama **stato di RESET**, poiché $R = 1$.

Stato di memoria e stato proibito

Oltre ai due stati stabili, esistono le restanti combinazioni dei valori Q_a e Q_b , che permettono di definire altri due stati S_2 e S_3 :

- S_2 : si chiama **stato di memoria**, poiché permette di conservare un valore.

$$Q_a(t) = Q_a(t - 1)$$

$$Q_b(t) = Q_b(t - 1)$$

Come si nota dalle equazioni che definiscono $Q_a(t)$ e $Q_b(t)$, il valore delle uscite è definito da quello dell'istante precedente, definendo la **condizione di memoria**. Grazie a questo stato, il FF-SR è uno dei componenti fondamentali per le memorie;

- S_3 : si chiama **stato proibito**, poiché il valore delle uscite non è definito.

$$Q_a(t) = ?$$

$$Q_b(t) = ?$$

Come si nota dalle equazioni che definiscono $Q_a(t)$ e $Q_b(t)$, il valore delle uscite non è definito, definendo la **condizione non permessa** (o **proibita**). Questo stato è definito dalla metastabilità.

Implementazione con porte NOR

L'implementazione con porte NOR di un FF-SR si costruisce in maniera analoga all'anello di inverter visto prima, sostituendo gli inverter con delle porte NOR.

Gli stati in questa implementazione sono definiti come segue:

- condizione di comando SET S_0 ;

$$S = 1, R = 0$$

- condizione di comando RESET S_1 ;

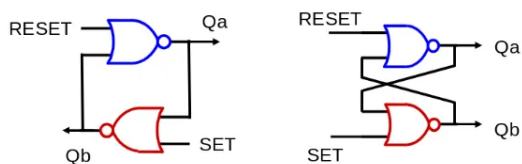
$$S = 0, R = 1$$

- condizione di memoria S_2 ;

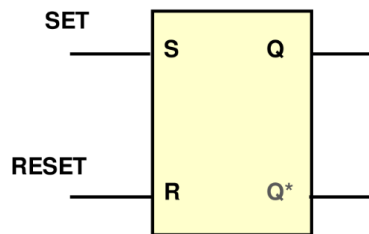
$$S = 0, R = 0$$

- condizione proibita S_3 .

$$S = 1, R = 1$$



Implementazione di FF-SR attraverso due anelli di porte NOR



Simbolo del Flip-Flop Set-Reset con porte NOR

La tavola di verità del FF-SR implementato con le porte NOR è definita a lato, utilizzando questa legenda:

- condizioni di comando;
- condizione di memoria;
- condizione proibita.

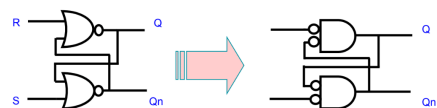
S	R	Q
0	0	Q_{-1}
0	1	0
1	0	1
1	1	?

Implementazione con porte NAND

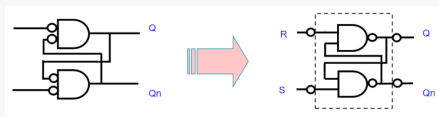
L'implementazione con porte NAND di un FF-SR si costruisce in maniera analoga all'implementazione con porte NOR, ma la differenza è nella tavola di verità, in cui tutte le condizioni sono invertite.

Per capire il motivo del comportamento identico e invertito, ricordiamo la legge di De Morgan:

$$\overline{x + y} = \overline{x} \cdot \overline{y}$$

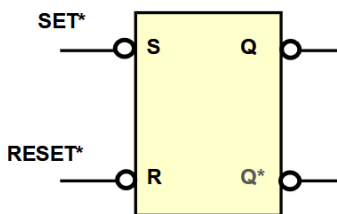


Tramite De Morgan sostituiamo le NOR con delle porte AND a cui sono stati negati gli ingressi.

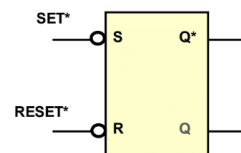


Traslando opportunamente gli ingressi delle porte AND, si ottiene la configurazione di un FF SR

Si ha, quindi, una corrispondenza tra la porta **NOR** e la porta **NAND**, e ciò permette di realizzare l'anello di inverter con le porte NAND al posto degli inverter, come definito nella [visualizzazione](#).



Simbolo del Flip-Flop Set-Reset con porte NAND



Simbolo del FF S-R con porte NAND, equivalente alla figura di sinistra.



Si noti come, in questo caso, quella che prima (nel caso di un FF implementato tramite porte NOR) era l'uscita Q diventa \overline{Q} , e viceversa:

$$Q \rightarrow \overline{Q}$$

$$\overline{Q} \rightarrow \overline{\overline{Q}} = Q$$

Gli stati in questa implementazione sono definiti come segue:

- condizione di comando SET S_0 ;

$$S = 1, R = 0 \Rightarrow S^* = 0, R^* = 1$$

- condizione di comando RESET S_1 ;

$$S = 0, R = 1 \Rightarrow S^* = 1, R^* = 0$$

- condizione di memoria S_2 ;

$$S = 0, R = 0 \Rightarrow S^* = 1, R^* = 1$$

- condizione proibita S_3 .

$$S = 1, R = 1 \Rightarrow S^* = 0, R^* = 0$$

La tavola di verità del FF-SR implementato con le porte NAND è definita a lato, utilizzando questa legenda:

- condizioni di comando;
- condizione di memoria;
- condizione proibita.

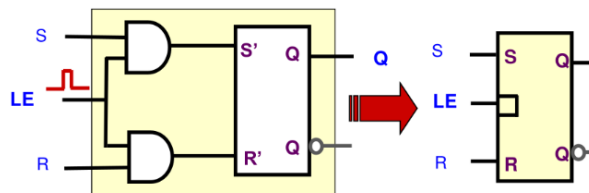
S	R	S^*	R^*
1	1	0	0
1	0	0	1
0	1	1	0
0	0	1	1

Si noti come le uscite delle condizioni di comando sono invertite rispetto all'[implementazione con le porte NOR](#). Per esempio, se prima con $S = 1, R = 0$ si avevano $Q = 1, Q^* = 0$, in questo caso l'output sarà opposto: $Q = 0, Q^* = 1$.

Flip-Flop Latch (FF Latch)

Partendo da un FF-SR e aggiungendo agli ingressi due porte AND, ricaviamo un componente chiamato [FF Latch](#).

La caratteristica fondamentale di questo componente è quella di avere un segnale LE che attiva o disattiva gli ingressi, come segue:



Implementazione del Flip-Flop Latch a partire da un FF-SR

- $LE = 1$ (stato trasparente): l'uscita può cambiare stato in base agli ingressi S e R ;
- $LE = 0$ (stato di memoria/latched mode): l'uscita non può cambiare stato.

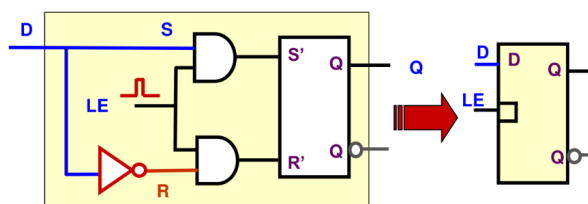
Ciò significa che, anche se S e R assumono dei valori, il segnale entrerà nel FF solo se $LE = 1$, come conseguenza dell'aggiunta delle porte AND.



Il comando LE è identificato attraverso un quadrato, che identifica un segnale di tipo asincrono.

Flip-Flop Latch D (D Latch)

Per migliorare il [FF Latch](#), possiamo fare in modo che **due ingressi diventino un unico segnale**, e che quindi S e R siano sostituiti da un unico segnale. Questo possiamo farlo perché S e R devono sempre essere uno il negato dell'altro.



Implementazione completa di un FF Latch D a partire da un FF-SR

L'unico caso in cui devono essere uguali è il **comando di memoria**, ma poiché qui abbiamo il segnale LE che ci permette di creare lo stato di memoria, possiamo rendere S e R sempre opposti.

Per permettere il funzionamento con un singolo ingresso, bisogna fare in modo che il ramo entrante in S abbia segnale diretto, mentre il ramo entrante in R abbia segnale negato.

Dopo questa aggiunta, si ottiene un [Latch D](#), dove D è l'ingresso unico. Si noti come questa versione del Latch D è **asincrona**.

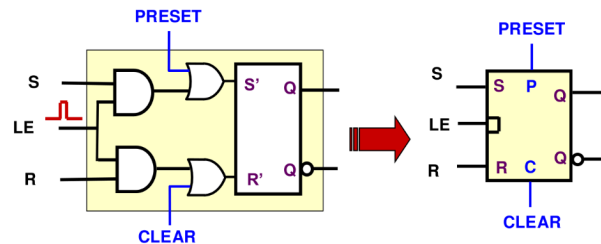
⚠ Il Latch D è di fondamentale importanza, poiché risolve il problema dello stato metastabile del FF-SR. Avendo un unico ingresso, in un caso negato e nell'altro diretto, è impossibile ricadere nella condizione di metastabilità.

Comandi asincroni per il D Latch

Possiamo aggiungere al Latch D appena visto due comandi, che non dipendono dal segnale LE, e per questo sono definiti **comandi asincroni del Latch D**.

I comandi sono PRESET (P) e CLEAR (C):

- se $CLEAR = 1$, si imposta $Q = 0$, ovvero l'uscita Q va immediatamente a 0;
- se $PRESET = 1$, si imposta $Q = 1$, ovvero l'uscita Q va immediatamente a 1.



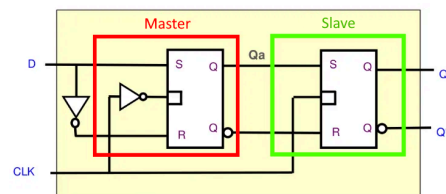
Costruzione Latch D con i comandi asincroni Clear (C) e Preset (P)

⚠ Se PRESET e CLEAR si attivano contemporaneamente, il FF si porta nella condizione proibita.

Flip-Flop Master-Slave (D-FF)

Il FF Master-Slave (D-FF) è un componente formato da una cascata di **FF Latch** con abilitazione complementare dei dati attraverso il segnale di clock.

Come si può notare dall'**implementazione mostrata**, si ha un solo segnale di ingresso D. Le uscite del primo FF Latch sono le entrate del secondo FF Latch.

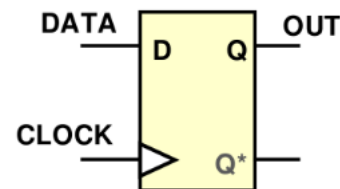


Implementazione completa di un FF Master-Slave a partire da due FF Latch

Funzionamento rispetto al Clock

In questo componente, il clock abilita uno dei due FF, attraverso il collegamento a Latch, durante la fase di transizione $0 \rightarrow 1$ come descritto in seguito:

- $CLK = 0$: abilita il primo FF Latch (Master) a registrare l'ingresso D, mentre il secondo (Slave) rimane nello stato di memoria. In questo caso, si parla di **Master trasparente** e **Slave in memoria**;
- $CLK = 1$: abilita il secondo FF Latch (Slave) ad ottenere il valore in memoria del Master, portandolo come valore in uscita al componente, mentre il secondo (Master) rimane nello stato di memoria. In questo caso, si parla di **Master in memoria** e **Slave trasparente**.



Simbolo del Flip-Flop Master-Slave

⚠ Complessivamente lo slave campiona sul fronte di salita del CLK: il valore che viene campionato è quello presente in ingresso un'istante prima del passaggio del CLK ad 1

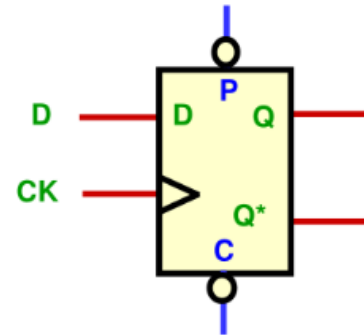
⚠ Il comando CLK è identificato attraverso un triangolo, che identifica un segnale di tipo sincrono.

⚠ E' il tipo di porta sequenziale più usato.

Comandi asincroni per il D-FF

Come per il D Latch, anche il D-FF può avere i due comandi asincroni PRESET e CLEAR.

- se $CLEAR = 1$, si imposta $Q = 0$, ovvero l'uscita Q va immediatamente a 0;
- se $PRESET = 1$, si imposta $Q = 1$, ovvero l'uscita Q va immediatamente a 1.



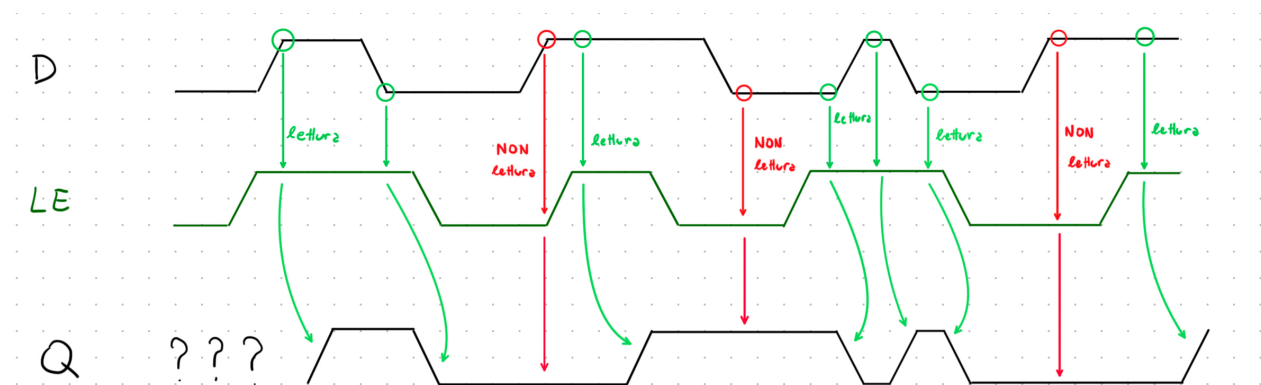
Simbolo del Flip-Flop Master-Slave con comandi asincroni Clear (C) e Preset (P)

⚠ Se PRESET e CLEAR si attivano contemporaneamente, il FF si porta nella condizione proibita.

⚠ In questo esempio, i comandi PRESET e CLEAR sono attivabili se il loro valore è 1. Si può anche realizzare con i comandi attivabili se il valore è 0.

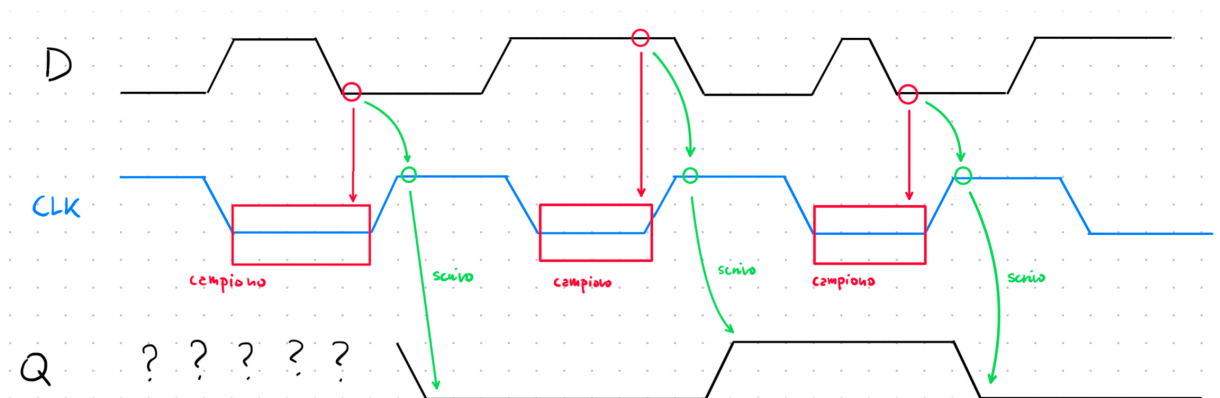
Differenze tra FF Latch D e FF Master-Slave

Latch D



Per il FF Latch D, il segnale "LE" rappresenta la modalità trasparente. Quando $LE = 1$, in uscita leggiamo il valore dell'ingresso (D). Se l'ingresso commuta mentre $LE = 1$, l'uscita (Q) lo segue, altrimenti trattiene il valore precedente.

Master-Slave



Per il FF Master-Slave, il segnale di "Clock" scandisce la "propagazione" dell'ingresso. Quando $CLK = 0$, il FF Master è in modalità trasparente e dunque insegue l'ingresso, lo Slave trattiene ciò che conteneva prima. Quando però CLK commuta da 0→1, il FF Master smette di inseguire l'ingresso e trattiene l'ultimo valore letto (cerchiature in rosso nel grafico) e il FF Slave legge quest'ultimo e lo riporta in uscita (scrittura in verde).

- Mentre $CLK = 1$ l'ingresso non viene inseguito da nessuno
- Mentre $CLK = 0$ l'ingresso viene inseguito solo dal FF Master, ma non dallo Slave. Poiché l'uscita complessiva del FF è quella "Slave" di fatto non esiste trasparenza.



Il FF Master-Slave di tipo D **NON PRESENTA** una modalità trasparente.

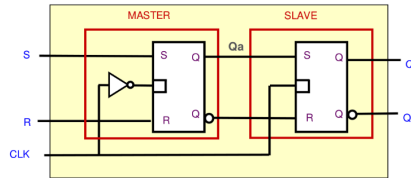
Per modalità trasparente si intende il poter vedere "immediatamente" (a meno di ritardi di propagazione) il risultato degli ingressi sulle uscite.

Nel caso di FF Master-Slave l'effetto degli ingressi sulle uscite si manifesta solo sul fronte di salita (o discesa, nel caso di inversione) del clock, quando questo passa da 0→1 (1→0 nel caso di inversione), momento in cui gli ingressi potrebbero variare a piacimento senza che questo comprometta l'uscita, che invece assumerà il valore determinato dagli ingressi quando il clock era a 0 (1 nel caso di inversione).

Flip-Flop Jack-Kilby (FF-JK)

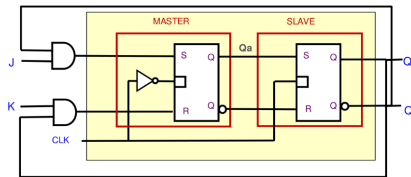
Costruiamo il FF-JK a partire dal D-FF seguendo i passi descritti:

1. a partire dal D-FF, si rimuove lo stato comune D, in modo da avere nuovamente due ingressi distinti sul componente;



Primo passo della costruzione del FF-JK

2. creiamo una retroazione con 2 AND, definendo due nuovi segnali chiamati J e K .

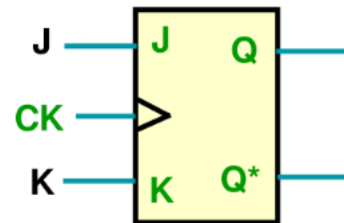


Secondo passo della costruzione del FF-JK



L'uscita Q^* del FF viene messa in AND con l'ingresso J , l'uscita Q del FF viene messa in AND con l'ingresso K .

Attraverso questa costruzione otteniamo il Flip-Flop Jack-Kilby (FF-JK), ovvero un componente sequenziale, il cui funzionamento è molto simile a quello del FF-SR, ma senza il problema legato allo stato metastabile.

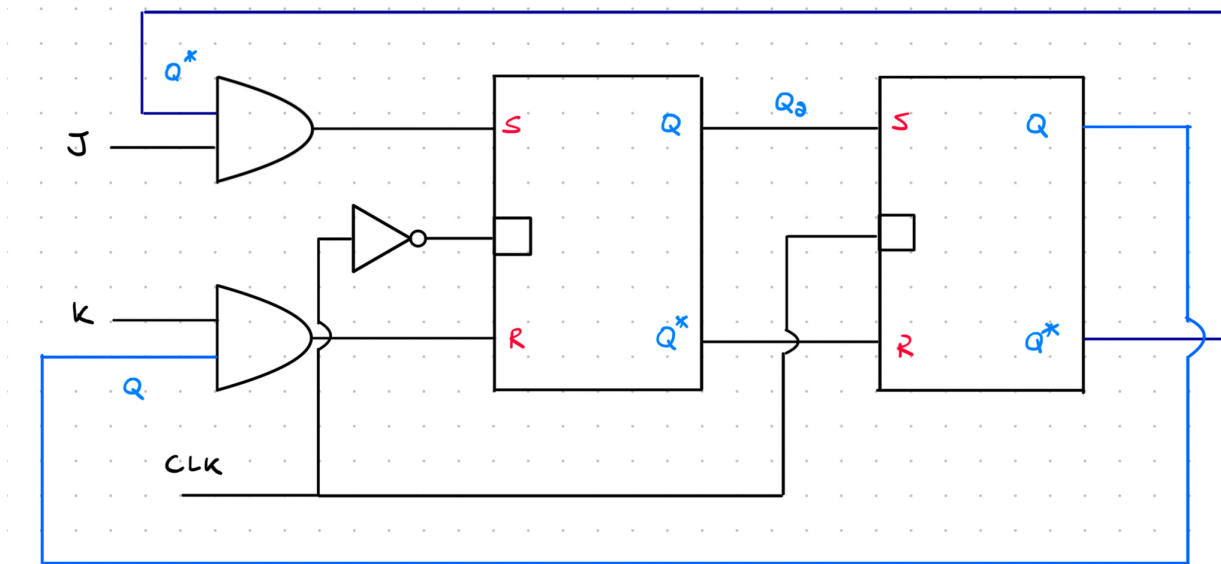


Simbolo del Flip-Flop Jack-Kilby (FF-JK)

Tavola di Verità

La tavola di verità del FF-JK è definita rispetto agli ingressi J e K . Ad ogni modo i corrispondenti segnali di S ed R dipendono da suddetti ingressi ma anche dal valore in ciascun istante presente in uscita Q (e consequenzialmente Q^*), in quanto questi vengono messi in AND con J e K per ottenere S ed R .

Per dedurre la tavola di verità allora osserveremo le 4 possibili combinazioni di valori per J e K , prima nel caso in cui $Q = 1$ ($\rightarrow Q^* = 0$) e poi nel caso in cui $Q = 0$ ($\rightarrow Q^* = 1$).



Tenendo a mente questo schema circuitale (che evidenzia la retroazione delle uscite sugli ingressi), produciamo le tavole di verità

$Q_{-1} = 1$

J	K	Q_{-1}	Q_{-1}^*	S	R
0	0	1	0	0	0
0	1	1	0	0	1
1	0	1	0	0	0
1	1	1	0	0	1



$$S = J \cdot Q_{-1}^* \quad R = K \cdot Q_{-1}$$

$Q_{-1} = 0$

J	K	Q_{-1}	Q_{-1}^*	S	R
0	0	0	1	0	0
0	1	0	1	0	0
1	0	0	1	1	0
1	1	0	1	1	0

A questo punto possiamo mettere a confronto le due tabelle, evidenziando alcuni elementi comuni:

J	K	Q_{-1}	Q_{-1}^*	S	R
0	0	1	0	0	0
0	1	1	0	0	$1 = Q_{-1}$
1	0	1	0	$0 = Q_{-1}^*$	0
1	1	1	0	$0 = Q_{-1}^*$	$1 = Q_{-1}$

J	K	Q_{-1}	Q_{-1}^*	S	R
0	0	0	1	0	0
0	1	0	1	0	$0 = Q_{-1}$
1	0	0	1	$1 = Q_{-1}^*$	0
1	1	0	1	$1 = Q_{-1}^*$	$0 = Q_{-1}$

Evidenziate tali simmetrie, produciamo la tabella di verità complessiva e sintetica:

La tavola di verità del FF-JK è definita a lato, utilizzando questa legenda:

- **condizione di memoria;**
- **condizioni di comando;**
- **condizione per complementare l'uscita.**

J	K	S	R
0	0	0	0
0	1	0	Q_{-1}
1	0	Q_{-1}^*	0
1	1	Q_{-1}^*	Q_{-1}

Dalla tavola di verità riusciamo a capire bene il comportamento di questo componente:

- le **condizioni di comando** evidenziano che le uscite dipendono dal valore dei vecchi ingressi;
- la **condizione di memoria** permette di memorizzare gli stati precedenti di Q e Q^* ;
- la vecchia condizione di metastabilità diventa la **condizione per complementare l'uscita**, ovvero un comando per scambiare i valori nelle uscite Q e Q^* .

Si noti come gli ingressi del FF-JK siano strettamente legati alle uscite, quindi è possibile definire le equazioni dello stato futuro Q :

Per fare ciò partiamo dal costruire la tavola di verità supponendo J costante a 0:

$J = 0$

- $K = 0 \rightarrow Q = Q_{-1}$
- $K = 1 \rightarrow Q = 0$

$$1 \quad Q = K^* \cdot Q_{-1}$$

A questo punto consideriamo il caso in cui J sia costante ad 1 e cerchiamo di aggiungere in OR a quanto visto prima quello che osserviamo in uscita

$J = 1$

- $K = 0 \rightarrow Q = 1$

Prima in uscita avevamo $Q = K^* \cdot Q_{-1}$ che in uscita lascerebbe Q_{-1} , che però potrebbe valere 0. Per escludere questa eventualità, forzare l'uscita ad 1 ma non intaccare il caso precedente, aggiungiamo in OR un termine J , ottenendo:

$$2 \quad Q = J + K^* \cdot Q_{-1}$$

- $K = 1 \rightarrow Q = Q_{-1}^*$

Se ci limitassimo a quanto appena detto, per $K = 1$ si ha $K^* = 0$ e dunque l'uscita difatti risulterebbe $Q = J + K^* \cdot Q_{-1} = J$ che però fornisce in uscita 1, anche quando $Q_{-1} = 0$

Per evitare ciò mettiamo in AND con il termine J il termine Q_{-1}^* e così otteniamo l'espressione finale:

$$Q = J \cdot Q_{-1}^* + K^* \cdot Q_{-1}$$

È facilmente verificabile che l'aggiunta di questo termine non modifica il risultato del terzo caso, in cui $J = 1$ e $K = 0$.