



# Esercitazione 1 - Progetto guidato di un circuito

## Esercizio 1 - Rilevamento della velocità dei veicoli

▼ Creatore originale: @Giacomo Dandolo

- @<Utente>(<Data>): <Descrizione della modifica>

### Obiettivo

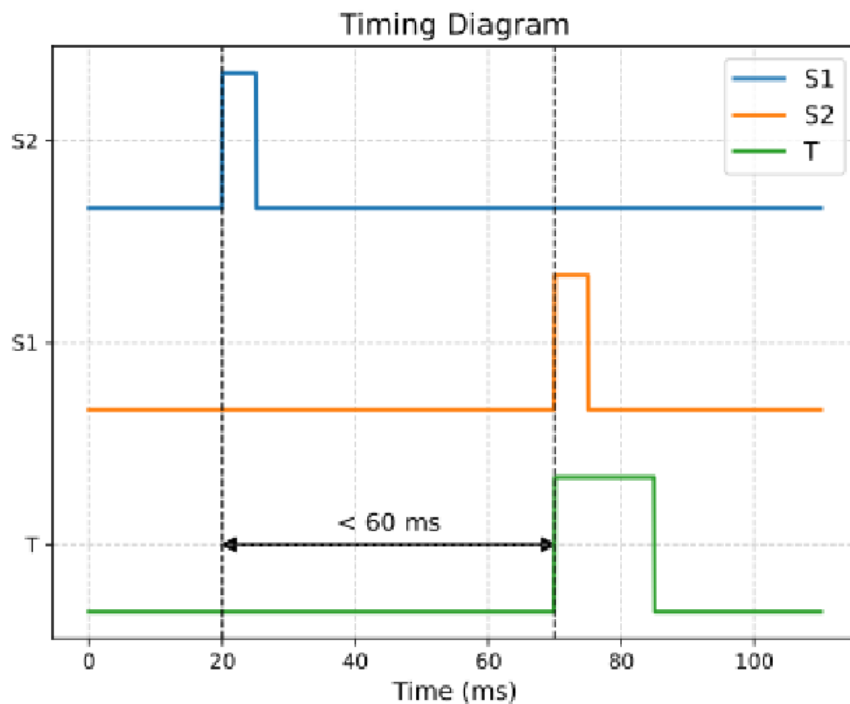


Diagramma temporale del circuito da creare

Si vuole realizzare il comportamento del [diagramma temporale](#) attraverso un circuito logico.

### ▼ Logica della realizzazione

La logica della realizzazione è:

1. generare un segnale QQQ che va a 1 nell'intervallo di tempo tra i due segnali dei sensori S1 e S2, utilizzando un componente che viene impostato (SET) dal segnale del sensore S1 e resettato (RESET) dal segnale del sensore S2.

Il componente utilizzato è un Flip-Flop SR, poiché permette di impostare (S = SET) e resettare (R = RESET) il valore QQQ in uscita;

2. misurare la durata della fase in cui QQQ è a 1.

Il componente utilizzato è un clock accoppiato ad un contatore, che permette di contare (e quindi misurare) la durata della fase;

3. confrontare la durata con una soglia.

- a. Durata superiore alla soglia: velocità inferiore al limite;
- b. Durata inferiore alla soglia: velocità superiore al limite, bisogna attivare la telecamera.

Il componente utilizzato è un comparatore, che permette di confrontare l'ingresso A con l'ingresso B aritmeticamente, portando una delle tre uscite (>, <=, <, >=, <, =) a 1.

### ▼ Descrizione del circuito

Analizziamo le varie parti:

(1) Il FF-SR è impostato per eseguire SET quando  $S1=1S_1=1S1 = 1$ , mentre eseguire RESET quando  $S2=1S_2=1S2 = 1$ , in modo da, rispettivamente, iniziare o terminare la conta.

(2) Si utilizza il FF-D sincrono con un clock CK per sincronizzare l'uscita Q del FF-SR, in modo da evitare che ci siano inconsistenze nei periodi di conta.

(3) Impostando che il tempo di clock sia  $TCK=10\text{ms}$ ,  $T_{\text{CK}} = 10\text{ms}$ , si imposta come soglia  $CNTR=6$ ,  $\text{CNTR} = 6$ :

$$X = \begin{cases} 0 & \text{CNTR} \geq 6 \\ 1 & \text{CNTR} < 6 \end{cases}$$

$$X = 0 \text{ \& } \text{CNTR} \geq 6$$

\\

$$X = 1 \text{ \& } \text{CNTR} < 6$$

$$\text{end{cases}} \quad X = 0 \text{ \& } \text{CNTR} \geq 6 \quad X = 1 \text{ \& } \text{CNTR} < 6$$

(4) Se il segnale  $Q0=\overline{Q}=1Q_0 = \overline{Q} = 1$ , il segnale di CLR viene attivato, poiché il segnale di RESET è impostato a 1, e si è quindi resettato il valore del counter di tempo. Se il segnale  $Q1=1Q_1=1Q1 = 1$  oppure  $Q2=1Q_2=1Q2 = 1$ , si ha che  $FZ=1$ ,  $\text{FZ} = 1$ .

(5) Se i segnali  $\overline{Q}=0$ ,  $\overline{Q} = 0$  (segnale di SET è impostato a 1, si sta ancora contando),  $X=1$ ,  $X = 1$  e  $FZ=1$ ,  $\text{FZ} = 1$  hanno i valori definiti, allora si deve attivare la telecamera. Per attivarla, si usano due FF-D:

- il primo FF-D sincrono permette di memorizzare il valore di  $Y0=FZ \cdot \overline{Q} = \text{FZ} \cdot \overline{Q}$ , portando in uscita  $Y1=Y0$ ,  $Y_1 = Y_0$ ;
- il secondo FF-D sincrono permette di memorizzare il valore di  $Y1=Y2$ ,  $Y_1 = Y_2$ .

Si definisce  $T=Y1 \cdot Y2$ ,  $T = Y_1 \cdot Y_2$ .

$$T = \begin{cases} 0 & \text{telecamera disattivata} \\ 1 & \text{telecamera attivata} \end{cases}$$

$$T = 0 \text{ \& } \text{telecamera disattivata}$$

\\

$$T = 1 \text{ \& } \text{telecamera attivata}$$

$$\text{end{cases}} \quad T = 0 \text{ \& } \text{telecamera disattivata} \quad T = 1 \text{ \& } \text{telecamera attivata}$$

Questa implementazione utilizza due FF-D perché si utilizza un comparatore che imposta  $X=1$ ,  $X = 1$  quando  $\text{CNTR} < 6$ ,  $\text{CNTR} < 6$ , ma la telecamera si deve attivare quando  $\text{CNTR} = 6$ ,  $\text{CNTR} = 6$ . Grazie al clock, il quale sincronizza tutto il circuito, è necessario che sia  $Y1$ ,  $Y_1$  che  $Y2$ ,  $Y_2$  siano uguali a 1 nello stesso periodo di clock, ossia quando  $Y0=1$ ,  $Y_0 = 1$  per due periodi di clock successivi.

## Esercizio 2 - Calcolo della frequenza massima

▼ Creatore Originale: @Giacomo Dandolo

- @Giacomo Dandolo (13/04/2025): aggiunti i collegamenti ad argomenti di teoria.
- @<Utente>(<Data>): <Descrizione della modifica>

### Obiettivo

Negli esercizi precedenti abbiamo considerato  $TCK=10\text{ ms}$ ,  $T_{\text{CK}} = 10\text{ ms}$  come periodo di clock, con frequenza di clock  $FCK=100\text{ Hz}$ ,  $F_{\text{CK}} = 100\text{ Hz}$ . L'errore di misura, però, risulta molto grande, dell'ordine di  $\pm 10\text{ ms}$ , ed è quindi molto elevato. Conviene, quindi, utilizzare una frequenza di clock più alta.

Qual è la massima frequenza di clock  $F_{\max}$ ?

## ▼ Tempistiche del circuito

Riportiamo le tempistiche del circuito:

- tempo di propagazione della porta OR:  $t_{\text{OR}} = 1 \text{ ns}$
- tempo di propagazione della porta AND:  $t_{\text{AND}} = 2 \text{ ns}$
- tempo di propagazione del comparatore:  $t_{\text{comp}} = 10 \text{ ns}$
- FF-D e contatore:

- tempo di propagazione del clock:

$$t_{\text{CK-Q}} = 1 \text{ ns}$$

- tempo di setup:

$$t_{\text{SU}} = 0.8 \text{ ns}$$

- tempo di hold.

$$t_{\text{H}} = 0.5 \text{ ns}$$

## ▼ Calcolo della frequenza massima

Si devono considerare i vari percorsi da QQQ a DDD per i vari flip-flop per il calcolo della frequenza massima  $F_{\max}$ , facendo in modo di trovare il percorso con il tempo di percorrenza maggiore.

Visualizzazione dei percorsi su cui calcolare il tempo di percorrenza

(1)

$$t_1 = t_{\text{CK-Q}} + t_{\text{OR}} = 1 \text{ ns} + 1 \text{ ns} = 2 \text{ ns}$$

(2)

$$t_2 = t_{\text{CK-Q}} + t_{\text{OR}} + t_{\text{AND}} = 1 \text{ ns} + 1 \text{ ns} + 2 \text{ ns} = 4 \text{ ns}$$

(3)

$$t_3 = t_{\text{CK-Q}} + t_{\text{comp}} + t_{\text{AND}} = 1 \text{ ns} + 10 \text{ ns} + 2 \text{ ns} = 13 \text{ ns}$$

Si ottiene che il tempo di clock minimo è  $t_3$  sommato a  $t_{\text{SU}}$ , essendo  $t_3$  il percorso di costo massimo in termini di tempo tra quelli definiti.

$$T_{\text{CK}} \geq T_{\text{CK, min}} = t_3 + t_{\text{SU}} = 1 \text{ ns} + 10 \text{ ns} + 2 \text{ ns} + 0.8 \text{ ns} = 13.8 \text{ ns}$$

Dopo il calcolo di  $T_{\text{CK, min}}$ , si può definire la frequenza massima  $F_{\max}$ .

$$F_{\text{CK}} = \frac{1}{T_{\text{CK}}} \leq \frac{1}{T_{\text{CK, min}}} = \frac{1}{13.8 \text{ ns}} \approx 72.5 \text{ MHz}$$

## ▼ Verifica delle violazioni di hold

Visualizzazione dei percorsi su cui verificare la condizione di hold

(1)

$$t_{CK-Q} = 1 \text{ ns} > t_H = 0.5 \text{ ns} \quad t_{CK-Q} = 1 \text{ ns} > t_H = 0.5 \text{ ns}$$

Dato che la condizione di hold è verificata, non ci possono essere violazioni.