



Materiale di PED



Alcune regole per usufruire correttamente delle seguenti dispense:

1. questo materiale non deve essere letto con occhi passivi, che accettano tutto ciò che viene detto, ma, essendo creato da studenti, ci potrebbero essere degli errori. Detto questo, utilizzate lo **spirito critico** per capire gli argomenti e non fermatevi a ciò che è scritto;
2. per navigare agevolmente il materiale all'interno di una pagina, ognuna di esse è fornita di un indice a comparsa sul suo lato destro;
3. nelle pagine di teoria gli approfondimenti saranno indicati attraverso il simbolo (*). Essi sono argomenti che non risultano strettamente necessari al superamento dell'esame;
4. se notate un errore, qualcosa che non risulta chiaro oppure un concetto che potrebbe essere spiegato meglio, potete notificare chi ha creato la pagina (indicato all'inizio della relativa pagina di teoria oppure all'inizio del relativo esercizio nelle esercitazioni) cercando il suo contatto Telegram sulla [pagina dei crediti](#);
5. molti concetti che sono stati dati per scontati, o addirittura sono stati spiegati in maniera superficiale durante le lezioni, sono stati trattati nelle relative pagine di teoria attraverso l'ausilio di materiale vario trovato nel Web e nelle slide relative del corso, oltre che da conoscenze pregresse dei collaboratori al progetto.



Dato che il corso è ancora in fase di erogazione, le pagine fornite non comprendono ancora tutti gli argomenti che verranno trattati all'esame, e non possiamo neanche prevedere cosa sarà più o meno importante ai fini dell'esame, essendo un corso nuovo.

Man mano che completiamo argomenti, essi saranno pubblicati in questa pagina.

Teoria

In questa sezione saranno presenti tutti i concetti di teoria illustrati nel corso, oltre a qualche argomento aggiuntivo che viene tralasciato, ma che non risulta necessariamente ovvio per tutti.

Concetti di base



Funzioni e porte logiche



Circuiti logici



Bistabili e Flip-Flop



Tempi di clock, di setup, di hold e frequenza massima



Registri



Contatori e divisori



Macchina a stati finiti (FSM).



Forme Canoniche



Mappe di Karnaugh (K-Map).



Ritardi e alee delle reti combinatorie



Ottimizzazione per FSM

| ASM → SOON

 Circuiti Aritmetici

 Unità di controllo e datapath

| Register Transfer Level (RTL) → SOON

Tecnologia CMOS

↑↓ Transistori

💡 Implementazione delle porte logiche CMOS

🕒 Tempo di propagazione (CMOS)

↕ Tempi di salita e di discesa

| Analisi delle prestazioni di circuiti logici → SOON

Verilog

💻 Basi del linguaggio Verilog

💻 Modellazione strutturale

💻 Modellazione a livello di porta logica (GATE-LEVEL)

💻 Modellazione RTL

💻 Modellazione comportamentale

💻 Testbench in Verilog

💻 Descrizione di registri, ROM, RAM in Verilog

Esercitazioni

In questa sezione saranno presenti le esercitazioni trattate durante il corso, con spiegazioni approfondite riguardo alle strategie adottate nelle soluzioni e richiami utili alla teoria.

1 Esercitazione 1 - Progetto guidato di un circuito

2 Esercitazione 2 - Minimizzazione e mappe di Karnaugh

3 Esercitazione 3 - Tempi di salita, di discesa, di propagazione e frequenza massima

5 Esercitazione 5 + iverilog e gtkwave

6 Esercitazione 6 - Logica programmabile e memorie a semiconduttore