

3

Esercitazione 3 - Tempi di salita, di discesa, di propagazione e frequenza massima

Esercizio 1 - Porte Logiche CMOS

Obiettivo 1 - Completamento della schematica

Costruzione della PDN

Obiettivo 2.1 - Tempo di salita e di discesa

Impostazione

Calcolo della resistenza equivalente minima e massima

Calcolo del tempo di salita

Calcolo del tempo di discesa

Nota a posteriori

Obiettivo 2.2 - Tempi di propagazione

Impostazione

Spiegazione del caso $L \rightarrow H$

Caso $L \rightarrow H$ (E)

Caso $L \rightarrow H$ (I)

Spiegazione del caso $H \rightarrow L$

Caso $H \rightarrow L$ (E)

Caso $H \rightarrow L$ (I)

Ritardo complessivo (OUT)

Nota a posteriori

Esercizio 2 - Porte Logiche CMOS

Obiettivo 1 - Implementazione di funzione logica con CMOS

Utilizzo delle leggi di De Morgan

Utilizzo della doppia negazione

Obiettivo 2 - Tempi di salita e di discesa

Calcolo del tempo di salita

Tempo di discesa

Esercizio 3 - Circuito sequenziale CMOS

Descrizione dei parametri del circuito in esame

Obiettivo 1 - Ritardi di propagazione CMOS

[Porta NAND](#)

[Porta NOR](#)

Obiettivo 2 - Frequenza massima del circuito

[Impostazione](#)

[Propagazione di un segnale inizialmente alto](#)

[Propagazione di un segnale inizialmente basso](#)

[Frequenza massima](#)

Obiettivo 3 - Valore massimo del tempo di hold

[Determinazione del percorso più breve](#)

[Calcolo del tempo di hold](#)

Obiettivo 4 - Potenza dinamica e statica

[Potenza statica \(NAND\)](#)

[Potenza statica \(NOR\)](#)

[Nota sulla potenza statica](#)

[Potenza dinamica](#)

Esercizio 1 - Porte Logiche CMOS

▼ Creatore originale: @Francesco Ambrosino

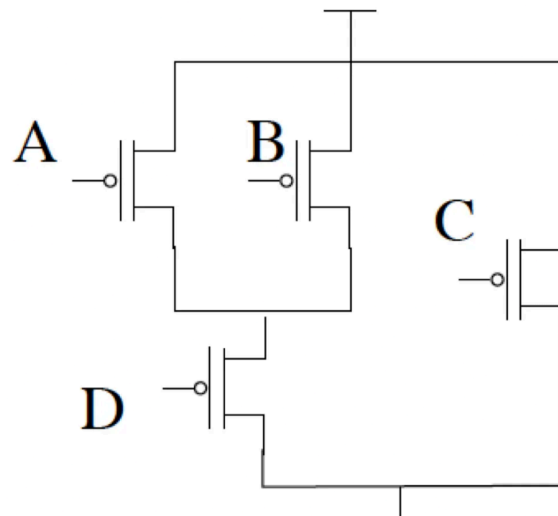
- @Giacomo Dandolo (11/04/2025): Aggiunte descrizioni per passaggi dell'obiettivo 1, aggiunti valori forniti dal testo ed eseguiti i calcoli per l'obiettivo 2.1.

Obiettivo 1 - Completamento della schematica

Completare lo schematica della porta logica.

Dato un pull-up network (pull-down network), il corrispettivo pull-down network (pull-up network) si disegna per antitesi: data una serie di CMOS si ha un parallelo, e viceversa.

Supponiamo di avere la seguente PUN, che è tale perché sono presenti i pMOS. Vogliamo costruirne la PDN.



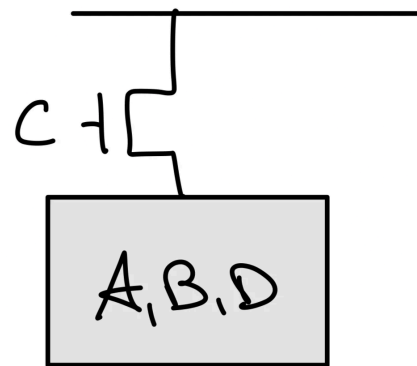
Visualizzazione della PUN in esame

▼ Costruzione della PDN

Costruiamo la PDN, dall'esterno verso l'interno.

1. Evidenziamo C , mettendola in serie al resto del sistema, poiché il parallelo tra C e gli altri componenti è descrivibile da una serie tra gli stessi.

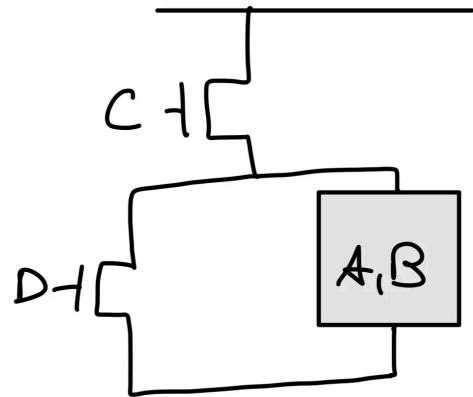
$$C \parallel \{A, B, D\} \longrightarrow C + \{A, B, D\}$$



Prima operazione

2. Evidenziamo D , mettendola in parallelo agli altri componenti, poiché la serie tra D e gli altri componenti è descrivibile da un parallelo degli stessi.

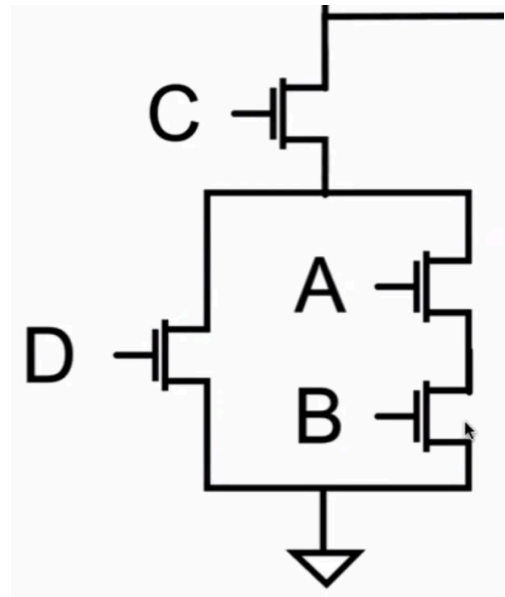
$$D + \{A, B\} \longrightarrow D \parallel \{A, B\}$$



Seconda operazione

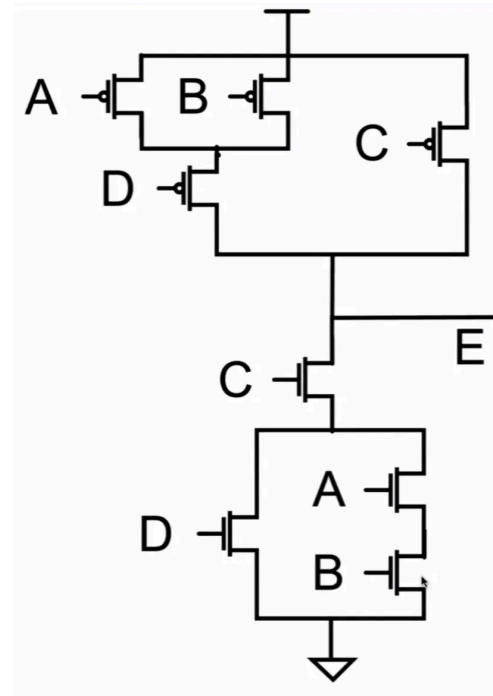
3. Evidenziamo A e B , mettendoli in serie tra loro, poiché il parallelo tra A e B è descrivibile da una serie degli stessi.

$$A \parallel B \longrightarrow A + B$$



Terza operazione

4. Alla fine del procedimento, si ottiene che il circuito finale è come nella figura a lato.



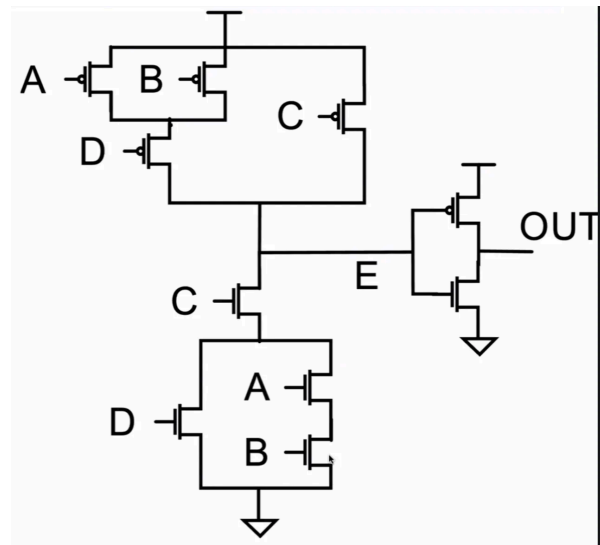
Risultato finale

Obiettivo 2.1 - Tempo di salita e di discesa

Dato lo schema precedentemente ottenuto, determinare il tempo di salita (t_{rise}) e il tempo di discesa (t_{fall}) minimi e massimi al nodo E, nota R_{ON} e C_{gate} dei MOS.

$$R_{\text{ON}} = 10 \text{ k}\Omega$$

$$C_{\text{gate}} = 5 \text{ fF}$$



Schema ottenuto alla fine dell'obiettivo 1



Richiami teorici

Calcolo del tempo di salita (t_{rise}) e del tempo di discesa (t_{fall})

Per il calcolo di t_{rise} si guarda la **PUN**, mentre per il calcolo di t_{fall} si guarda la **PDN**, visto che la carica arriva (rise) dalla Pull Up Network e si disperde (caduta) dalla Pull Down Network.

Tempi di salita e di discesa

Calcolo del tempo di transizione ($t_{\text{transizione}}$)

$$t_{\text{transizione}} = \tau \cdot \ln(9) = \tau \cdot 2.2$$

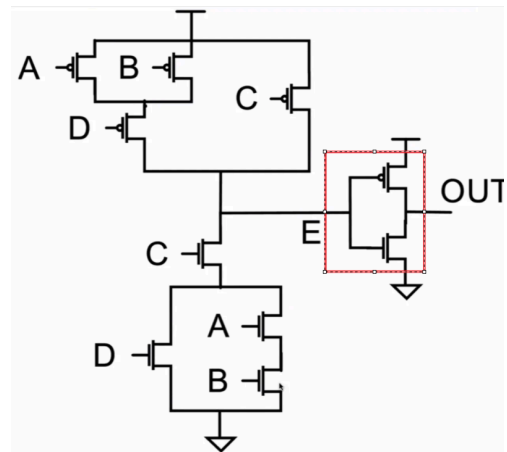
$$\tau = R_{\text{eq}} \cdot C_{\text{carico}}$$

Per il calcolo di $t_{\text{transizione, min}}$ si usano le $R_{\text{eq, min}}$, mentre per il calcolo di $t_{\text{transizione, max}}$ si usano le $R_{\text{eq, max}}$.

La C_{carico} è la stessa per entrambi i casi.

▼ Impostazione

Considereremo $C_{\text{carico}} = 2 \cdot C_{\text{gate}}$, poiché il carico della mia uscita è rappresentato dall'inverter il quale è formato da due MOS considerabili in parallelo e, di conseguenza, bisogna considerare il parallelo delle C_{gate} dei MOS che costituiscono l'inverter.



Sia per il tempo di salita, sia per il tempo di discesa, si possono descrivere i rispettivi tempi massimi e minimi come:

$$t_{\text{transizione, min}} = 2.2 \cdot R_{\text{eq, min}} \cdot C_{\text{carico}} = 2.2 \cdot R_{\text{eq, min}} \cdot 2C_{\text{gate}}$$

$$t_{\text{transizione, max}} = 2.2 \cdot R_{\text{eq, max}} \cdot C_{\text{carico}} = 2.2 \cdot R_{\text{eq, max}} \cdot 2C_{\text{gate}}$$

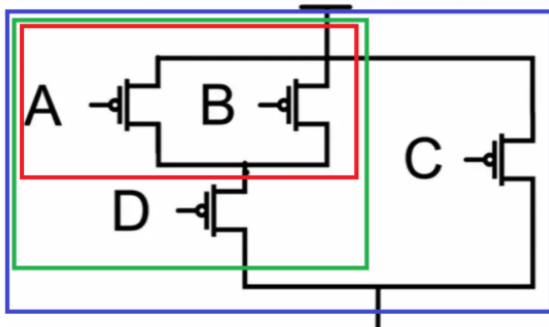
▼ Calcolo della resistenza equivalente minima e massima

Per il calcolo della $R_{\text{eq, min}}$ e $R_{\text{eq, max}}$, in entrambi i casi di tempo di salita e di discesa, si può procedere in due modi:

1. si calcolano tutte le combinazioni di R_{eq} possibili, prendendo quelle che ne minimizzano (o massimizzano) il valore;
2. si osserva che i paralleli diminuiscono il valore della R_{eq} , le serie aumentano il valore della R_{eq} . Sapendo questo, nel calcolo della $R_{\text{eq, min}}$ basta tenere in considerazione più paralleli possibili e solo le serie "obbligate". Nel calcolo della $R_{\text{eq, max}}$ dobbiamo tenere in considerazione più serie possibili, evitando i paralleli.

▼ Calcolo del tempo di salita

Sviluppiamo i calcoli della $R_{\text{eq, min}}^{\text{PUN}}$ e $R_{\text{eq, max}}^{\text{PUN}}$ in relazione al tempo di salita, osservando la PUN.

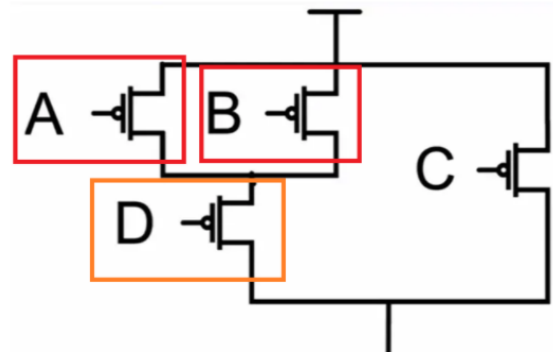


Calcolo della resistenza equivalente minima:

in

rosso $A \parallel B$, in verde $(A \parallel B) + D$, in blu $((A \parallel B) + D) \parallel C$.

N.B. stiamo considerando la PUN



Calcolo della resistenza equivalente

massima:

in

rosso A oppure B (essendo uguali in valore), in arancione D e tutti insieme $(A + D)$ oppure $(B + D)$.

N.B. stiamo considerando la PUN

$$R_{\text{eq, min}}^{\text{PUN}} = ((R_A \parallel R_B) + R_D) \parallel R_C = \frac{3}{5} R_{\text{ON}}$$

$$R_{\text{eq, max}}^{\text{PUN}} = R_A + R_D = 2R_{\text{ON}}$$

Si noti come la serie utilizzata tra $\{A, B\}$ e D è obbligata, perché altrimenti non sarebbe presente collegamento tra E e V_{∞} , e quindi deve fare parte del calcolo di $R_{\text{eq, min}}^{\text{PUN}}$.

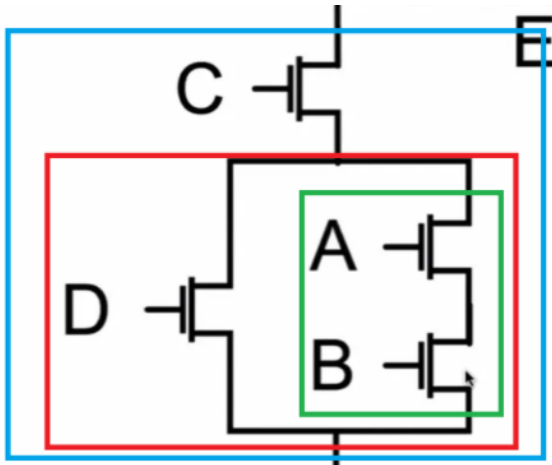
Possiamo, quindi, calcolare $t_{\text{rise, min}}$ e $t_{\text{rise, max}}$.

$$\begin{aligned} \tau_{\text{rise, min}} &= R_{\text{eq, min}}^{\text{PUN}} \cdot 2C_{\text{gate}} & t_{\text{rise, min}} &= 2.2\tau_{\text{rise, min}} = 0.13 \text{ ns} \\ &= \frac{3}{5}R_{\text{ON}} \cdot 2C_{\text{gate}} \end{aligned}$$

$$\begin{aligned} \tau_{\text{rise, max}} &= R_{\text{eq, max}}^{\text{PUN}} \cdot 2C_{\text{gate}} & t_{\text{rise, max}} &= 2.2\tau_{\text{rise, max}} = 0.44 \text{ ns} \\ &= 2R_{\text{ON}} \cdot 2C_{\text{gate}} \end{aligned}$$

▼ Calcolo del tempo di discesa

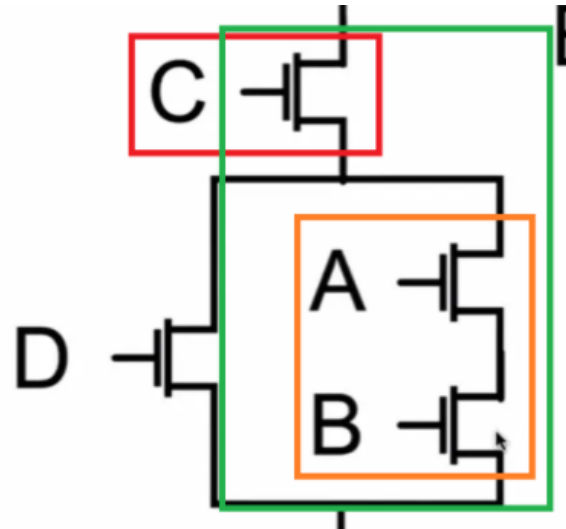
Sviluppiamo i calcoli della $R_{\text{eq, min}}^{\text{PDN}}$ e $R_{\text{eq, max}}^{\text{PDN}}$ in relazione al tempo di discesa, osservando la PDN.



Calcolo della resistenza equivalente minima:

in
verde $A + B$, in rosso $(A + B) \parallel D$ e in blu
 $((A + B) \parallel D) + C$.

N.B. stiamo considerando la PDN



Calcolo della resistenza equivalente
massima:

In
rosso C , in arancione $A + B$ e in verde
 $A + B + C$;

N.B. stiamo considerando la PDN

$$R_{eq, \min}^{PDN} = ((R_A + R_B) \parallel R_D) + R_C = \frac{5}{3} R_{ON}$$

$$R_{eq, \max}^{PDN} = R_A + R_B + R_C = 3R_{ON}$$

Possiamo, quindi, calcolare $t_{fall, \min}$ e $t_{fall, \max}$.

$$\begin{aligned} \tau_{fall, \min} &= R_{eq, \min}^{PDN} \cdot 2C_{gate} \\ &= \frac{5}{3} R_{ON} \cdot 2C_{gate} \end{aligned}$$

$$t_{fall, \min} = 2.2\tau_{fall, \min} = 0.37 \text{ ns}$$

$$\begin{aligned} \tau_{fall, \max} &= R_{eq, \max}^{PDN} \cdot 2C_{gate} \\ &= 3R_{ON} \cdot 2C_{gate} \end{aligned}$$

$$t_{fall, \max} = 2.2\tau_{fall, \max} = 0.66 \text{ ns}$$

▼ Nota a posteriori

In questo caso, $R_{eq,min}^{fall}$ risulta uguale a $R_{eq,min}^{rise}$, ma con il coefficiente invertito. Questa non è una regola: la spiegazione è che in questo caso entrambe le R_{eq} considerano tutto il circuito, quindi al più può essere vista come una conferma di simmetria tra PUN e PDN.

Obiettivo 2.2 - Tempi di propagazione

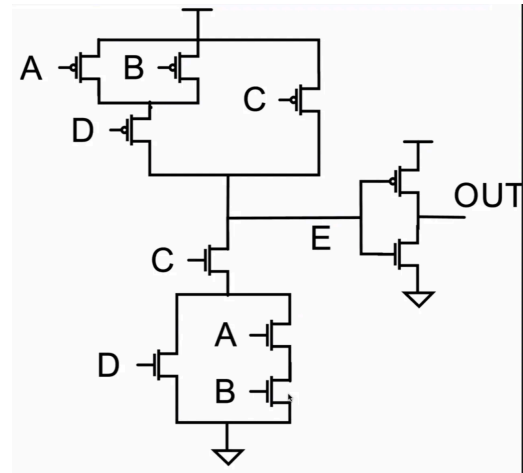
Dato lo schema precedentemente ottenuto,

determinare $t_{propagazione, min}$ e

$t_{propagazione, max}$, noti

$V_{IL}, V_{IH}, V_{DD}, R_{ON}, C_{carico,E}, C_{carico,I}$, dove

$V_{IL} < V_{IH}$.



Schema ottenuto nell'obiettivo 1

▼ Impostazione

Per calcolare il tempo di propagazione $t_{propagazione}$, sia esso minimo o massimo, dobbiamo considerare quattro situazioni:

1. commutazioni in E;
 - a. $L \rightarrow H$;
 - b. $H \rightarrow L$.
2. commutazioni in OUT.
 - a. $L \rightarrow H$;
 - b. $H \rightarrow L$.

Per gestire questi casi, è necessario ricordarsi la seguente formula:

$$V_c(t) = V_{\infty} + (V_0 - V_{\infty})e^{-\frac{t}{\tau}}$$

▼ Spiegazione del caso L→H

Per il caso in cui è presente la transizione LOW (L) → HIGH (H), si deve:

- guardare la PUN, ricordando che si vuole raggiungere HIGH;
- ricordando che si parte da LOW, equivalente a GND, si ha:

$$V_0 = V_{\text{GND}}$$

$$V_\infty = V_{\text{DD}}$$

- sviluppando l'equazione generale, si ottiene:

$$t = \tau \cdot \ln \left(\frac{V_{\text{DD}}}{V_{\text{DD}} - V_c(t)} \right)$$

▼ Caso L→H (E)

Utilizzeremo i valori $R_{\text{eq, min}}$ ed $R_{\text{eq, max}}$ del tempo di salita calcolati all'obiettivo precedente, che d'ora in poi alleggeriremo omettendo l'apice PUN.

$$R_{\text{eq, min}} = \frac{3}{5} R_{\text{ON}}$$

$$R_{\text{eq, max}} = 2R_{\text{ON}}$$

Per il calcolo di $t_{\text{L} \rightarrow \text{H, min}}$ usiamo $V_c(t) = V_{\text{IL}}$ per due motivi:

- motivo fisico: essendo in salita (L→H), per il calcolo del tempo minimo usiamo la soglia più bassa, poiché è quella che viene attraversata prima tra le due;
- motivo matematico: volendo trovare il tempo minimo, usiamo il valore più piccolo poiché, essendo col segno negativo al denominatore, è quello che minimizza il risultato della frazione. Detto in altri termini, se usassimo V_{IH} otterremmo un valore maggiore rispetto ad usare V_{IL} .

$$t_{\text{L} \rightarrow \text{H, min}} = R_{\text{eq, min}} \cdot C_{\text{carico, E}} \cdot \ln \left(\frac{V_{\text{DD}}}{V_{\text{DD}} - V_{\text{IL}}} \right) = 0.04 \text{ ns}$$

Per il calcolo di $t_{\text{L} \rightarrow \text{H, max}}$ usiamo $V_c(t) = V_{\text{IH}}$ per motivi analoghi a quelli già definiti nel caso precedente.

$$t_{L \rightarrow H, \max} = R_{eq, \max} \cdot C_{carico, E} \cdot \ln \left(\frac{V_{DD}}{V_{DD} - V_{IH}} \right) = 0.36 \text{ ns}$$

▼ Caso L→H (I)

Per il calcolo delle $R_{eq, \min}$ ed $R_{eq, \max}$ dell'inverter, guardiamo la PUN, in cui notiamo che c'è un solo percorso possibile. Si ha, quindi:

$$R_{eq} = R_{eq, \min} = R_{eq, \max} = R_{ON}$$

Come per il punto E, per il calcolo di $t_{L \rightarrow H, \min}$ usiamo $V_c(t) = V_{IL}$ e per il calcolo di $t_{L \rightarrow H, \max}$ usiamo $V_c(t) = V_{IH}$.

$$t_{L \rightarrow H, \min} = R_{eq} \cdot C_{carico, I} \cdot \ln \left(\frac{V_{DD}}{V_{DD} - V_{IL}} \right) = 0.69 \text{ ns}$$

$$t_{L \rightarrow H, \max} = R_{eq} \cdot C_{carico, I} \cdot \ln \left(\frac{V_{DD}}{V_{DD} - V_{IH}} \right) = 1.79 \text{ ns}$$

▼ Spiegazione del caso H→L

Per il caso in cui è presente la transizione HIGH (H) → LOW (L), si deve:

- guardare la PDN, ricordando che si vuole raggiungere LOW;
- ricordando che si parte da HIGH, equivalente a DD, si ha:

$$V_0 = V_{DD}$$

$$V_{\infty} = V_{GND}$$

- sviluppando l'equazione generale, si ottiene:

$$t = \tau \cdot \ln \left(\frac{V_{DD}}{V_c(t)} \right)$$

▼ Caso H→L (E)

Utilizzeremo i valori $R_{eq, \min}$ ed $R_{eq, \max}$ del tempo di discesa calcolati all'obiettivo precedente, che d'ora in poi alleggeriremo omettendo l'apice PDN.

$$R_{eq, \min} = \frac{5}{3} R_{ON}$$

$$R_{eq, \max} = 3 R_{ON}$$

Per il calcolo di $t_{H \rightarrow L, \min}$ usiamo $V_c(t) = V_{IH}$ per due motivi:

- motivo fisico: essendo in discesa ($H \rightarrow L$), per il calcolo del tempo minimo usiamo la soglia più alta, poiché è quella che viene attraversata prima tra le due;
- motivo matematico: volendo trovare il tempo minimo, usiamo il valore più alto poiché, essendo col segno positivo al denominatore, è quello che minimizza il risultato della frazione. Detto in altri termini, se usassimo V_{IL} otterremmo un valore maggiore rispetto ad usare V_{IH} .

$$t_{H \rightarrow L, \min} = R_{eq, \min} \cdot C_{carico, E} \cdot \ln \left(\frac{V_{DD}}{V_{IH}} \right) = 0.03 \text{ ns}$$

Per il calcolo di $t_{L \rightarrow H, \max}$ usiamo $V_c(t) = V_{IH}$ per motivi analoghi a quelli già definiti nel caso precedente.

$$t_{H \rightarrow L, \max} = R_{eq, \max} \cdot C_{carico, E} \cdot \ln \left(\frac{V_{DD}}{V_{IL}} \right) = 0.21 \text{ ns}$$

▼ Caso $H \rightarrow L$ (I)

Per il calcolo delle $R_{eq, \min}$ ed $R_{eq, \max}$ dell'inverter, guardiamo la PDN, in cui notiamo che c'è un solo percorso possibile. Si ha, quindi:

$$R_{eq} = R_{eq, \min} = R_{eq, \max} = R_{ON}$$

Come per il punto E, per il calcolo di $t_{H \rightarrow L, \min}$ usiamo $V_c(t) = V_{IH}$ e per il calcolo di $t_{H \rightarrow L, \max}$ usiamo $V_c(t) = V_{IL}$.

$$t_{H \rightarrow L, \min} = R_{eq} \cdot C_{carico, I} \cdot \ln \left(\frac{V_{DD}}{V_{IH}} \right) = 0.18 \text{ ns}$$

$$t_{H \rightarrow L, \max} = R_{eq} \cdot C_{carico, I} \cdot \ln \left(\frac{V_{DD}}{V_{IL}} \right) = 0.69 \text{ ns}$$

Si noti come si ottiene lo stesso risultato ottenuto per la PDN, poiché i due network dell'inverter sono identici a livello di MOS.

▼ Ritardo complessivo (OUT)



Facciamo alcuni commenti preliminari:

- per il calcolo dei tempi minimi (massimi) totali si usano i tempi minimi (massimi) locali. Nella pratica, in un'equazione dobbiamo controllare che i pedici siano tutti minimi o tutti massimi;
- fisicamente parlando, i circuiti implementati tramite CMOS comportano **sempre** una variazione di livello logico. Questo significa che, in una serie di circuiti con porte CMOS, la somma tra i tempi di propagazione deve avere i pedici $H \rightarrow L$ e $L \rightarrow H$ alternati poiché **un MOS che riceve un valore logico basso/alto lo trasmette in uscita alto/basso**.

Come esempio, quando vorremo calcolare un $t_{H \rightarrow L}$ dovremo impostare i calcoli sapendo che l'**ultimo tempo sommato dovrà essere anch'esso $t_{H \rightarrow L}$** , in modo da garantire la coerenza sul valore logico finale e, a cascata, i tempi precedenti dovranno avere i **pedici alternati**, secondo l'ordine dato dal circuito stesso.

Definiamo alcuni esempi:

- circuito composto da 3 moduli:

$$t_{H \rightarrow L, \text{tot}} = t_{H \rightarrow L, 1} + t_{L \rightarrow H, 2} + t_{H \rightarrow L, 3}$$

$$t_{L \rightarrow H, \text{tot}} = t_{L \rightarrow H, 1} + t_{H \rightarrow L, 2} + t_{L \rightarrow H, 3}$$

- circuito composto da 4 moduli:

$$t_{H \rightarrow L, \text{tot}} = t_{L \rightarrow H, 1} + t_{H \rightarrow L, 2} + t_{L \rightarrow H, 3} + t_{H \rightarrow L, 4}$$

$$t_{L \rightarrow H, \text{tot}} = t_{H \rightarrow L, 1} + t_{L \rightarrow H, 2} + t_{H \rightarrow L, 3} + t_{L \rightarrow H, 4}$$

Per calcolare il tempo di propagazione complessivo $t_{\text{prop, tot}}$ dobbiamo considerare i quattro casi possibili:

1. $t_{H \rightarrow L, \min}$;

2. $t_{H \rightarrow L, \max}$;

3. $t_{L \rightarrow H, \min}$;

4. $t_{L \rightarrow H, \max}$.

Una volta visionati e capiti i [commenti preliminari](#), lo sviluppo dei calcoli per il nostro esercizio, in cui il circuito è composto da 2 parti, risulta come segue:

$$t_{H \rightarrow L, \text{tot}, \min} = t_{L \rightarrow H, E, \min} + t_{H \rightarrow L, I, \min} = 0.22 \text{ nS}$$

$$t_{H \rightarrow L, \text{tot}, \max} = t_{L \rightarrow H, E, \max} + t_{H \rightarrow L, I, \max} = 1.05 \text{ nS}$$

$$t_{L \rightarrow H, \text{tot}, \min} = t_{H \rightarrow L, E, \min} + t_{L \rightarrow H, I, \min} = 0.72 \text{ nS}$$

$$t_{L \rightarrow H, \text{tot}, \max} = t_{H \rightarrow L, E, \max} + t_{L \rightarrow H, I, \max} = 2.00 \text{ nS}$$

▼ Nota a posteriori

Per semplificare la trattazione, è stata omessa l'importanza di verificare sempre che $t_{\max} > t_{\min}$, ma, essendo i calcoli soggetti a piccoli errori di attenzione, questa verifica può risultare assai importante.

Esercizio 2 - Porte Logiche CMOS

▼ Creatore originale: @Gianbattista Busonera

- @<utente> (<data>): <descrizione della modifica>



Per lo svolgimento di questo esercizio ho seguito e commentato il procedimento visto a lezione con uno dei docenti. Tale procedimento differisce con quanto visto nelle slide ma ciò non toglie che sia scorretto, anzi! Lo reputo comunque corretto e un buon esercizio.

Ad ogni modo, quello presente sulle slide resta corretto in quanto, nel caso del calcolo del tempo di salita/discesa (definito come il tempo necessario per far variare l'uscita tra il 10% e il 90% del valore finale e dunque, a transizione già iniziata) non ha senso guardare il percorso dagli ingressi all'uscita ma basta guardare quanto tempo impiega l'ultima porta logica (o circuito nel caso in cui lo implementiamo a mano come sotto) a caricare il carico.

Dunque, se chiedete a me, entrambi i procedimenti sono corretti; Il tutto sta nell'implementare la funzione logica a mano o con porte logiche esistenti...

Obiettivo 1 - Implementazione di funzione logica con CMOS

Implementare, tramite porte CMOS, la seguente funzione logica.

$$U = \overline{A} \cdot \overline{B} + \overline{C \cdot D}$$

Come visto nella sezione di teoria relativa all'[implementazione delle porte logiche CMOS](#), è possibile implementare una funzione logica grazie a un circuito con rete di pull down e rete di pull up. La via più conveniente è solitamente quella di partire dalla rete di pull-down (nMOS).

Per far ciò, è necessario avere la funzione logica U scritta in maniera tale che sia completamente negata. Per renderlo possibile, è necessario utilizzare le leggi di De Morgan per ricondurci a tale forma ed, eventualmente, ricorrere a una doppia negazione.

▼ Utilizzo delle leggi di De Morgan

Ricordiamo le leggi di De Morgan:

$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

$$\overline{\overline{A} \cdot \overline{B}} = \overline{\overline{A} + \overline{B}}$$

Da queste, possiamo ricavare:

$$U = \overline{\overline{A} + \overline{B}} + \overline{C \cdot D}$$

▼ Utilizzo della doppia negazione

Utilizziamo la doppia negazione:

$$U = \overline{\overline{U}} = \overline{\overline{\overline{A} + \overline{B}} + \overline{C \cdot D}}$$

Concentriamoci, per il momento, su $\overline{\overline{\overline{A} + \overline{B}} + \overline{C \cdot D}}$, notando che è stata rimossa una negazione dalla definizione di U , in modo da visualizzare meglio cosa succede.

$$\begin{cases} X = \overline{A + B} \\ Y = \overline{C \cdot D} \end{cases}$$

$$\overline{X + Y} = \overline{X} \cdot \overline{Y}$$

Si ha, quindi, che:

$$\overline{U} = \overline{\overline{\overline{A} + \overline{B}} \cdot \overline{C \cdot D}} = (A + B) \cdot (C \cdot D)$$

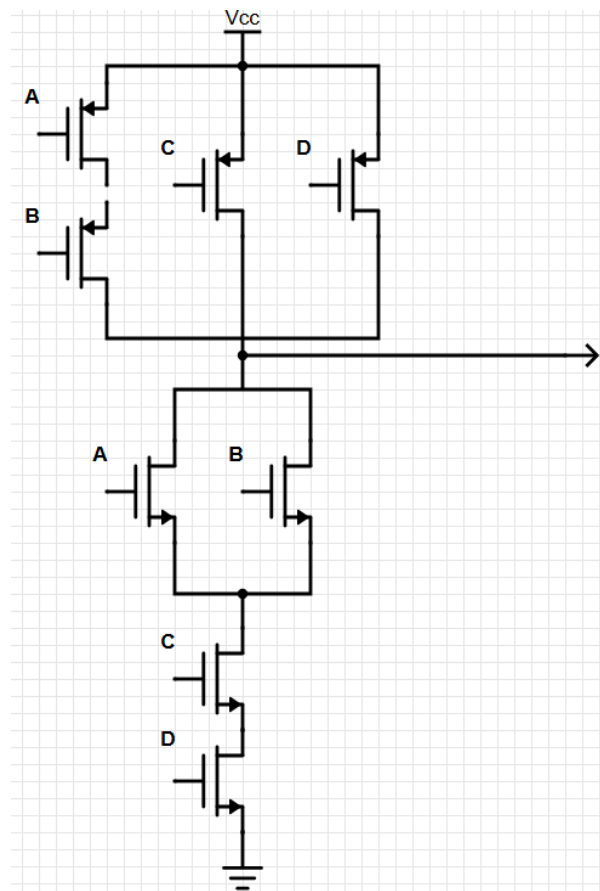
Ricordiamo, però, che precedentemente è stata rimossa una negazione, perciò:

$$U = \overline{\overline{U}} = \overline{(A + B) \cdot (C \cdot D)}$$

Otteniamo pertanto il circuito CMOS equivalente che implementa tale funzione logica:

Obiettivo 2 - Tempi di salita e di discesa

Determinare i tempi di salita e discesa minimi, sapendo che $R_{ON} = 20 \text{ k}\Omega$ e che l'uscita U è collegata ad un carico di 50 fF (50 femtofarad).



Circuito CMOS equivalente che implementa la funzione logica $U = \overline{\overline{A + B} \cdot \overline{C \cdot D}}$

▼ Calcolo del tempo di salita

Come visto nell'esercizio 1, per calcolare il tempo di salita è necessario guardare la rete di Pull Up (quella dove sono presenti i P-MOS).

Per il calcolo del tempo di salita minimo $t_{\text{rise, min}}$ è necessario considerare il maggior numero di percorsi possibili e, visto che quando i PMOS sono "accesi", cioè fanno passare corrente, li possiamo considerare dei resistori con resistenza R_{ON} , conviene considerare come percorso "minimo":

$$\begin{aligned}
 R_{\text{eq, min}} &= (R_A + R_B) \parallel R_C \parallel R_D \\
 &= 2R \parallel (R \parallel R) = 2R \parallel \frac{R}{2} \\
 &= \frac{\frac{R}{2} \cdot 2R}{\frac{R}{2} + 2R} = \frac{2R^2}{5R} = \frac{2}{5}R
 \end{aligned}$$

Ci viene detto nel testo che il carico dell'uscita (rappresentato come una freccia verso destra) ha capacità pari a $C = 50 \text{ fF}$. Sapendo che $t_{\text{rise}} = 2.2\tau_{\text{rise}}$, possiamo calcolare:

$$t_{\text{rise, min}} = 2.2\tau_{\text{rise, min}} = 2.2R_{\text{eq, min}} \cdot C = 2.2\left(\frac{2}{5}RC\right) = 0.88 \text{ ns}$$

Il calcolo del **tempo di salita massimo** differisce solo per il fatto che consideriamo il **percorso peggiore** che la corrente può attraversare (quello che farebbe impiegare più tempo). Chiaramente, questo percorso viene dato dall'attraversamento delle due resistenze A e B, senza considerare alcun parallelo.

$$R_{\text{eq, max}} = R_A + R_B = 2R$$

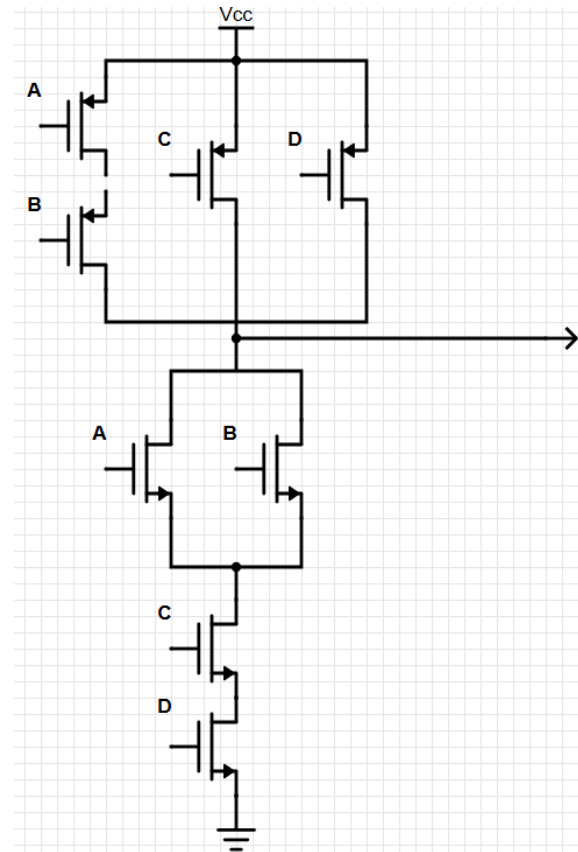
$$t_{\text{rise, max}} = 2.2\tau_{\text{rise, max}} = 2.2R_{\text{eq, max}} \cdot C = 2.2(2RC) = 4.4 \text{ ns}$$

▼ Tempo di discesa

Come visto nell'esercizio 1, per calcolare il tempo di discesa è necessario guardare la rete di Pull Down (quella dove sono presenti gli N-MOS).

Per il calcolo del tempo di discesa minimo è necessario considerare il maggior numero di percorsi possibili e, visto che quando gli NMOS sono "accesi", cioè fanno passare corrente, li possiamo considerare dei resistori con resistenza R_{ON} , conviene considerare come percorso "minimo":

$$\begin{aligned} R_{eq,min} &= (R_A || R_B) + R_C + R_D \\ &= \frac{R}{2} + 2R = \frac{5}{2}R \end{aligned}$$



Circuito CMOS equivalente che implementa la funzione logica $U = \overline{\overline{U}} = \overline{(A + B) \cdot (C \cdot D)}$.

Ci viene detto che il carico dell'uscita (rappresentato come una freccia verso destra) ha capacità pari a $C = 50$ fF. Sapendo che $t_{fall} = 2.2\tau_{fall}$, possiamo calcolare:

$$t_{fall,min} = 2.2\tau_{fall,min} = 2.2R_{eq,min} \cdot C = 2.2\left(\frac{2}{5}RC\right) = 5.5 \text{ ns}$$

Il calcolo del tempo di discesa massimo differisce solo per il fatto che consideriamo il percorso peggiore che la corrente può attraversare (quello che farebbe impiegare più tempo). Chiaramente, questo percorso viene dato dall'attraversamento delle due resistenza A o B e dalla serie di C e D.

$$R_{eq,max} = R_A + R_C + R_B = 3R$$

$$t_{\text{fall,max}} = 2.2\tau_{\text{fall,max}} = 2.2R_{\text{eq,max}} \cdot C = 2.2(3RC) = 6.6 \text{ ns}$$

Esercizio 3 - Circuito sequenziale CMOS

▼ Creatori originali: @Gianbattista Busonera, @Francesco Ambrosino

- @<utente> (<data>): <descrizione della modifica>

Descrizione dei parametri del circuito in esame

Nel [circuito in esame](#), i FF hanno $T_{\text{CK-Q}} = 0.1 \text{ ns}$, $T_{\text{SU}} = 0.15 \text{ ns}$ e capacità di ingresso C_{in} .

$$C_{\text{in}} = 20 \text{ fF}$$

Le due porte logiche combinatorie sono di tipo CMOS, in cui tutti i MOS hanno resistenze

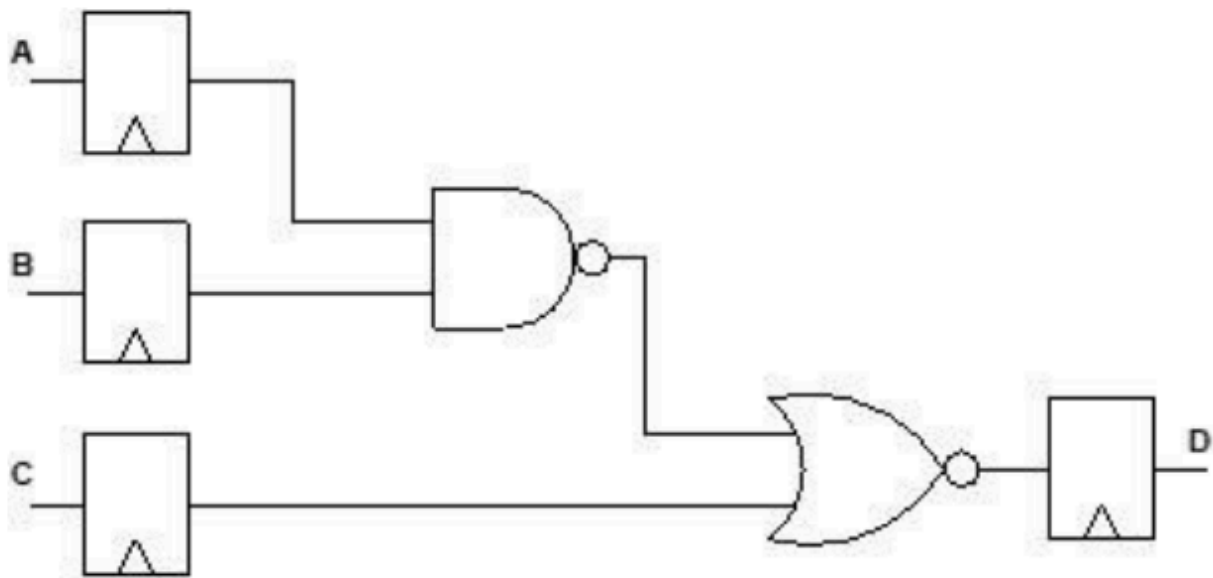
R_{ON} , capacità di gate C_{g} , I_{off} e V_{DD} .

$$R_{\text{ON}} = 20 \text{ k}\Omega$$

$$C_{\text{g}} = 5 \text{ fF}$$

$$I_{\text{off}} = 10 \text{ nA}$$

$$V_{\text{DD}} = 1.8 \text{ V}$$



Circuito sequenziale CMOS di riferimento

⚠ La **tensione di soglia V_T** che riguarda la **tensione in cui si commuta da uno stato alto/basso ad uno basso/alto** non è specificata e, pertanto, possiamo assumerla per entrambi i casi implicitamente pari a:

$$V_T = \frac{V_\infty - V_0}{2} = \frac{V_\infty}{2}$$

Questa situazione semplifica la trattazione e i calcoli:

$$V_c(t) = V_\infty + (V_0 - V_\infty)e^{-\frac{t}{\tau}} = V_T = \frac{V_\infty}{2}$$

$$e^{-\frac{t}{\tau}} = \frac{V_T - V_\infty}{V_0 - V_\infty} = \frac{V_\infty/2 - V_\infty}{-V_\infty} = \frac{1}{2}$$

$$t = \ln 2\tau = 0.69\tau$$

Questo è un risultato notevole, da ricordare perché utilizzato sempre quando il valore della tensione V_T non è reso noto dai dati del testo.

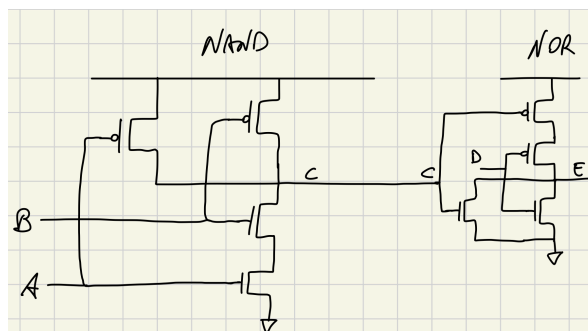
Obiettivo 1 - Ritardi di propagazione CMOS

Lo svolgimento è simile a quello fatto nell'[esercizio 1 obiettivo 2.2](#).

Calcolare i ritardi $t_{p, L \rightarrow H, \max}$ e $t_{p, H \rightarrow L, \max}$ della porta NAND e NOR.

Per quanto appena discusso, si userà in entrambi i casi:

$$t = 0.69\tau = 0.69 \cdot R_{eq} \cdot C_{carico}$$



Rappresentazione porta NAND in serie con porta NOR con condensatori

▼ Porta NAND

Si ha $C_{carico} = 2C_g$, poiché all'uscita della porta NAND c'è solo il parallelo dei condensatori nel punto identificato dalla targa C (si tratta di un NMOS e di un PMOS), che equivale alla somma delle capacità C_g , per questo C_{eq} non vale $4C_g$.

Studiamo i due casi:

- caso $L \rightarrow H$:

Guardando la PUN della NAND, per il calcolo delle resistenze equivalenti possiamo prendere una sola resistenza o il parallelo delle due resistenze, come sappiamo dall'[esercizio 1](#).

Per il calcolo della $R_{eq, \max}$ dobbiamo evitare i paralleli, poiché diminuiscono il valore totale della resistenza equivalente.

$$R_{eq, \max} = R_{ON}$$

Si ottiene, quindi, il tempo di propagazione richiesto in transizione $L \rightarrow H$ per la porta NAND come segue:

$$t_{p, L \rightarrow H, \max}^{NAND} = 0.69 \cdot R_{ON} \cdot 2C_g = 0.138 \text{ nS}$$

- caso $H \rightarrow L$:

Guardando la PDN della NAND, possiamo prendere solo la serie delle resistenze.

$$R_{eq, max} = 2R_{ON}$$

Si ottiene, quindi, il tempo di propagazione richiesto in transizione $H \rightarrow L$ per la porta NAND come segue:

$$t_{p, H \rightarrow L, max}^{NAND} = 0.69 \cdot 2R_{ON} \cdot 2C_g = 0.276 \text{ nS}$$

▼ Porta NOR

Si ha $C_{carico} = C_{in}$, poiché all'uscita della porta NOR c'è il flip-flop D, il quale ha capacità di ingresso C_{in} .

Studiamo i due casi:

- caso $L \rightarrow H$:

Guardando la PUN della NOR, possiamo prendere solo la serie delle resistenze.

$$R_{eq, max} = 2R_{ON}$$

Si ottiene, quindi, il tempo di propagazione richiesto in transizione $L \rightarrow H$ per la porta NOR come segue:

$$t_{p, L \rightarrow H, max}^{NOR} = 0.69 \cdot 2R_{ON} \cdot C_{in} = 0.552 \text{ nS}$$

- caso $H \rightarrow L$:

Guardando la PDN della NOR, per il calcolo delle resistenze equivalenti possiamo prendere una sola resistenza o il parallelo delle due resistenze, come sappiamo dall'[esercizio 1](#).

Per il calcolo della $R_{eq, max}$ dobbiamo evitare i paralleli, poiché diminuiscono il valore totale della resistenza equivalente.

$$R_{eq, max} = R_{ON}$$

Si ottiene, quindi, il tempo di propagazione richiesto in transizione $H \rightarrow L$ per la porta NOR come segue:

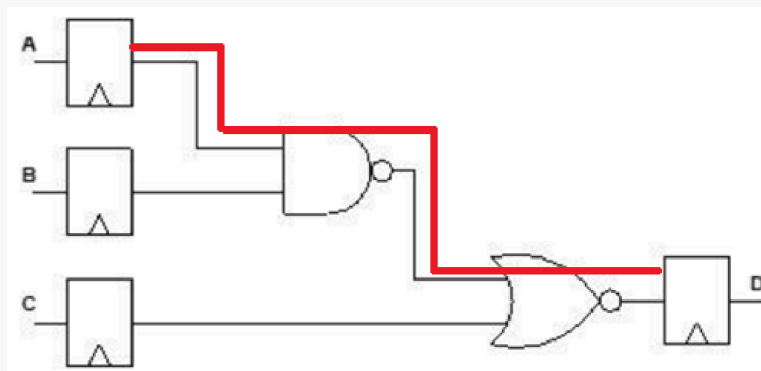
$$t_{p, H \rightarrow L, \max}^{\text{NOR}} = 0.69 \cdot R_{\text{ON}} \cdot C_{\text{in}} = 0.276 \text{ nS}$$

Obiettivo 2 - Frequenza massima del circuito

Calcolare la massima frequenza di clock del circuito F_{max} .



Detto in altri termini: qual è il tempo minimo di caso peggiore (il massimo tempo per far propagare il segnale dalle porte logiche) che garantisce al circuito il corretto funzionamento?



E' necessario, pertanto, cercare il **tempo minimo necessario all'attraversamento del percorso più lungo** che connette due FF.

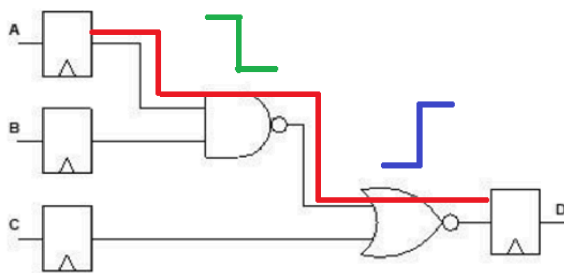
In questo caso, prendiamo come

riferimento l'uscita del FF-A e l'ingresso del FF-D, ma anche l'uscita del FF-B e l'ingresso del FF-D sarebbero adeguate a tale scopo.

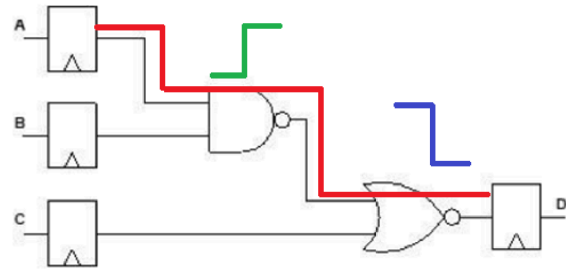
▼ Impostazione

Dobbiamo distinguere il tempo di arrivo massimo in due casi:

- propagazione di un segnale inizialmente basso da A o B (la porta NAND è sempre in stato alto se $A = 0$ o $B = 0$);
- propagazione di un segnale inizialmente alto ($A = 1$ e $B = 1$).



Transizione alto basso seguita da una basso alto



Transizione basso alto seguita da una alto basso.

La formula sacra da considerare per calcolare il tempo di clock minimo che garantisce il funzionamento del circuito è come segue:

$$t_{\text{arrivo}} < t_{\text{richiesto}}$$

Definendo $t_{\text{arrivo}} = t_{\text{CK},q} + t_{\text{percorso}}$ e $t_{\text{richiesto}} = T_{\text{CK}} - t_{\text{setup}}$.

$$T_{\text{CK}} > t_{\text{CK},Q} + t_{\text{setup}} + t_{\text{percorso}}$$

▼ Propagazione di un segnale inizialmente alto

1. Abbiamo assunto di partire dal caso in cui A o B siano 0 e, di conseguenza, la porta NAND dovrà passare da uno stato basso a uno alto (in quanto deve dare 1 come risultato);
2. Il tempo di propagazione massimo necessario ad attraversare il percorso tra A (o B) e la porta NAND è dato da $t_{p,NAND,max}^{L \rightarrow H}$, calcolato nell'obiettivo 1 di questo esercizio;
3. Adesso che siamo ad uno stato alto entriamo nella porta NOR, che darà un risultato sicuramente basso per come è implementata la porta NOR (se diamo un 1 in ingresso, quello della porta NAND, sicuramente darà un risultato basso);
4. Il tempo di propagazione massimo necessario ad attraversare il percorso tra la porta NAND e la porta NOR è dato da $t_{p,NOR,max}^{H \rightarrow L}$, calcolato nell'obiettivo 1 di questo esercizio.

Otteniamo quindi:

$$t_{p,1} = t_{p,NAND,max}^{L \rightarrow H} + t_{p,NOR,max}^{H \rightarrow L} = 0.414 \text{ ns}$$

▼ Propagazione di un segnale inizialmente basso

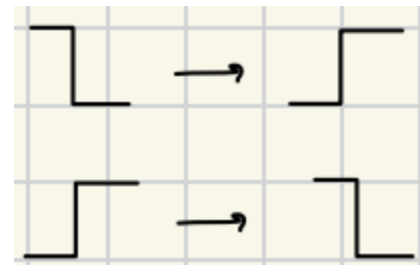
In questo caso, invece, non ci sono evidenti forzature dell'uscita della porta NOR, ma si cerca un tempo di caso peggiore, e quindi il maggior numero di transizioni non considerate finora:

$$t_{p,2} = t_{p,NAND,max}^{H \rightarrow L} + t_{p,NOR,max}^{L \rightarrow H} = 0.828 \text{ ns}$$

▼ Frequenza massima

In ogni caso, i tempi di propagazione saranno tali da mantenere una certa continuità tra stati logici:

- se la NAND passa da alto a basso, la NOR dovrà passare da basso ad alto;
- se la NAND passa da basso ad alto, la NOR dovrà passare da alto a basso.



Visualizzazione della relazione
NAND-NOR definita

Tra i due tempi di propagazione $t_{p,1}$ e $t_{p,2}$, sceglieremo il tempo **maggiore**. Dalla [formula vista nella sezione di implementazione](#), si ottiene che $T_{CK,min}$ è definita come:

$$\begin{aligned} T_{CK,min} &= t_{CK,q} + t_{setup} + t_{LC,max} \\ &= 0.1 \text{ ns} + 0.15 \text{ ns} + t_{p,2} \\ &= 0.1 + 0.15 + 0.828 \text{ ns} = 1.078 \text{ ns} \end{aligned}$$

Infine, si può calcolare la frequenza massima F_{max} come:

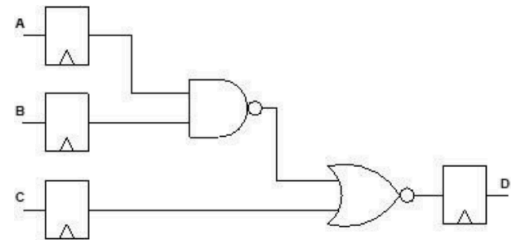
$$F_{max} = \frac{1}{T_{CK,min}} = 928 \text{ MHz}$$

Obiettivo 3 - Valore massimo del tempo di hold



Per svolgere questo esercizio, si rimanda alla teoria: [LINK](#).

Calcolare il valore massimo del tempo di hold (T_H) dei flip-flop che consente di evitare violazioni.

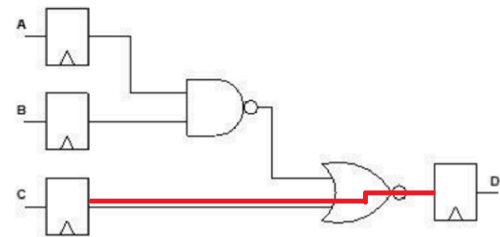


Circuito sequenziale di riferimento

▼ Determinazione del percorso più breve

Ci potrebbero venire in mente due alternative:

1. scegliere il percorso con la porta NAND e la porta NOR;
2. scegliere il percorso con la sola porta NOR.



Visualizzazione del percorso più breve

Chiaramente, il secondo è un **sottoinsieme** del primo e, pertanto, sarà sicuramente lui il percorso più breve.

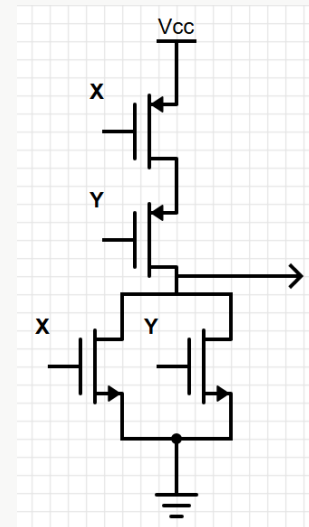


Prima di considerare i due casi di transizione, è opportuno ricordare come è implementata una porta NOR.

Una porta NOR implementa, in genere, una funzione logica:

$$g(X, Y) = \overline{X + Y}$$

Si implementa, quindi, con un parallelo tra X e Y nella PDN e una serie tra X e Y della PUN.



Visualizzazione della porta NOR implementata in CMOS

Il tempo di propagazione minimo è dato dal percorso che implementa la porta NOR, ed è definibile attraverso:

- transizione da basso ad alto della NOR (L→H);

Per considerare il tempo necessario per passare da uno stato basso ad uno alto, di base è necessario guardare la PUN (rete P-MOS). Dal punto precedente otteniamo:

$$t_{p,NOR,min}^{L \rightarrow H} = 0.276 \text{ ns}$$

- transizione da alto a basso della NOR (H→L): $t_{p,NOR,min}^{H \rightarrow L}$

Per considerare il tempo necessario per passare da uno stato alto ad uno basso, di base è necessario guardare la PDN (rete N-MOS).

E' evidente che sia il **tempo minimo di propagazione**, in quanto è presente un parallelo e, di conseguenza:

$$R_{eq,min} = R_{ON} || R_{ON} = \frac{R_{ON}}{2}$$

Ricordando che il carico è un flip flop, di cui conosciamo la capacità equivalente in ingresso C_{in} dai dati dell'esercizio, otteniamo:

$$t_{p,NOR,min}^{H \rightarrow L} = 0.69 \cdot \tau = 0.69 \cdot R_{eq,min} C_{carico} \quad (1)$$

$$= 0.69 \frac{R_{ON}}{2} C_{in} = 0.69 \cdot 10 \text{ k}\Omega \cdot 20 \text{ fF} = 0.138 \text{ ns} \quad (2)$$

Il caso limite è presentato, dunque, dal tempo di propagazione in cui la porta NOR passa da uno stato alto ad uno basso, in quanto impiega meno tempo e, di conseguenza, potrebbe sporcare il dato memorizzato del flip flop prima che lo memorizzi completamente.

$$t_{p,LC,min} = t_{p,NOR,min}^{H \rightarrow L}$$

▼ Calcolo del tempo di hold

La condizione da rispettare, di cui ricordiamo la [relativa lezione di teoria](#), è la seguente:

$$t_{arrivo} > t_{richiesto}$$

L'equazione si espande come segue:

$$t_{CK-Q} + t_{p,LC,min} > t_{hold} \quad (3)$$

$$t_{hold} \leq t_{CK-Q} + t_{p,NOR,min} \quad (4)$$

$$t_{hold} \leq 0.1 \text{ ns} + 0.138 \text{ ns} \quad (5)$$

$$t_{hold} \leq 0.238 \text{ ns} \quad (6)$$

Si ottiene che il tempo massimo di hold vale:

$$t_{hold,max} = 0.238 \text{ ns}$$



Nella sua soluzione sbaglia anche a considerare anche il tempo di propagazione della NAND ma a lezione ha considerato solo la NOR...
P.S. (15/05/2025) Ho chiesto a Casu e ha confermato la mia soluzione. 😊

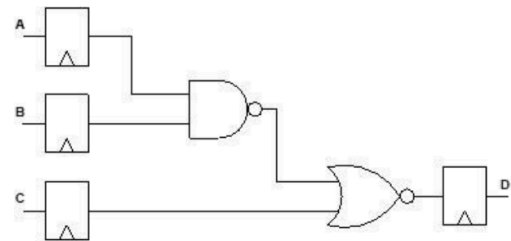
Obiettivo 4 - Potenza dinamica e statica

▼ Creatore originale: @Francesco Ambrosino



Per svolgere questo esercizio, si rimanda alla teoria: [LINK](#).

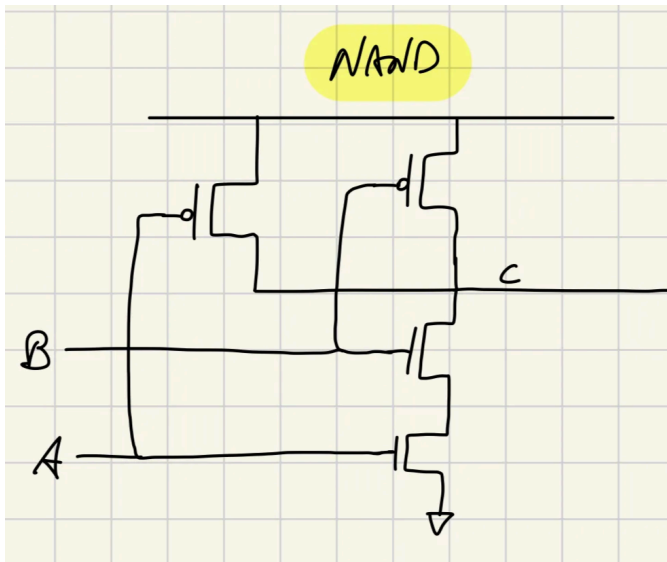
Calcolare la potenza dinamica e statica consumata dalle due porte NAND e NOR nell'ipotesi che ogni ingresso abbia activity $\alpha = 0.2$.



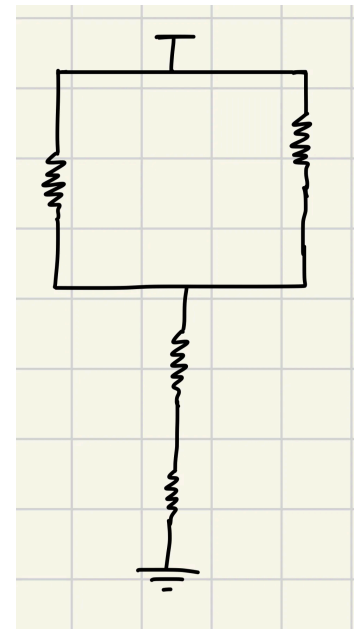
Circuito sequenziale di riferimento

▼ Potenza statica (NAND)

Definiamo due visualizzazioni che torneranno utili nel capire il calcolo della potenza statica nella porta NAND.



Visualizzazione della porta NAND implementata in CMOS



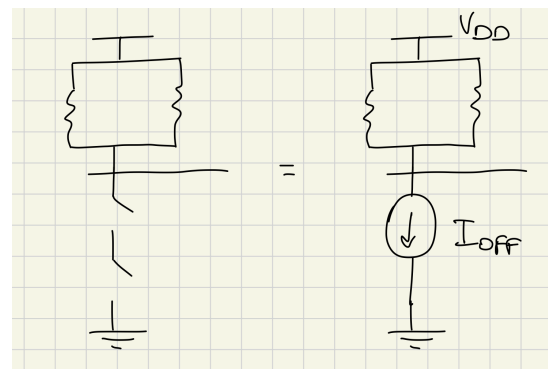
Visualizzazione della porta NAND con le sole resistenze

Consideriamo le varie casistiche possibili per i valori di ingresso di A e B :

- $A = 0, B = 0$:

In questa configurazione le resistenze nella PDN sono circuiti aperti, mentre quelle nella PUN sono circuiti chiusi, essendo i valori di A e B negati nella PDN, e quindi diretti nella PUN.

La situazione è rappresentata nell'[immagine a lato](#), da cui si evince che:



Rappresentazione del caso $A = 0, B = 0$

$$P_{\bar{A},\bar{B}} = V_{DD} \cdot I_{OFF}$$

- $A = 0, B = 1$ oppure $A = 1, B = 0$:

In queste configurazioni equivalenti la PDN globalmente risulta un circuito aperto (si noti come solo una delle 2 resistenze è un circuito aperto, ma sono in serie tra loro), mentre la PUN è costituita da una resistenza e un circuito aperto (che, essendo in parallelo tra loro, risultano equivalenti ad una resistenza).

La situazione è rappresentata nell'[immagine a lato](#), da cui si evince che:

$$P_{\bar{A},B} = P_{A,\bar{B}} = V_{DD} \cdot I_{OFF}$$

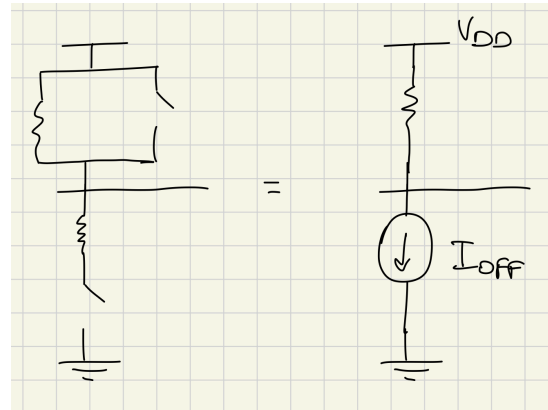
- $A = 1, B = 1$:

In questa configurazione le resistenze nella PDN sono circuiti chiusi, mentre quelle nella PUN sono circuiti aperti, portando ad una situazione speculare al [primo caso](#), essendo i valori di A e B diretti nella PDN, e quindi negati nella PUN.

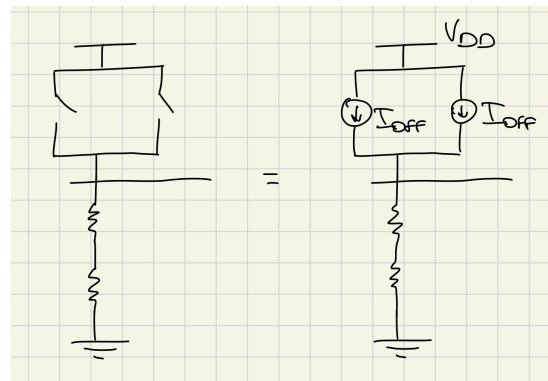
La situazione è rappresentata nell'[immagine a lato](#), da cui si evince che:

$$P_{A,B} = V_{DD} \cdot 2I_{OFF}$$

Dati i valori della potenza per tutte le possibili configurazioni, calcoliamo la potenza statica media per la porta NAND:



Rappresentazione del caso $A = 1, B = 0$
e del caso $A = 0, B = 1$

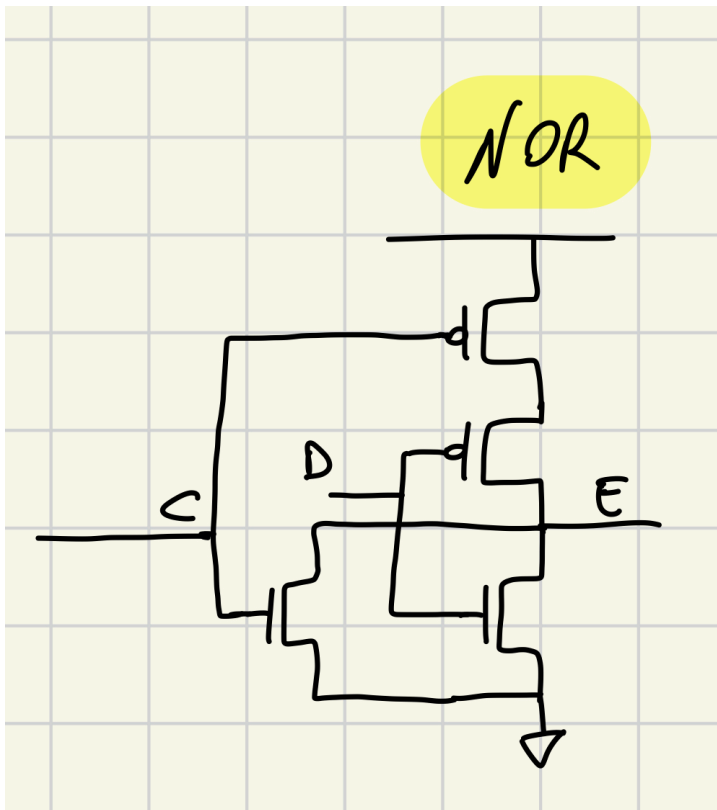


Rappresentazione del caso $A = 1, B = 1$

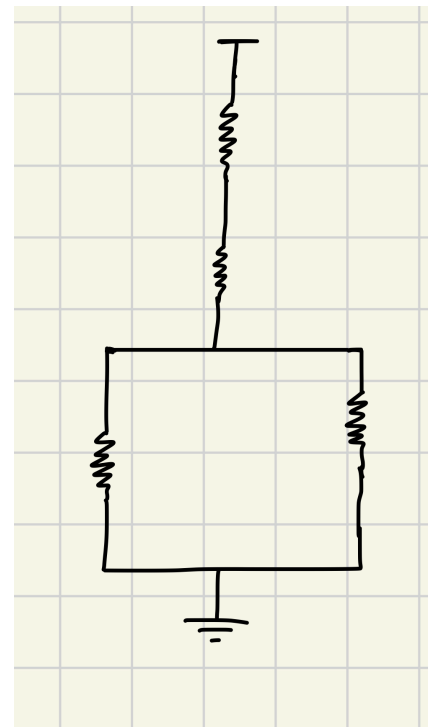
$$P_{s, media}^{NAND} = \frac{3}{4} \cdot V_{DD} \cdot I_{OFF} + \frac{1}{4} \cdot V_{DD} \cdot 2I_{OFF} = 22.5 \text{ mW}$$

▼ Potenza statica (NOR)

Definiamo due visualizzazioni che torneranno utili nel capire il calcolo della potenza statica nella porta NOR.



Visualizzazione della porta NOR implementata in CMOS



Visualizzazione della porta NOR con le sole resistenze

Il ragionamento è analogo a quanto [discusso per la porta NAND](#).

Essendo le visualizzazioni con le sole resistenze della NAND e della NOR speculari rispetto al punto di incontro di PDN e PUN, si avranno situazioni opposte per i casi con variabili entrambe concordi e stessa situazione per i casi con variabili discordi.

Consideriamo le varie casistiche possibili per i valori di ingresso di A e B :

- $A = 0, B = 0$:

in questa configurazione le resistenze nella PDN sono circuiti aperti, mentre quelle nella PUN sono circuiti chiusi, essendo i valori di A e B negati nella PDN, e quindi diretti nella PUN.

Avendo i circuiti aperti della PDN in parallelo, si ha che:

$$P_{\bar{A},\bar{B}} = V_{DD} \cdot 2I_{OFF}$$

- $A = 0, B = 1$ oppure $A = 1, B = 0$:

E' una situazione analoga al [caso della porta NAND](#), quindi si ha che:

$$P_{\bar{A},B} = P_{A,\bar{B}} = V_{DD} \cdot I_{OFF}$$

- $A = 1, B = 1$:

In questa configurazione le resistenze nella PDN sono circuiti chiusi, mentre quelle nella PUN sono circuiti aperti, essendo i valori di A e B diretti nella PDN, e quindi negati nella PUN.

Avendo i circuiti aperti della PUN in serie, si ha che:

$$P_{A,B} = V_{DD} \cdot I_{OFF}$$

Il calcolo della potenza statica media per la porta NOR è banale e superfluo, essendo i valori identici a quelli ottenuti per la NAND.

$$P_{s, media}^{NOR} = \frac{3}{4} \cdot V_{DD} \cdot I_{OFF} + \frac{1}{4} \cdot V_{DD} \cdot 2I_{OFF} = 22.5 \text{ mW} = P_{s, media}^{NAND}$$

▼ Nota sulla potenza statica

Talvolta il testo potrebbe fornire informazioni esplicite circa la probabilità del verificarsi delle singole configurazioni. Qualora tali informazioni siano assenti, come nel caso di questo esercizio, si assumono le (in questo caso) **4 configurazioni equi-probabili** e si procede al calcolo della potenza statica media utilizzando la media aritmetica, come fatto.

▼ Potenza dinamica

Come formula generale, per la potenza dinamica P_d abbiamo la seguente:

$$P_d = f \cdot C \cdot V_{DD}^2$$

La traccia dell'esercizio ci fornisce un valore di activity (α), e quindi sappiamo che la nostra uscita non cambia stato in ogni periodo di clock, ma ogni N periodi.

Attraverso la relazione $T = 2NT_{CK}$, possiamo ottenere:

$$f = \frac{1}{2N} f_{CK}$$

con $f_{CK} = f_{MAX} = 928 \text{ MHz}$, calcolata all'[obiettivo 2](#).



Si noti come, se l'uscita commutasse ogni periodo di clock, avremmo $f = \frac{1}{2} f_{CK}$ e il testo dell'esercizio non ci avrebbe fornito un valore di α .

Ricordando che $\alpha = \frac{1}{N}$, otteniamo la formula finale:

$$P_d = \frac{0.2}{2} F_{MAX} \cdot C \cdot V_{DD}^2 = 0.1 F_{MAX} \cdot C \cdot V_{DD}^2$$

Essendo la tensione fornita dal testo e la frequenza massima un valore già calcolato, l'unica incognita da calcolare è la capacità di carico C , diversa per le due porte, ma calcolata già all'[obiettivo 1](#).

Calcoliamo, quindi, l'effettiva potenza dinamica per le due porte:

- porta NAND;

$$C_{NAND} = 2C_g$$

$$P_d^{NAND} = 0.1 F_{MAX} \cdot 2C_g \cdot V_{DD}^2 = 3 \text{ mW}$$

- porta NOR.

$$C_{NOR} = C_{in}$$

$$P_d^{NOR} = 0.1 F_{MAX} \cdot C_{in} \cdot V_{DD}^2 = 6 \text{ mW}$$

Si ha che la potenza dinamica totale del circuito risulta essere:

$$P_{d, \text{TOT}} = P_d^{\text{NAND}} + P_d^{\text{NOR}} = 9 \text{ mW}$$