



UNIVERSIDAD SIMÓN BOLÍVAR
DEPARTAMENTO DE ELECTRÓNICA Y CIRCUITOS
LABORATORIO DE CIRCUITOS DIGITALES EC-2072

INFORME - PRÁCTICA #3
CENTRO DE ENTRETENIMIENTO TIPO CASINO.
INTRODUCCIÓN A SHIFT REGISTER

Profesor
Mauricio Pérez

Estudiante
Giancarlo Torlone 20-10626

ÍNDICE

INTRODUCCIÓN	3
MARCO TEÓRICO	4
METODOLOGÍA	13
ANÁLISIS DE RESULTADOS	15
ANEXOS	24

INTRODUCCIÓN

Los flip flops se pueden usar para almacenar un solo bit de datos binarios . Sin embargo, para almacenar varios bits de datos, se necesitan varios flip flops. Se van a conectar N flip-flops en un orden para almacenar n bits de datos. Un Registro es un dispositivo que se utiliza para almacenar dicha información. Es un grupo de flip flops conectados en serie que se utilizan para almacenar múltiples bits de datos.

La información almacenada dentro de estos registros se puede transferir con la ayuda de registros de desplazamiento. Shift Register es un grupo de flip flops que se utiliza para almacenar múltiples bits de datos. Se puede hacer que los bits almacenados en tales registros se muevan dentro de los registros y dentro/fuera de los registros aplicando pulsos de reloj. Se puede formar un registro de desplazamiento de n bits conectando n flip-flops donde cada flip-flop almacena un solo bit de datos.

En el ámbito de la electrónica el uso de simuladores como Proteus se hace casi imprescindible. La variedad de componentes como lo son los shift register se pueden añadir al circuito y la complejidad de este, obliga a hacer simulaciones y diseñar el circuito desde el propio computador para ajustar los requerimientos en las entradas y salidas antes de programar ese circuito en un chip programable o montarlo en una placa de conexiones.

En la siguiente práctica de laboratorio de circuitos digitales, se pretende diseñar en Proteus un circuito sencillo basado en dos Shift Register (Registro de Corrimiento) conectados en serie que simula una ruleta electrónica de casino. Es de acotar, que este programa contará con 5 bloques de operación y con la ayuda de simulación se permitirá verificar el funcionamiento del diseño empleando un entorno gráfico en el cual es posible colocar los símbolos representativos de los componentes.

MARCO TEÓRICO

FLIP-FLOPS

Los circuitos lógicos se clasifican en dos categorías. Los combinatorios, y los que se denominan circuitos lógicos secuenciales. Los bloques básicos para construir los circuitos lógicos secuenciales son los flip -flops. La importancia de los circuitos lógicos se debe a su característica de memoria.

FLIP-FLOPS RS

Este es el flip - flop básico, su símbolo es el siguiente:

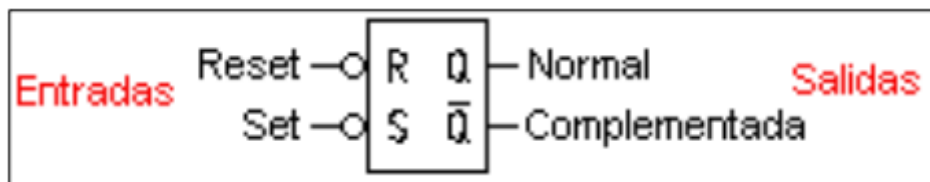


Figura 1. Símbolo lógico de un FLIP-FLOP RS

El flip-flop tiene dos entradas R (reset) y S (set), se encuentran a la izquierda del símbolo.

Este flip-flop tiene activas las entradas en el nivel BAJO, lo cual se indica por los circulitos de las entradas R y S. Los flip-flop tienen dos salidas complementarias, que se denominan Q y 1, la salida Q es la salida normal y $1 = 0$.

El flip-flop RS se puede construir a partir de puertas lógicas. A continuación, se muestra un flip-flop construido a partir de dos puertas NAND junto con su tabla de verdad correspondiente.

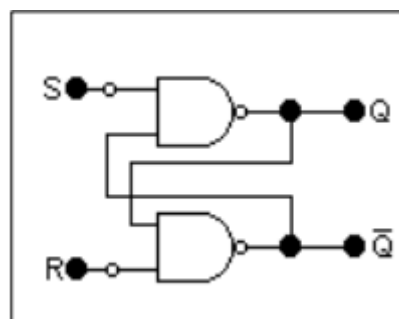


Figura 2. Circuito equivalente de un flip-flop SR

Modo de operación	Entradas		Salidas	
	R	S	Q	Q
Prohibido	0	0	1	1
Set	0	1	1	0
Reset	1	0	0	1
Mantenimiento	1	1	No cambia	

Tabla 1. Tabla de verdad del flip-flop SR

Se observa la realimentación característica de una puerta NAND a la entrada de la otra.

En la tabla de la verdad se define la operación del flip-flop. Primero encontramos el estado "prohibido" en donde ambas salidas están a 1, o nivel ALTO. Luego encontramos la condición "set" del flip-flop. Aquí un nivel BAJO, o cero lógico, activa la entrada de set(S). Esta pone la salida normal Q al nivel alto, o 1. Seguidamente encontramos la condición "reset". El nivel BAJO, o 0, activa la entrada de reset, borrando (o poniendo en reset) la salida normal Q.

La cuarta línea muestra la condición de "inhabilitación" o "mantenimiento", del flip-flop RS. Las salidas permanecen como estaban antes de que existiese esta condición, es decir, no hay cambio en las salidas de sus estados anteriores. Indicar la salida de set, significa poner la salida Q a 1, de igual forma, la condición reset pone la salida Q a 0. La salida complementaria nos muestra lo opuesto. Estos flip-flop se pueden conseguir a través de circuitos integrados.

FLIP-FLOPS RS SÍNCRONO

El flip-flop RS es un dispositivo asíncrono. No opera en conjunción con un reloj o dispositivo de temporización. El flip-flop RS síncrono opera en conjunción con un reloj, en otras palabras opera sincronizadamente. Su símbolo lógico se muestra a continuación. Es igual a un flip-flop RS añadiéndole una entrada de reloj.

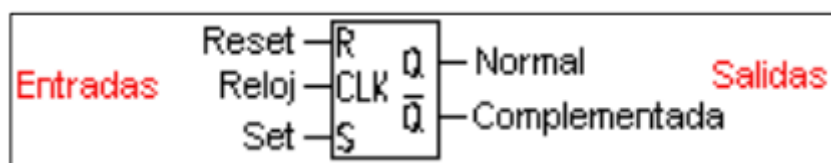


Figura 3. Símbolo de un flip-flop SR síncrono

El flip-flop RS síncrono puede implementarse con puertas NAND. En las siguientes figuras se ve primero como se añaden dos puertas NAND al flip-flop RS para construir un flip-flop RS síncrono. Las puertas NAND 3 y 4 añaden la característica de sincronismo al cerrojo RS.

La tabla de la verdad muestra la operación del flip-flop RS síncrono. El modo de mantenimiento se describe en la primera línea de la tabla de la verdad.

Cuando un pulso de reloj llega a la entrada CLK (con 0 en las entradas R y S), las salidas no cambian, permanecen igual que antes de la llegada del pulso de reloj. Este modo también puede llamarse de "inhabilitación" del FF. La línea 2 es el modo de reset.

La salida normal Q se borrará cuando un nivel ALTO active la entrada R y un pulso de reloj active la entrada de reloj CLK. Si R=1 y S=0, el FF no se pone a 0 inmediatamente, esperará hasta que el pulso del reloj pase del nivel BAJO al ALTO, y entonces se pone a 0. La línea 3 de la tabla describe el modo set del flip-flop. Un nivel ALTO activa la entrada S (con R=0 y un pulso de reloj en el nivel ALTO), poniendo la salida Q a 1.

La línea 4 de la tabla de verdad es una combinación "prohibida" todas las entradas están en 1, no se utiliza porque activa ambas salidas en el nivel ALTO.

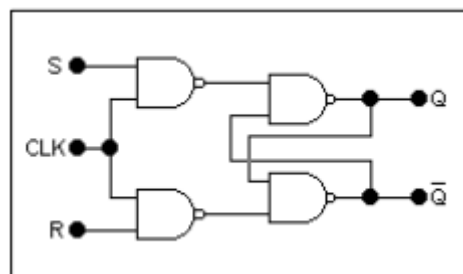


Figura 4. Circuito eléctrico equivalente de un flip-flop SR síncrono

Modo de operación	ENTRADAS			SALIDAS	
	CLK	S	R	Q	\bar{Q}
Mantenimiento		0	0	No cambia	
Reset		0	1	1	1
Set		1	0	1	0
Prohibido		1	1	1	1

Tabla 2. Tabla de verdad de un flip-flop SR síncrono

Las formas de ondas, o diagramas de tiempo, se emplean mucho y son bastante útiles para trabajar con flip-flop y circuitos lógicos secuenciales. A continuación mostraremos un diagrama de tiempo del flip-flop RS síncrono.

Las 3 líneas superiores representan las señales binarias de reloj, set y reset. Una sola salida Q se muestra en la parte inferior. Comenzando por la izquierda, llega el pulso de reloj 1, pero no tiene efecto en Q porque las entradas R y S están en el modo de mantenimiento, por tanto, la salida Q permanece a 0.

En el punto a del diagrama del tiempo, la entrada de set se activa en el nivel ALTO. Después de cierto tiempo en el punto b, la salida se pone a 1. Mirar que el flip-flop ha esperado a que el pulso 2 pase del nivel BAJO a ALTO antes de activar la salida Q a 1. El pulso está presente cuando las entradas R y S están en modo de mantenimiento, y por lo tanto la salida no cambia. En el punto C la entrada de reset se activa con un nivel ALTO.

Un instante posterior en el punto d, la salida Q se borra ó se pone a 0, lo cual ocurre durante la transición del nivel BAJO a ALTO del pulso del reloj. En el punto e, está activada la entrada de set, por ello se pone a 1 la salida Q en el punto f del diagrama de tiempos. La entrada S se desactiva y la R se activa antes del pulso 6, lo cual hace que la salida Q vaya al nivel BAJO o a la condición de reset.

El pulso 7 muestra que la salida Q sigue a las entradas R Y S todo el tiempo que el reloj está en ALTA. En el punto g del diagrama de tiempos, la entrada de set (S) va a nivel ALTO y la salida Q alcanza también el nivel ALTO. Después la entrada S va a nivel BAJO. A continuación, en el punto h, la entrada de reset (R) se activa por un nivel ALTO. Eso hace que la salida Q vaya al estado de reset, o nivel BAJO.

La entrada R entonces vuelve al nivel BAJO, y finalmente el pulso de reloj finaliza con la transición del nivel ALTO al BAJO. Durante el pulso de reloj 7, la salida estuvo en el nivel ALTO y después en el BAJO. Observar que entre los pulsos 5 y 6 ambas entradas R y S están a 1. La condición de ambas entradas R y S en el nivel ALTO, normalmente, se considera un estado prohibido para el flip-flop. En este caso es aceptable que R y S estén en el nivel ALTO, porque el pulso de reloj está en el nivel BAJO y el flip-flop no está activado.

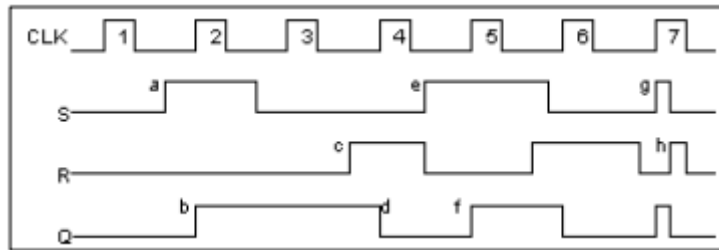


Figura 5. Diagrama de pulsos

SHIFT REGISTER

Un registro de desplazamiento es un circuito lógico secuencial que actúa como una unidad para almacenar y transferir datos binarios. Básicamente, los registros de desplazamiento son circuitos bidireccionales, que desplazan cada bit de los datos presentes en su entrada hacia su salida en cada pulso de reloj.

Sabemos que los registros son los circuitos contruidos usando flip-flops para almacenar datos binarios. Cada flip-flop almacena un bit de datos a la vez. Entonces, el almacenamiento de múltiples bits de datos requiere múltiples flip-flops. Así, la capacidad de almacenamiento del registro depende del número de flip-flops utilizados en su construcción. Los registros de desplazamiento están formados por la combinación en serie de flip-flops, donde cada flip-flop en el arreglo contiene un solo bit de datos. La disposición en serie permite que la salida de un flip-flop actúe como entrada para otro y esto permite el cambio de bit de datos dentro del registro.

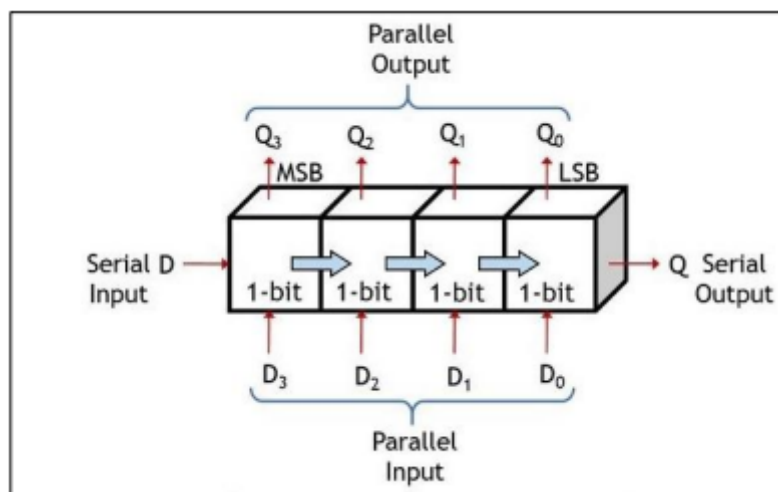


Figura 6. Operación de un Shift register

Cabe señalar aquí que los datos pueden transferirse hacia adentro o hacia afuera del registro, ya sea en serie o en paralelo. Entonces, el movimiento de bits de datos dentro del registro de desplazamiento da lugar a varias configuraciones que son las siguientes:

- **SISO:** Serial-in Serial-out: Permite la inserción de datos en serie y tomar la salida también en forma serial.
- **SIPO:** Serial-in Parallel-out: Aquí los datos se insertan en serie desde la dirección izquierda o derecha. Pero la salida se toma en paralelo.
- **PISO:** Parallel-in Serial-out: este tipo de registro de desplazamiento permite la entrada paralela de bits de datos, pero la salida se toma en serie.
- **PIPO:** entrada en paralelo Salida en paralelo: el registro de desplazamiento PIPO permite tanto la entrada como la salida de bits de datos de forma paralela.

TEMPORIZADOR 555

El temporizador IC 555 es un circuito integrado (chip) que se utiliza en la generación de temporizadores, pulsos y oscilaciones. El 555 puede ser utilizado para proporcionar retardos de tiempo, como un oscilador, y como un circuito integrado flip flop. Sus derivados proporcionan hasta cuatro circuitos de sincronización en un solo paquete, a continuación, se muestra una figura con el detalle de entradas y salidas.

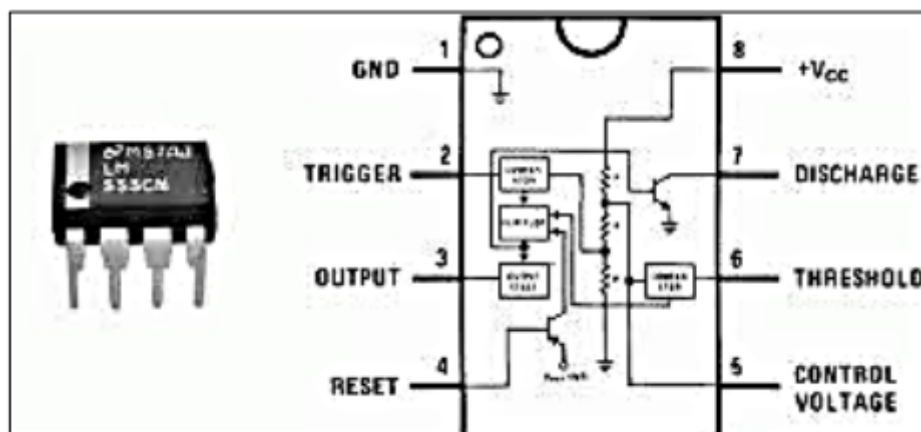


Figura 7. Especificaciones de entradas y salidas del astable 555

GND (normalmente la 1): es el polo negativo de la alimentación, generalmente tierra (masa).

Disparo (normalmente la 2): Es donde se establece el inicio del tiempo de retardo si el 555 es configurado como monoestable. Este proceso de disparo ocurre cuando esta patilla tiene

menos de $\frac{1}{3}$ del voltaje de alimentación. Este pulso debe ser de corta duración, pues si se mantiene bajo por mucho tiempo la salida se quedará en alto hasta que la entrada de disparo pase a alto otra vez.

Salida (normalmente la 3): Aquí veremos el resultado de la operación del temporizador, ya sea que esté conectado como monoestable, astable u otro. Cuando la salida es alta, el voltaje será el voltaje de alimentación (V_{cc}) menos 1.7 V. Esta salida se puede obligar a estar en casi 0 voltios con la ayuda de la patilla de reinicio (normalmente la 4).

Reinicio (normalmente la 4): Si se pone a un nivel por debajo de 0.7 Voltios, pone la patilla de salida a nivel bajo. Si por algún motivo esta patilla no se utiliza hay que conectarla a alimentación para evitar que el temporizador se reinicie.

Control de voltaje (normalmente la 5): Cuando el temporizador se utiliza en el modo de controlador de voltaje, el voltaje en esta patilla puede variar casi desde V_{cc} (en la práctica como $V_{cc} - 1.7\text{ V}$) hasta casi 0 V (aprox. 2 V menos). Así es posible modificar los tiempos. Puede también configurarse para, por ejemplo, generar pulsos en rampa.

Umbral (normalmente la 6): Es una entrada a un comparador interno que se utiliza para poner la salida a nivel bajo.

Descarga (normalmente la 7): Utilizado para descargar con efectividad el condensador externo utilizado por el temporizador para su funcionamiento.

Voltaje de alimentación (VCC) (normalmente la 8): es el terminal donde se conecta el voltaje de alimentación que va de 4.5 V hasta 16 V.

Este tipo de funcionamiento se caracteriza por una salida continua de forma de onda cuadrada (o rectangular), con una frecuencia específica. El resistor R_1 está conectado a la tensión designada como VCC y al pin de descarga (pin 7); el resistor R_2 se encuentra conectado entre el pin de descarga (pin 7), el pin de disparo (pin 2); el pin 6 y el pin 2 comparten el mismo nodo. Asimismo el condensador se carga a través de R_1 y R_2 , y se descarga solo a través de R_2 . La señal de salida tiene un nivel alto por un tiempo t_1 y un nivel bajo por un tiempo t_2 , esto debido a que el pin 7 presenta una baja impedancia a GND durante los pulsos bajos del ciclo de trabajo. Un multivibrador astable no tiene estado estable y varía, por tanto una y otra vez entre dos estados inestables, sin utilizar un circuito de disparo externo.

El ciclo de trabajo presenta los estados alto y bajo, la duración de los tiempos en cada uno de los estados depende de los valores de R_1 , R_2 (expresados en ohmios) y C (en faradios). Para realizar un ciclo de trabajo igual al 50% se necesita colocar el resistor R_1 entre la fuente de

alimentación y la patilla 7; desde la patilla 7 hacia el condensador se coloca un diodo con el cátodo apuntando hacia el condensador, después de esto se coloca un diodo con el ánodo del lado del condensador seguido del resistor R2 y este en paralelo con el primer diodo, además de esto los valores de los resistores R1 y R2 tienen que ser de la misma magnitud.

PULSADOR

Un pulsador eléctrico o botón pulsador es un componente eléctrico que permite o impide el paso de la corriente eléctrica cuando se aprieta o pulsa. El pulsador solo se abre o se cierra cuando el usuario lo presiona y lo mantiene presionado. Al soltarlo vuelve a su posición inicial. Estos se pueden conectar mediante la configuración de resistencia pull down.

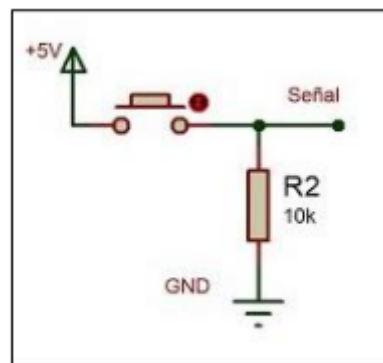


Figura 8. Pulsador con resistencia pull down

En el caso de la figura 8, se puede ver que Vout está conectado a masa a través de la resistencia Pull-Down, cuando se pulsa el pulsador entonces Vout se conecta a Vcc y el PIC recibe un High ó "1" lógico. Este esquema de conexión nos dá un "1" cuando pulsamos el botón.

CORNETA

Es un transductor que se utiliza para transformar señales eléctricas en ondas, es decir en vibraciones que se propagan a través de un objeto. Cuando se controla el tiempo y la longitud de estas vibraciones se puede crear cualquier clase de sonido o un conjunto de ellos. En la figura 9 se muestra un esquema con una corneta donde no hay amplificación de voltaje, pero la corriente de la señal aumenta. Aparecerá en los terminales de los altavoces menos 0.7 voltios, la caída Vbe. El volumen de salida será mucho menor, pero se saturará más rápido a medida que la caída de Vbe se resta de la oscilación de voltaje a través del altavoz.

Se debe tener en cuenta que si la fuente de señal tiene una impedancia relativamente alta, como en un control de volumen, dará un aumento en el nivel de sonido. Este diseño aprovecha los transistores hFE y la corneta no permitirá que el emisor alcance cero voltios, incluso con una señal fuerte. Este modo causará distorsión antes, ya que tiene un rango de voltaje de solo tierra a $V_{dd} - 0.7$ voltios menos la caída de V_{ce} .

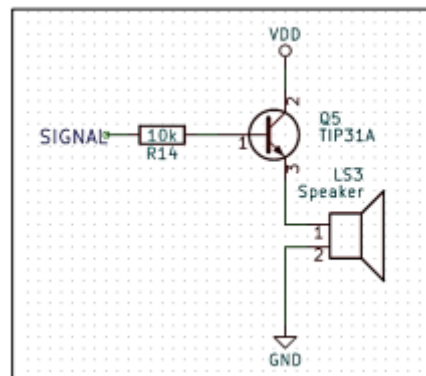


Figura 9. Esquema de conexión de corneta con transistor pnp

METODOLOGÍA

Para el diseño y simulación se utilizó el software Proteus, el cual es una herramienta útil para el desarrollo de aplicaciones analógicas y digitales. El circuito a diseñar se dividirá en 5 bloques, 3 de ellos se les presenta a continuación:

- El primer bloque a diseñar será un el reloj del montaje basado en un oscilador astable realizado con un 555. Cuando se presiona el pulsador del bloque 2 (Fig. 10), este oscilador presentará en su salida una onda cuadrada, con la particularidad que su frecuencia decaerá en forma exponencial hasta detenerse.

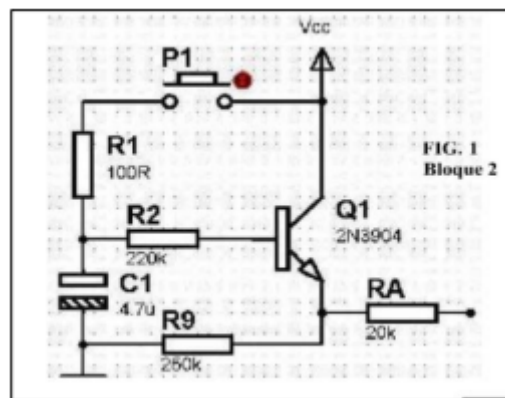


Figura 10. Pulsador

- El tercer bloque (Fig. 11) generará el sonido de la ruleta, este circuito estará conectado directamente a la salida del 555 y la corneta es del tipo de 4 a 8 ohmios de las presentes en radios pequeños de mano.

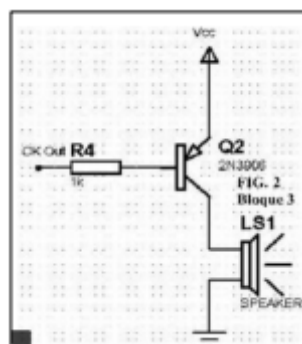


Figura 11. Bloque de sonido

- El cuarto bloque es el bloque de inicialización y reinserción del primer bit de rotación (Fig. 12) este bloque está basado en 4 compuertas NANDs las cuales conforman un Flip-Flop tipo RS de entradas negadas; este bloque toma una muestra del primer y último bit de la ruleta y reinserta el primer bit de rotación por la entrada serial del Shift Register.

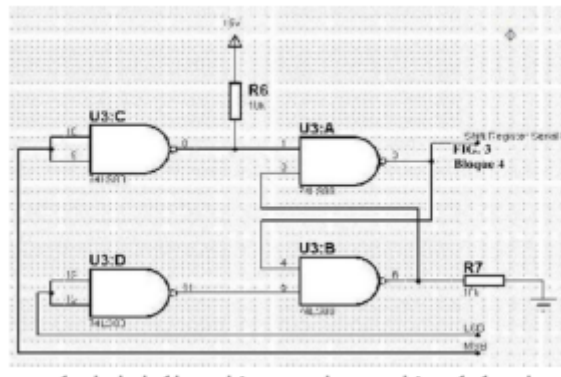


Figura 12. Bloque de inicialización y reinserción del primer bit de rotación

- El 5to bloque, es el de los Shift Register como tal, cuyas salidas estarán conectadas a una serie de Leds Rojos y Verdes intercalados y distribuidos en forma de anillos, los cuales representarán a la Ruleta.

La actividad de esta práctica consiste en diseñar el 1er y 5to bloque del montaje e interconectarlos a los bloques ya dados.

ANÁLISIS DE RESULTADOS

BLOQUE 1 - OSCILADOR ASTABLE 555

Se diseñó un oscilador astable, basado en un circuito integrado 555, para esto usamos el programa en línea disponible en <https://gzalo.com/calculators/555/> que permite introducir los parámetros dados y obtener la frecuencia requerida para el funcionamiento, es de acotar que cada valor mostrado deberá colocarse en el siguiente montaje de la figura 13.

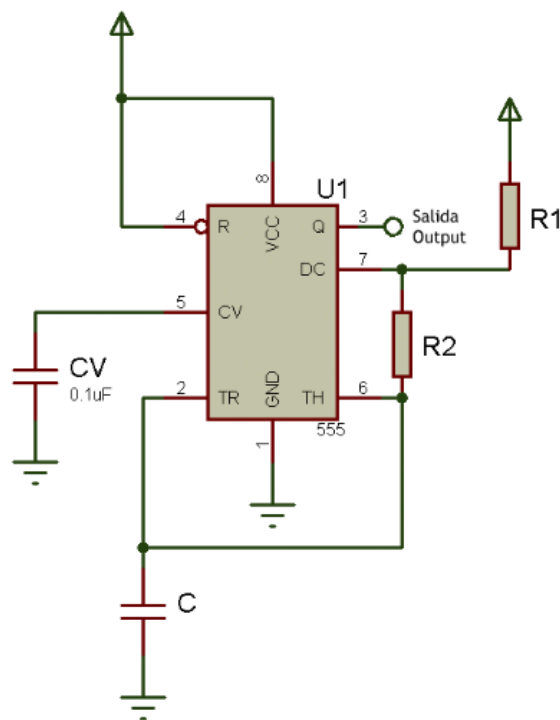


Figura 13. Oscilador 555 como astable

Seguidamente, se conectó con el **Bloque 2** el cual corresponde al pulsador quedando de la siguiente manera (figura 14)

colocando un voltaje de base en el transistor y saturándolo, entonces, prácticamente se convierte en un corto y se está pasando directo el VCC de la fuente al oscilador estable.

- Al soltar el pulsador queda abierto el circuito y el condensador se empieza a descargar a través de R2, voltaje base emisor y por R3 hacia tierra, en la malla cerrada R2-R3-C1 empieza descargarse el condensador C1, haciendo que el transistor salga de la zona de saturación y pase por la zona normal de actividad hasta que llega un momento en que deja de conducir.
- Esto es como ir controlando el voltaje base, lo que hace que vaya cayendo y el astable va haciendo comparaciones con el voltaje que está llegando a RA, con ese parámetro es que varía su frecuencia. Vale destacar, que se puede controlar la exponencial con C1 para hacer que se detenga más rápido o lento la transición de la ruleta.

A continuación, se presenta una serie de pruebas realizadas al oscilador astable 555 en conexión con el bloque 2 de pulsación.

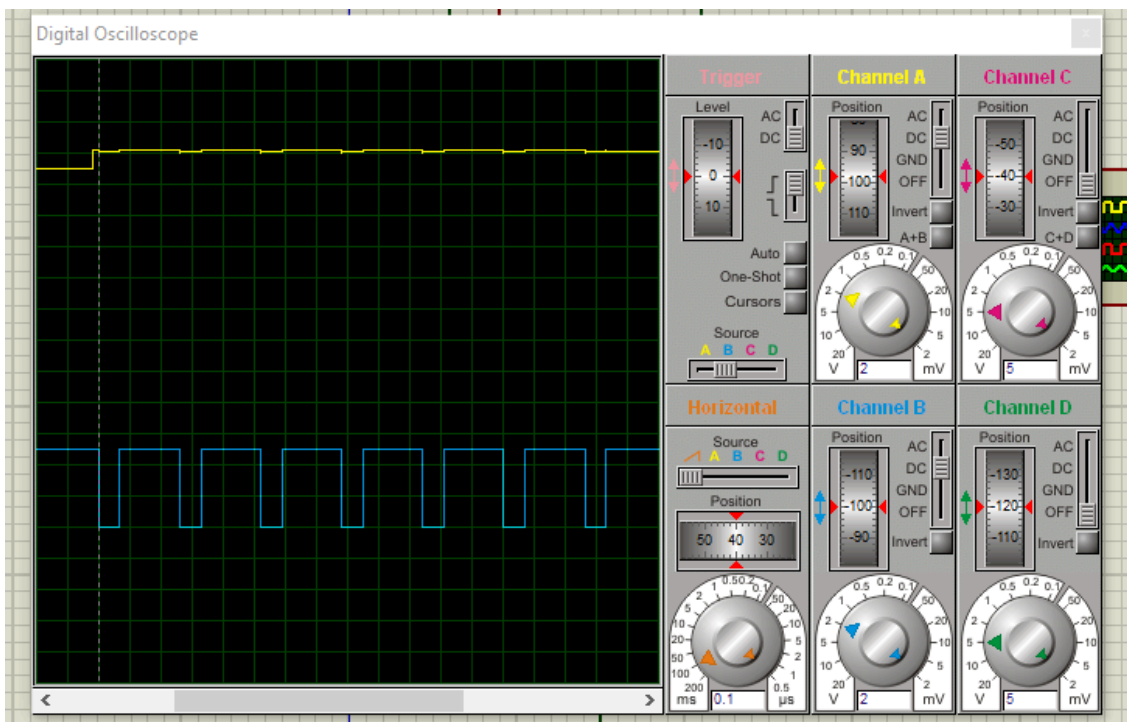


Figura 15. Prueba de oscilación al astable 555 con $C3 = 20\mu F$ (lento) y manteniendo el pulsador

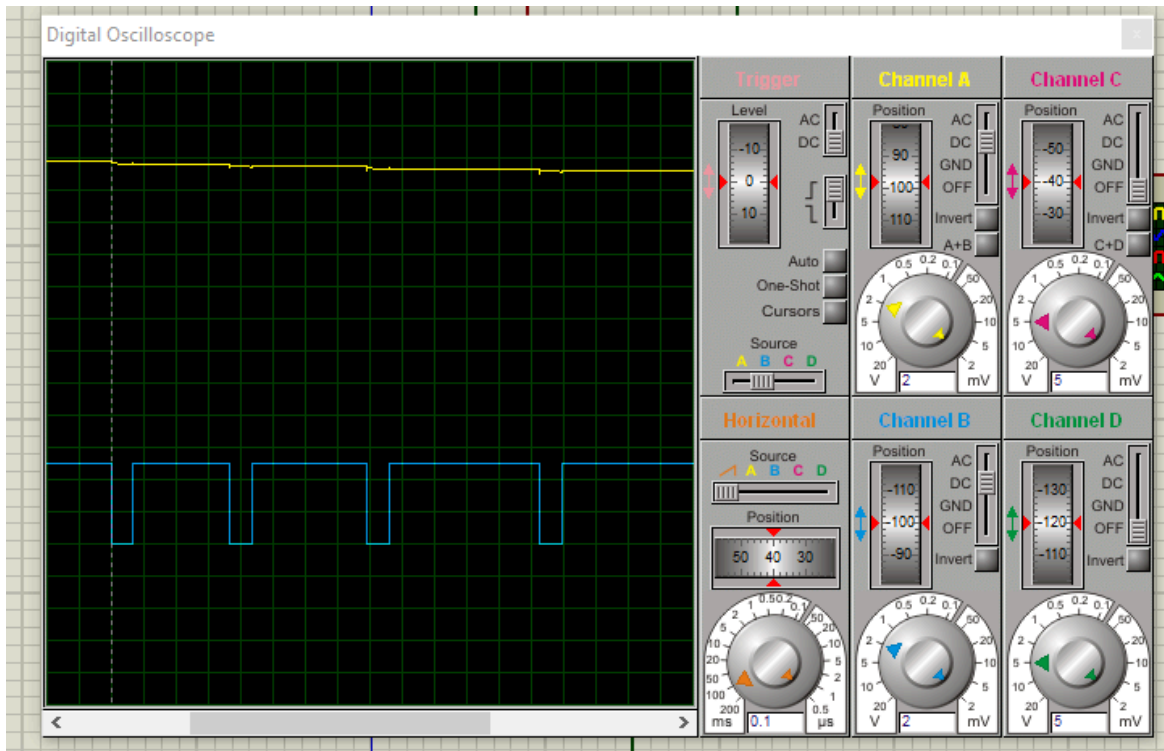


Figura 16. Prueba de oscilación al astable 555 con $C3 = 20\mu F$ (lento) y soltando el pulsador

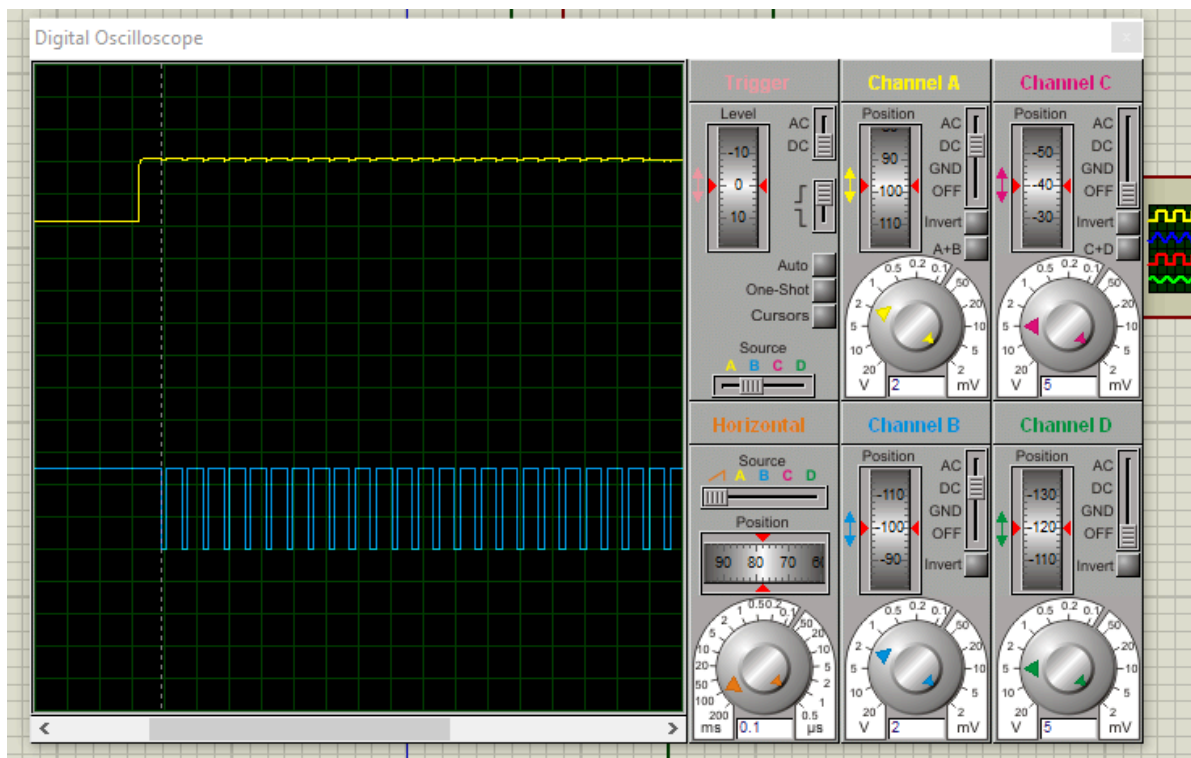


Figura 17. Prueba de oscilación al astable 555 con $C3 = 5\mu F$ (rápido) y manteniendo el pulsador

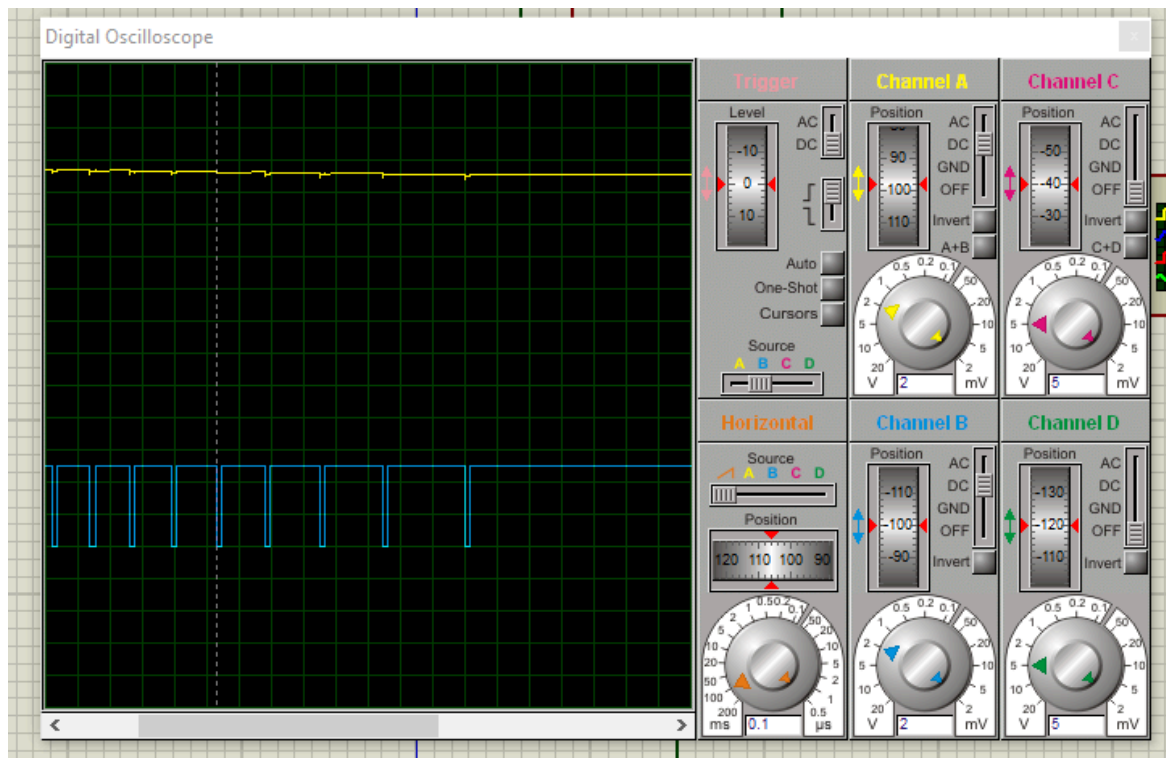


Figura 18. Prueba de oscilación al astable 555 con $C3 = 5\mu F$ (rápido) y soltando el pulsador

BLOQUE 5 - SHIFT REGISTER

Los registros de corrimiento son una serie de flip-flops conectados en cascada, en serie uno seguido del otro, es decir, que lo que se introduzca en la entrada de primer flip-flop lo va a pasar al siguiente en una cadena, Pero tiene que esperar que venga el ciclo de reloj. Toda la información será pasada al siguiente flip-flop con cada ciclo de reloj.

Se colocan dos shift register en serie y con esto hacemos lo que se conoce como un contador de anillo. Simplemente la información que ingresa en un principio se queda dando vueltas dentro de este contador .

Mediante las especificaciones de estos shift register, en su datasheet veremos cuáles son las entradas y el montaje típico, se recomienda que se haga un “puente” en las dos entradas, que sería la entrada del primer flip-flop RS. Se debe colocar un 1 lógico apenas se energice el circuito para que esté disponible en la salida del primer flip-flop, listo para rotar. Luego de que comienza el primer ciclo de reloj, ese 1 lógico debe pasar a 0, porque si se sigue introduciendo 1’s, todos esos 1’s se van a correr a través de toda la ruleta, encendiéndose los 16 LEDs.

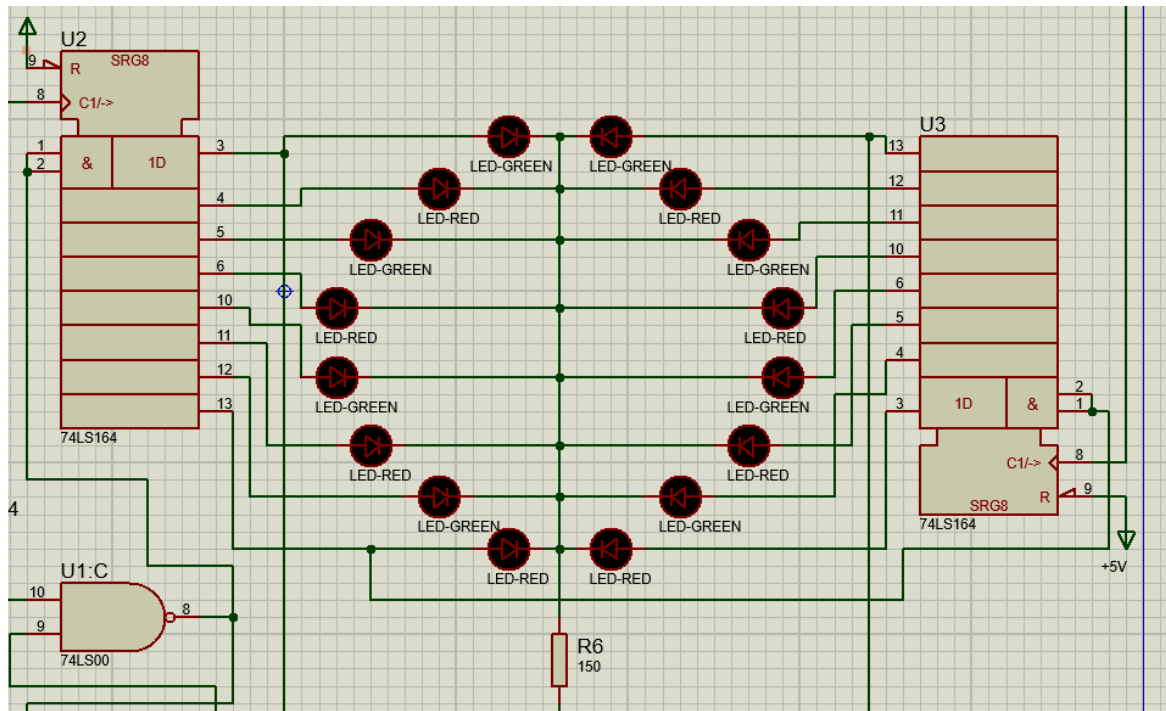


Figura 19. Diseño de la ruleta con los shift register

Seguidamente se conectan todos los bloques requeridos quedando de la siguiente manera:

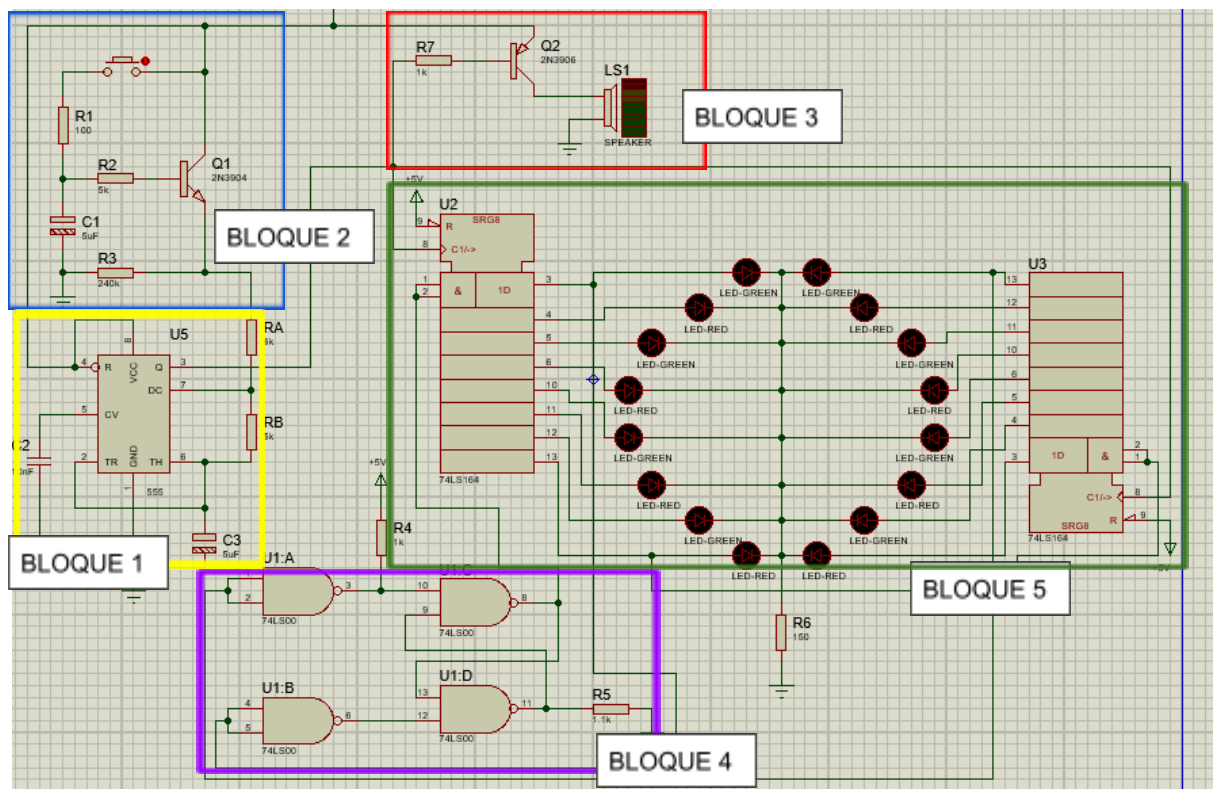


Figura 20. Conexión de todos los bloques del circuito

Algunos ajustes finales que se realizaron:

- Colocación de un led verde en la salida del bloque 4 para visualizar los cambios del flip-flop. Esto permite visualizar cuándo el flip-flop envía el 1 lógico.

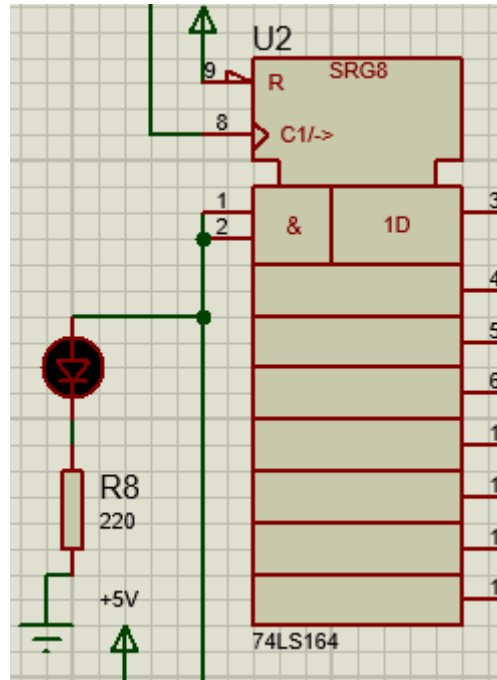


Figura 21. Colocación de led de visualización

- Debido a ciertas limitaciones del programa PROTEUS, es posible que la simulación no corra de forma esperada. El BLOQUE 4 puede presentar el problema de que la compuerta que se conecta al Shift Register no ingrese el primer 1 lógico, para poder realizar el conteo de anillo. Esto se soluciona fijando una condición inicial que se cumpla sólo cuando arranca la simulación y luego se quita, usando una herramienta de etiquetado de cable y colocando un comando en el cable de $ic = 0$ (condición inicial igual a 0), se garantiza que cuando inicie la simulación el cable esté en cero.

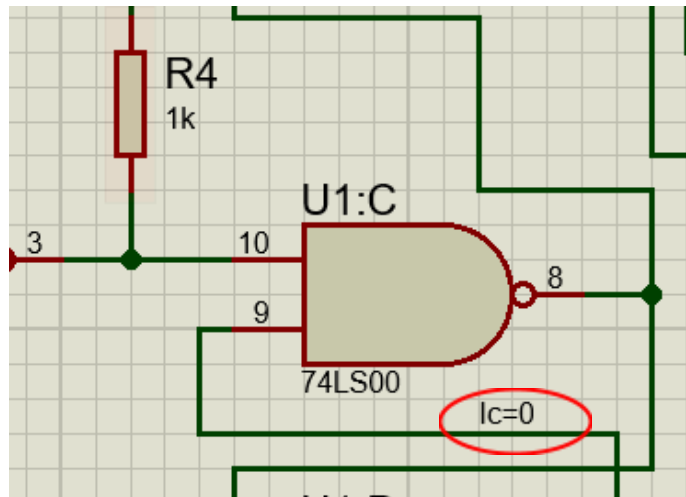


Figura 22. Condición inicial para evitar problemas de simulación

Quedando el diseño final de la siguiente manera:

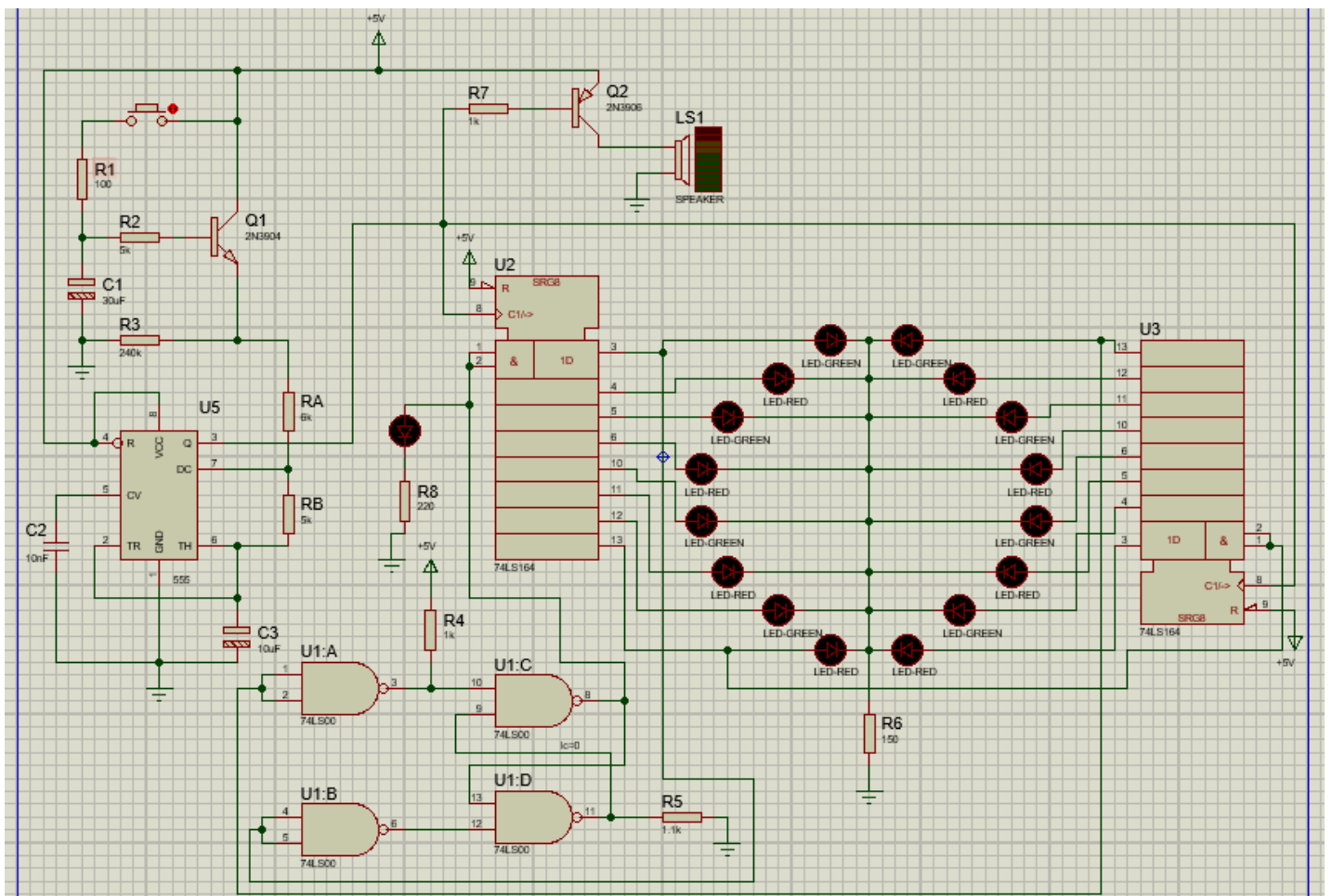
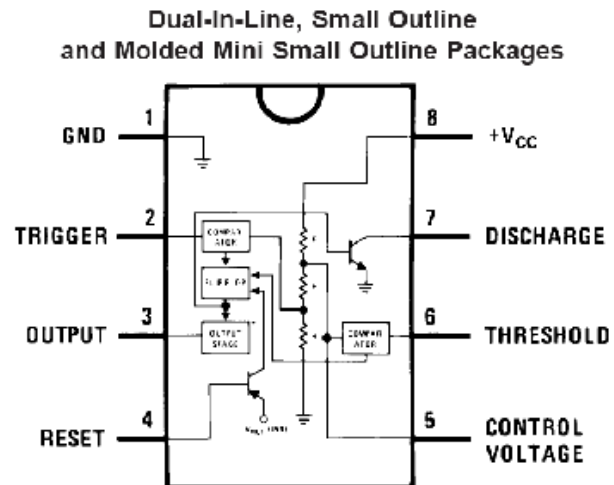


Figura 23. Circuito completo final

ANEXOS

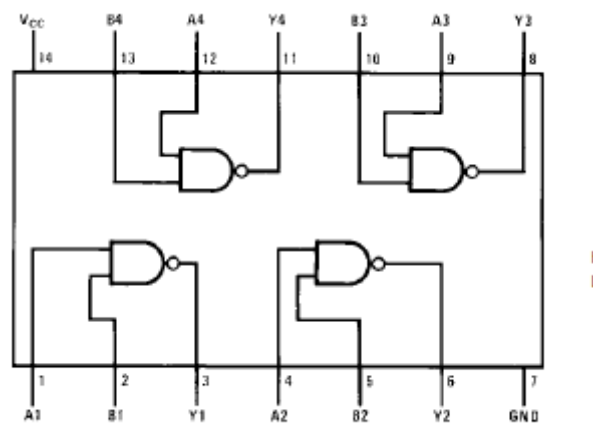
- **Anexo A**

Esquemático del integrado 555



- **Anexo B**

Esquemático compuertas 74LS00



- **Anexo C**

Esquemático del Shift Register 74LS164

