



UNIVERSIDAD SIMÓN BOLÍVAR
DEPARTAMENTO DE ELECTRÓNICA Y CIRCUITOS
LABORATORIO DE CIRCUITOS DIGITALES EC-2072

INFORME - PRÁCTICA #4
CENTRO DE ENTRETENIMIENTO TIPO CASINO PARTE II.
INTRODUCCIÓN A LA LÓGICA SECUENCIAL CONTROLADA

Profesor

Mauricio Pérez

Estudiante

Giancarlo Torlone 20-10626

ÍNDICE

INTRODUCCIÓN	3
MARCO TEÓRICO	4
METODOLOGÍA	8
ANÁLISIS DE RESULTADOS	9

INTRODUCCIÓN

La lógica secuencial en circuitos digitales es el conjunto de reglas e implementaciones de circuitos que se basan en los eventos actuales y pasados de los estados lógicos y las transiciones para determinar los estados lógicos presentes.

De acuerdo con lo anterior, se pretende diseñar un circuito secuencial que imite un juego de tragamonedas como los encontrados en un casino. Este circuito deberá tener 3 displays de 7 segmentos anclados a contadores BCD individuales, los cuales estarán corriendo constantemente de manera sincronizada movidos por un reloj 555 a unos 10Hz aproximadamente. Se debe presionar un único pulsador para ir deteniendo cada contador uno a uno hasta que los 3 estén detenidos y formen una combinación de tres números al azar. Al presionar por cuarta vez el pulsador de control, los tres contadores se resetearán colocándose a cero y al soltar el pulsador, la secuencia comenzará nuevamente.

MARCO TEÓRICO

Contadores

Un circuito secuencial con reloj consiste en un grupo de flip-flops y compuertas combinacionales conectados para formar un camino de retroalimentación. Los flip-flops son indispensables porque, sin ellos, el circuito se reduce a un circuito puramente combinacional (suponiendo que no haya retroalimentación entre las compuertas). Un circuito con flip-flops se considera secuencial, aunque no tenga compuertas combinacionales. Los circuitos que incluyen flip-flops por lo regular se clasifican según la función que desempeñan, más que por el nombre del circuito secuencial. Dos de esos circuitos son los registros y los contadores. Un contador es básicamente un registro que pasa por una sucesión predeterminada de estados. Las compuertas del contador están conectadas de tal manera que producen la sucesión prescrita de estados binarios. Aunque los contadores son un tipo especial de registros, es común distinguirlos dándoles otro nombre.

Lógica combinatoria de reseteo y blanqueo

El comportamiento de un circuito secuencial con reloj está determinado por las entradas, las salidas y el estado de sus flip-flops. Las salidas y el siguiente estado son función de las entradas y del estado actual. El análisis de un circuito secuencial consiste en obtener una tabla o diagrama para la sucesión temporal de entradas, salidas y estados internos. También es posible escribir expresiones booleanas que describan el comportamiento del circuito secuencial. Tales expresiones deberán incluir la sucesión temporal necesaria, sea directa o indirectamente. En este sentido, la lógica combinatoria de blanqueo y reseteo, consiste en una configuración lógica combinacional que permite volver a estado inicial de acuerdo con varias condiciones y parámetros de diseño, permitiendo el bloqueo, blanqueo y reseteo de las señales de salida en las diferentes etapas del circuito.

Contadores y conversores BCD a 7 segmentos

Existen circuitos decodificadores/controladores que simplifican la conexión y uso de los display de 7 segmentos, se les puede dar una entrada en BCD (4 bits) y es capaz de decodificarlo para encender y apagar los segmentos adecuados para mostrar el dígito correspondiente.

Existen dos modelos muy similares, el 74LS47 y 74LS48 que tienen el mismo funcionamiento y distribución de pines, varían solo en que uno de ellos tiene las salidas negadas, por lo que uno de ellos se adecua para ser utilizado en un display de ánodo común y el otro en uno de cátodo común. Se trata de un circuito de 16 pines que tiene las 7 salidas para los 7 segmentos de un display (a – g), tiene las 4 entradas para el valor en BCD, representadas con las letras A, B, C y D. Funciona con 5 V en los pines 16 y 8 (Vcc y Gnd respectivamente)

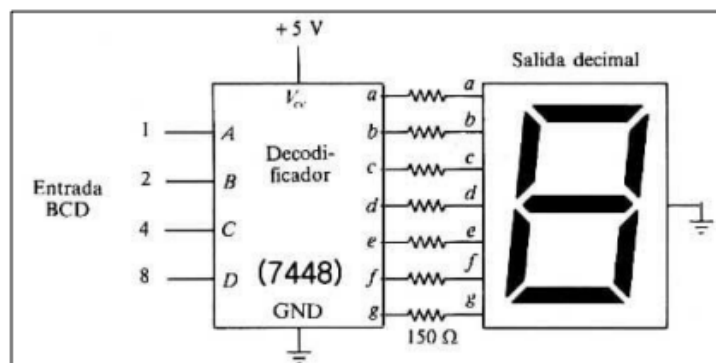


Figura 1. Decodificador 7448 con display 7 segmentos

Display de 7 segmentos de cátodo común

El display 7 Segmentos es un dispositivo opto-electrónico que permite visualizar números del 0 al 9. Se utiliza para representar visualmente números y algunos caracteres. Este tipo de elemento es de salida digital, utilizaba en los primeros dispositivos electrónicos de la década de los 70's y 80's. Hoy en día es muy utilizado en proyectos educativos para realizar practicas de contadores o aplicación de reloj. Los display de 7 segmentos están contruirdos con siete diodos LED , Por esta razón se deben colocar resistencias para limitar el paso de corriente.

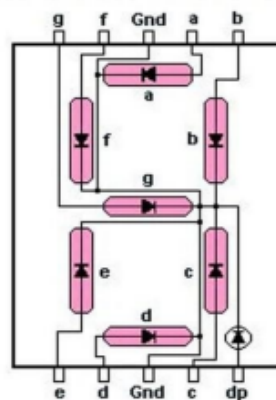


Figura 2. Display de 7 segmentos de cátodo común

Integrado 555

El temporizador IC 555 es un circuito integrado (chip) que se utiliza en la generación de temporizadores, pulsos y oscilaciones. El 555 puede ser utilizado para proporcionar retardos de tiempo, como un oscilador, y como un circuito integrado flip flop. Sus derivados proporcionan hasta cuatro circuitos de sincronización en un solo paquete.

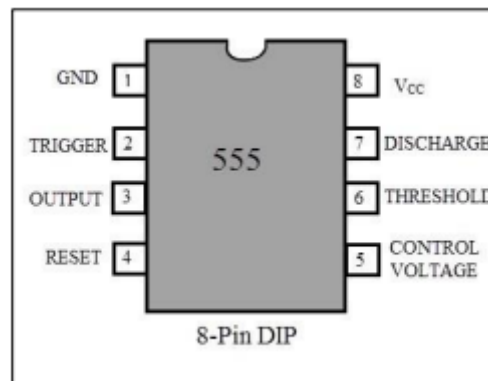


Figura 3. Integrado 555

GND (normalmente la 1): es el polo negativo de la alimentación, generalmente tierra (masa).
Disparo (normalmente la 2): Es donde se establece el inicio del tiempo de retardo si el 555 es configurado como monoestable. Este proceso de disparo ocurre cuando esta patilla tiene menos de $\frac{1}{3}$ del voltaje de alimentación. Este pulso debe ser de corta duración, pues si se mantiene bajo por mucho tiempo la salida se quedará en alto hasta que la entrada de disparo pase a alto otra vez.

Salida (normalmente la 3): Aquí veremos el resultado de la operación del temporizador, ya sea que esté conectado como monoestable, estable u otro. Cuando la salida es alta, el voltaje será el voltaje de alimentación (V_{cc}) menos 1.7 V. Esta salida se puede obligar a estar en casi 0 voltios con la ayuda de la patilla de reinicio (normalmente la 4).

Reinicio (normalmente la 4): Si se pone a un nivel por debajo de 0.7 Voltios, pone la patilla de salida a nivel bajo. Si por algún motivo esta patilla no se utiliza hay que conectarla a alimentación para evitar que el temporizador se reinicie.

Control de voltaje (normalmente la 5): Cuando el temporizador se utiliza en el modo de controlador de voltaje, el voltaje en esta patilla puede variar casi desde V_{cc} (en la práctica como $V_{cc} - 1.7$ V) hasta casi 0 V (aprox. 2 V menos). Así es posible modificar los tiempos. Puede también configurarse para, por ejemplo, generar pulsos en rampa.

Umbral (normalmente la 6): Es una entrada a un comparador interno que se utiliza para poner la salida a nivel bajo. Descarga (normalmente la 7): Utilizado para descargar con efectividad el condensador externo utilizado por el temporizador para su funcionamiento.

Voltaje de alimentación (VCC) (normalmente la 8): es el terminal donde se conecta el voltaje de alimentación que va de 4.5 V hasta 16 V.

METODOLOGÍA

Para el diseño y simulación se utilizó el software Proteus, el cual es una herramienta útil para el desarrollo de aplicaciones analógicas y digitales. Se debe diseñar un circuito secuencial que imite un juego de tragamonedas como los encontrados en un casino. Este circuito deberá tener 3 displays de 7 segmentos anclados a contadores BCD individuales, los cuales estarán corriendo constantemente de manera sincronizada movidos por un reloj 555 a unos 10Hz aproximadamente. Se debe presionar un único pulsador para ir deteniendo cada contador uno a uno hasta que los 3 estén detenidos y formen una combinación de tres números al azar. Al presionar por cuarta vez el pulsador de control, los tres contadores se resetearán colocándose a cero y al soltar el pulsador, la secuencia comenzará nuevamente.

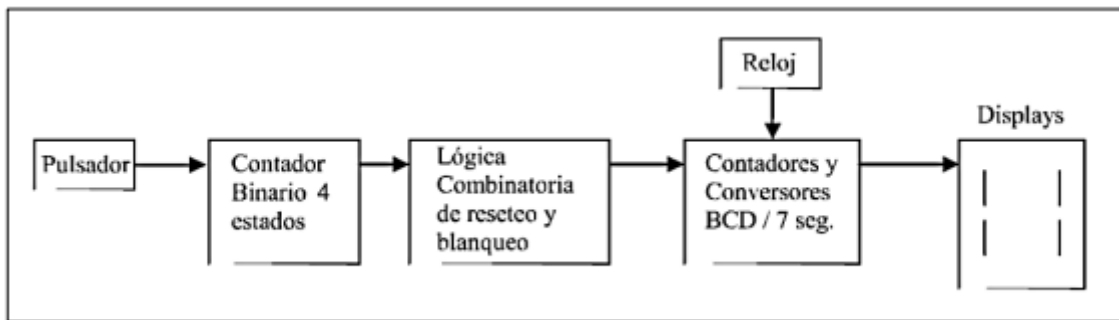


Figura 4. Diagrama de bloques del circuito a diseñar

ANÁLISIS DE RESULTADOS

Pulsador

Se implementó un pulsador mediante la configuración de resistencia pull down. En el caso de la figura, se puede ver que Vout está conectado a masa a través de la resistencia Pull-Down, cuando se pulsa el pulsador entonces Vout se conecta a Vcc y se recibe un High ó "1" lógico. Es decir, este esquema de conexión nos da un "1" cuando pulsamos el botón.

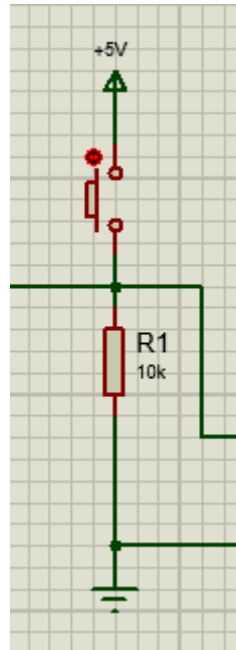


Figura 5. Pulsador con resistencia Pull-Down

Contador Binario de 4 estados

En este caso, se emplearon dos flip flops tipo D, donde sus Q negadas deben ser las entradas D; y la Q negada del primer flip flop (menos significativo) conectada al CLK del siguiente.

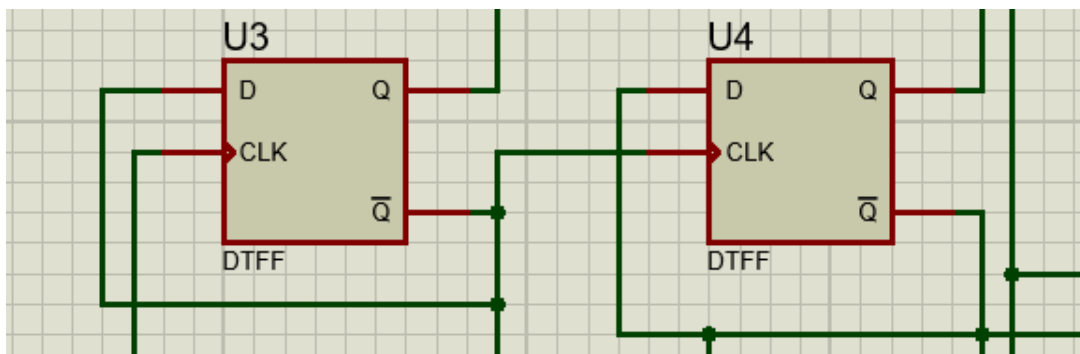


Figura 6. Configuración del contador

El pulsador se conecta al CLK del primer flip flop y esto permitirá que, cada vez que se presione, se cambia al estado siguiente del contador (00-01-10-11).

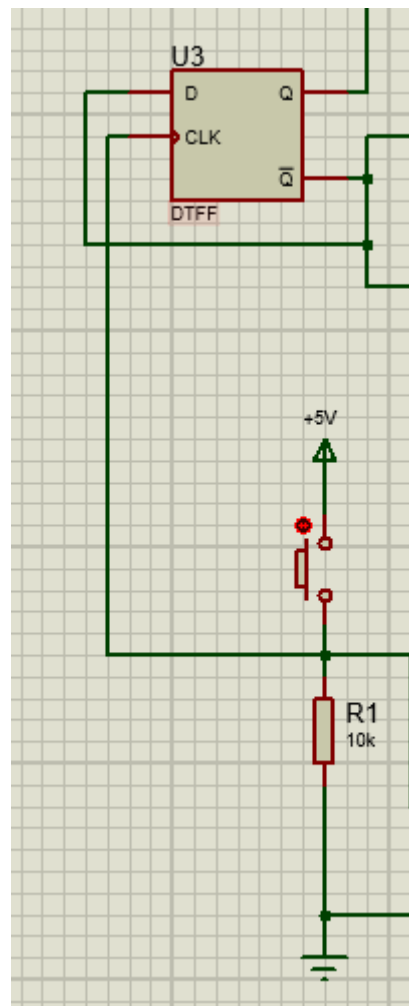


Figura 7. Pulsador conectado al CLK del primer flip flop

Lógica combinatoria de reseteo y blanqueo

En esta parte del circuito, se apoyará en la información suministrada sobre las AND como interruptores controlados, las cuales bloquearán o dejarán pasar la señal de reloj hacia el contador.

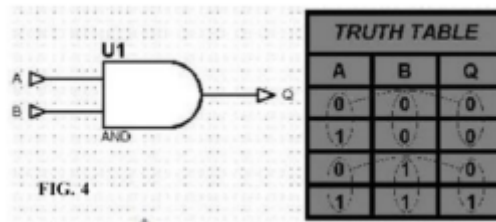


Figura 8. Tabla de verdad AND

Es recomendado utilizar esta configuración, para bloquear la señal del reloj que llega a los contadores de tragamonedas y así de esta manera, lograr que se detengan y se mantengan en el número que se quedaron. Para lograr esto se obtuvo la lógica combinatoria y así poder generar los pulsos de parada, que van a controlar una de las variables de entrada a los AND y en la otra la señal del reloj.

A	B	F1	F2	F3
0	0	1	1	1
0	1	1	1	0
1	0	1	0	0
1	1	0	0	0

Tabla 1. Tabla de verdad para generar paradas en las AND (0 = parado)

A \ B	0	1
0	1	1
1	1	0

$$F1 = \neg A + \neg B$$

A \ B	0	1
0	1	1
1	0	0

$$F2 = \neg A$$

A \ B	0	1
0	1	0
1	0	0

$$F3 = \neg A * \neg B$$

Para **F1** se utilizará una puerta NAND equivalente con las entradas A y B.

Luego que se tiene la lógica combinatorial, se procede a diseñar la lógica para el reseteo el cual se activará únicamente con uno de los flip flop y el pulsador, en este caso usamos un NAND de 3 entradas para estas condiciones **F4**.

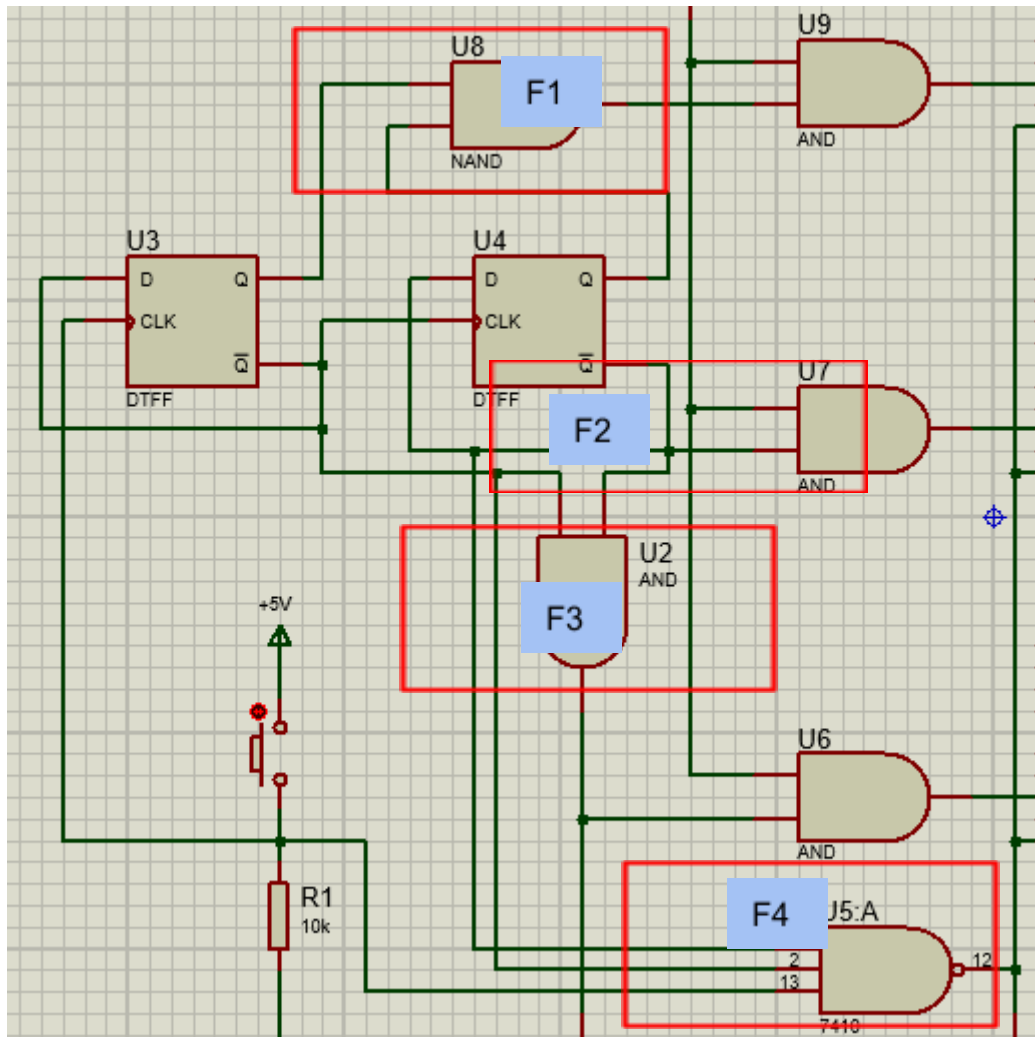


Figura 9. Conexión de la lógica combinatoria con las NAND controladas

Contadores y Conversores BCD a 7 segmentos

Para el contador se usó un integrado 74160 que consta de 16 pines y contiene un único contador síncrono de 4 bits que se puede conectar para el modo de conteo de décadas, sin chips lógicos externos. Este contador IC se puede borrar (poner a cero) en cualquier momento, llevando la entrada clara al cero lógico (tierra). Durante el funcionamiento normal, como el modo de conteo, la entrada clara debe mantenerse alta ya sea directamente o mediante una resistencia de extracción.

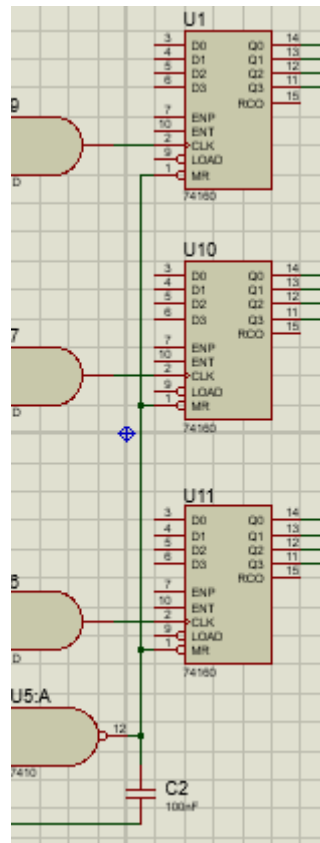


Figura 10. Conexión de los contadores con las NAND controladas o apantallamiento

El 74160 es totalmente programable, lo que significa que puede precargarse para comenzar a contar a cualquier valor. Esto se logra aplicando el valor que se precargará en las cuatro líneas de entrada de datos del chip, y colocando el pin de carga temporalmente en cero lógicos. Al hacerlo, se desactivará la operación del contador y la salida se bloqueará para reflejar la nueva entrada en el próximo pulso de reloj. Devolver la entrada de carga a la lógica 1 (alta) reanudará el contador (ahora comenzando desde el nuevo valor precargado). Una vez se tiene esta parte se procede a conectar los AND de apantallamiento a los CLK de los contadores.

Ahora se necesita un conversor BCD a 7 segmentos; según lo que se pudo investigar se puede utilizar el Integrado 7448 que es un Decodificador. Es un circuito integrado que convierte el código binario de entrada en formato BCD a niveles lógicos que permiten activar displays de 7 segmentos de cátodo común en donde la posición de cada barra forma el número decodificado.

Para el caso de los display se emplearon 3 de tipo cátodo común los cuales tienen el pin común conectado a los negativos de los LED's (cátodo). Esto significa que este tipo de display se «controla» con '1' s lógicos o con voltaje positivo.

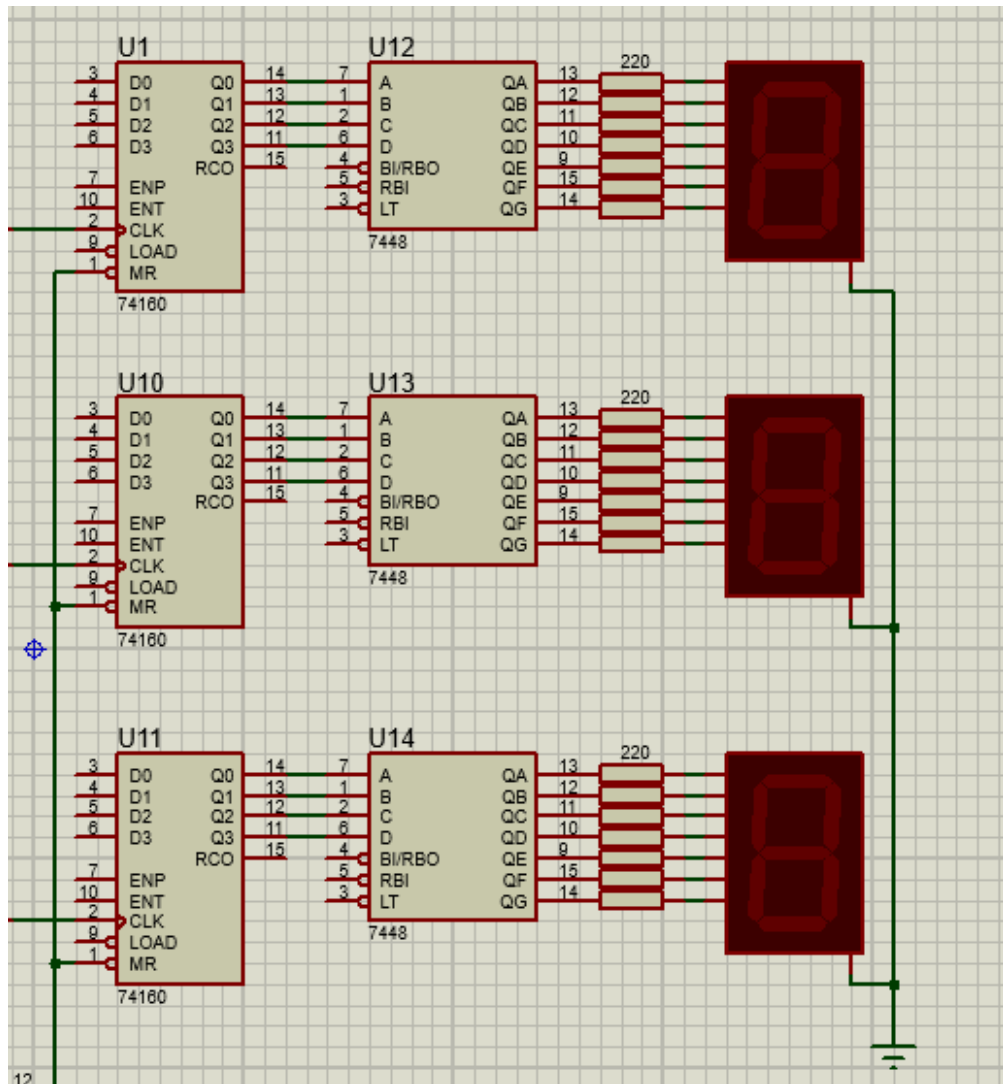


Figura 11. Contadores 74160 conectados al conversor BCD/7 seg y los displays

Reloj 555 estable

En este caso se diseñó un oscilador estable, basado en un circuito integrado 555, con una frecuencia de 10Hz, para esto usamos la aplicación “Timer 555 Calculator” disponible para Android, la cual nos permite obtener los valores de los componentes introduciendo una frecuencia dada.

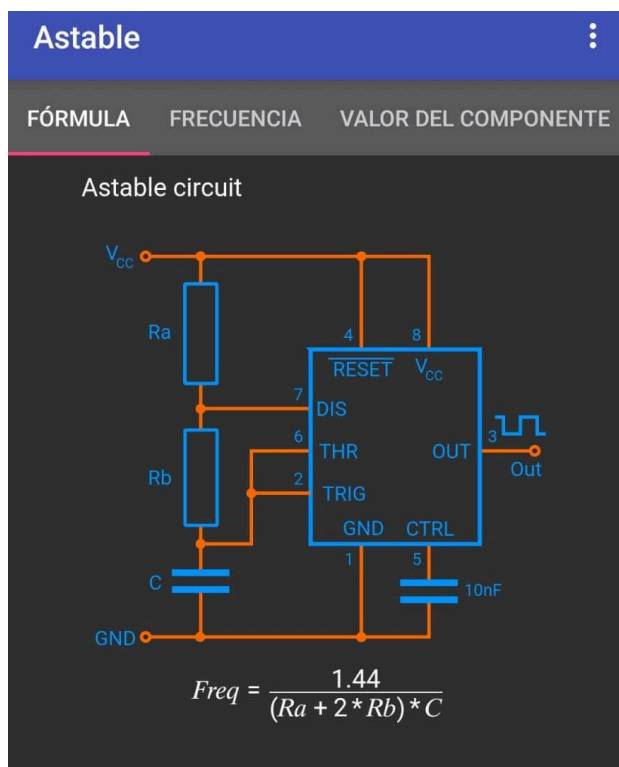


Figura 12. Montaje del 555 como astable

LIMPIAR		CALCULAR			
Ra	Rb	C	dc	Frecuencia	
100 Ω	7,15 kΩ	10 uF	50 %	10,000 Hz	
442 Ω	6,98 kΩ	10 uF	52 %	9,999 Hz	
787 Ω	6,81 kΩ	10 uF	53 %	9,995 Hz	
1,10 kΩ	6,65 kΩ	10 uF	54 %	10,000 Hz	
1,43 kΩ	6,49 kΩ	10 uF	55 %	9,993 Hz	
1,74 kΩ	6,34 kΩ	10 uF	56 %	9,986 Hz	
2,00 kΩ	6,19 kΩ	10 uF	57 %	10,014 Hz	
2,32 kΩ	6,04 kΩ	10 uF	58 %	10,000 Hz	
2,61 kΩ	5,90 kΩ	10 uF	59 %	9,993 Hz	
2,87 kΩ	5,76 kΩ	10 uF	60 %	10,007 Hz	

Figura 13. Resultados para una frecuencia de 10 Hz

Tomaremos los valores:

$R_a = 1,10\text{ K}$

$R_b = 6,65\text{ K}$

$C = 10\text{ uF}$

con un dc de 54% y $f = 10\text{ Hz}$

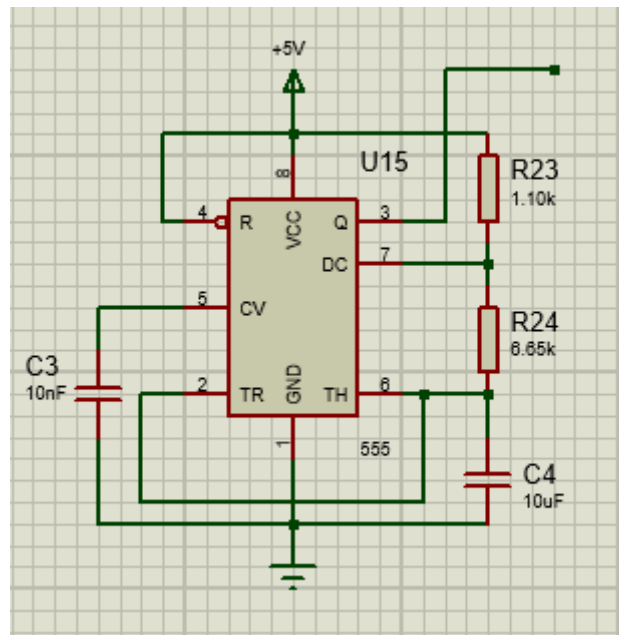


Figura 14. Timer 555 astable

Es de acotar, que para efectos de simulación usaremos un reloj digital que asemeja el comportamiento del 555, con sus respectivos parámetros de 10Hz

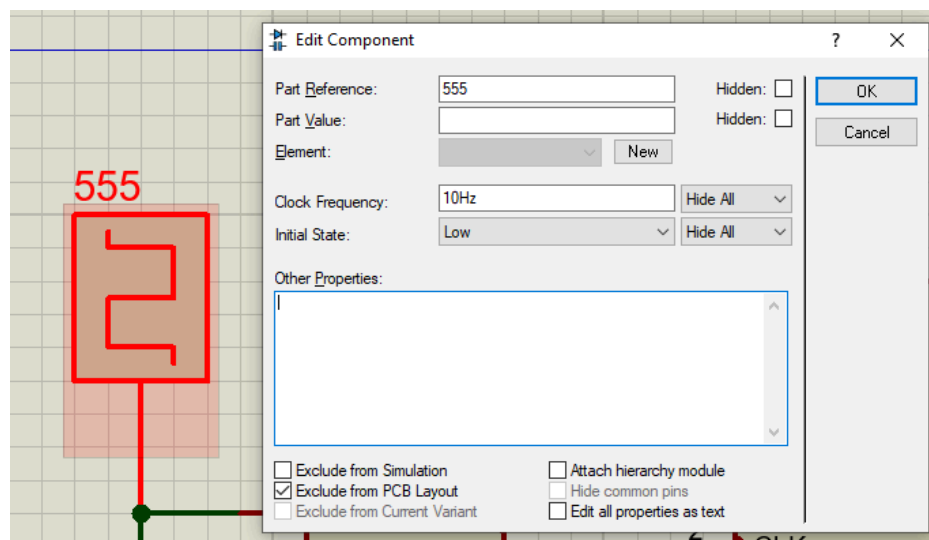


Figura 15. Reloj virtual CLOCK

Montaje final

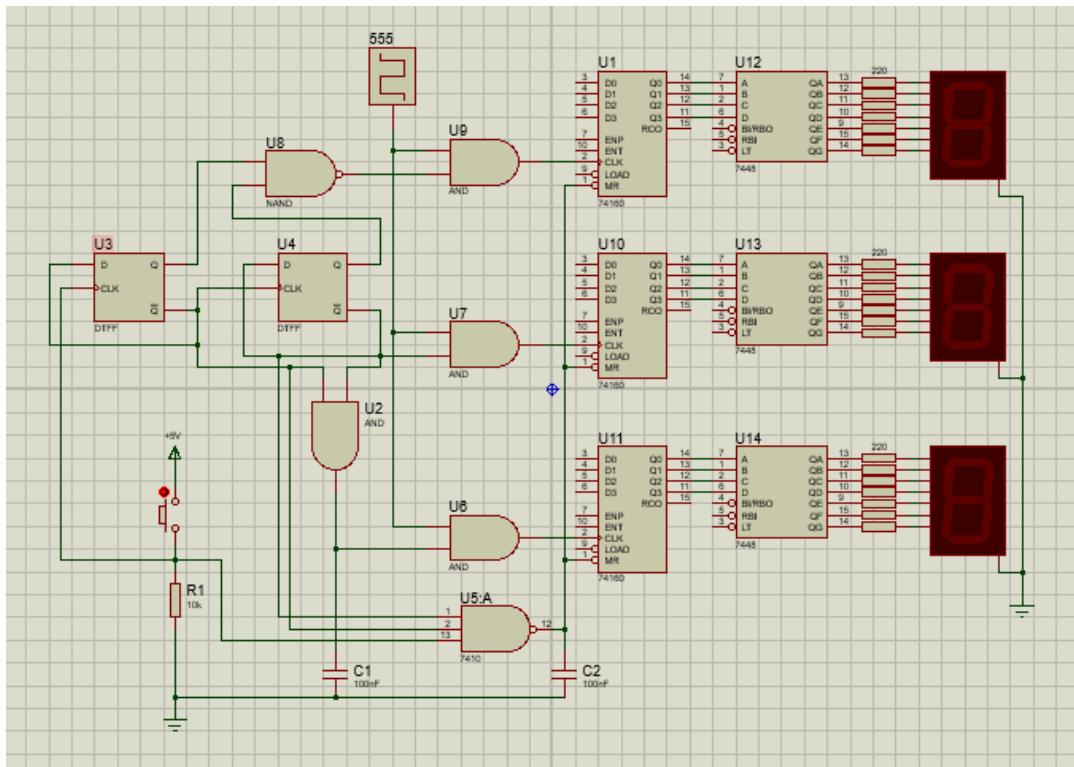


Figura 16. Montaje final con reloj virtual

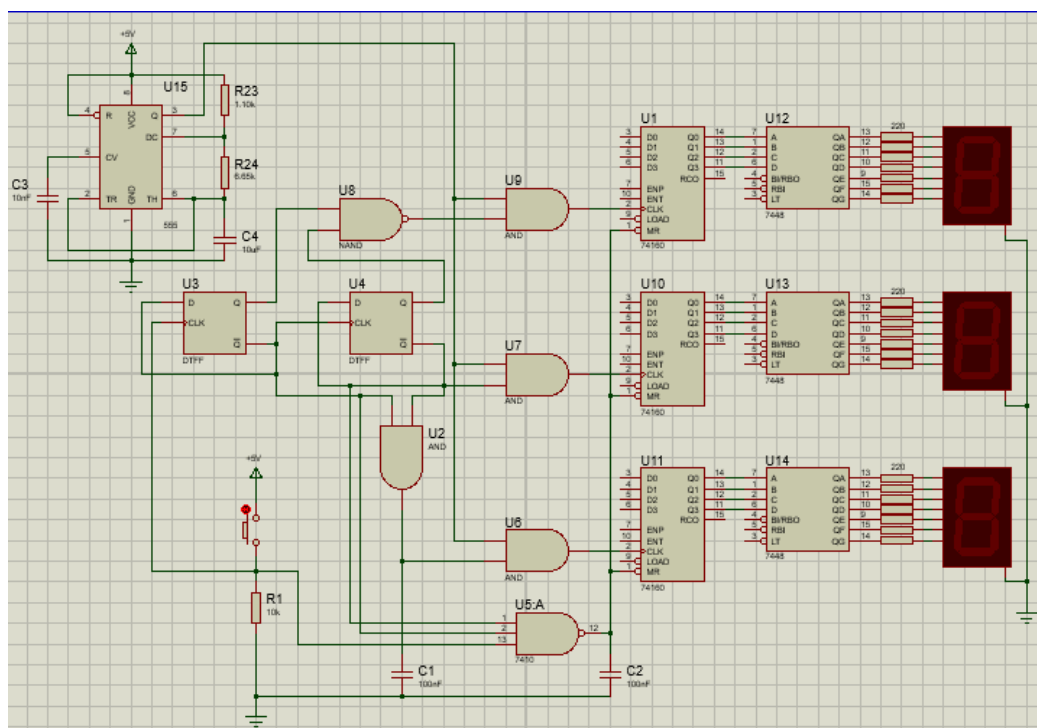


Figura 17. Montaje final con timer 555