



UNIVERSITAT DE  
BARCELONA

## Disseny i síntesis de sistemes digitals

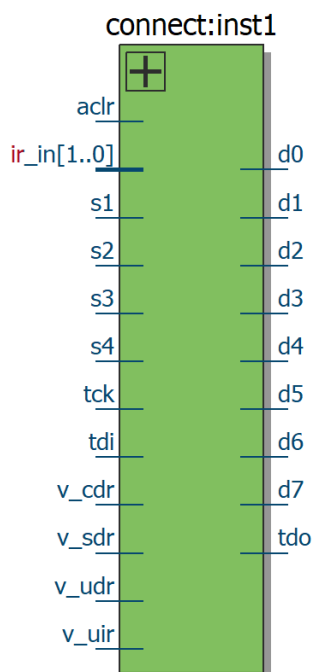
Grau d'Enginyeria Electrónica de Telecomunicaciones

Gianfranco Bazzani Valldeperez

Data de realització: 22/04/2019

# Datasheet interfície JTAG Exemple 1

## 1. Input Outputs



Pin	Funció	Direcció
aclr	Reset negat	input
lr_in[1..0]	Llegeix la instrucció actual	input
s1,s2,s3,s4	Llegeix els valors dels switches	input
tck	Clock del JTAG	input
tdi	Senyal del JTAG	input
v_cdr	Flag d'estat capture data register JTAG	input
v_sdr	flag d'estat shift data register JTAG	input
v_udr	flag d'estat update data register JTAG	input
V_uir	flag d'estat update instruction regiser JTAG	input
d0,d1,...,d7	sortides als LEDs	Output
tdo	senyal JTAG	Sortida

## 2.Funcionalitat.

Aquesta interfície interpreta els senyals JTAG generats per la IP vJTAG d'alter. Llegeix el registre d'instruccions i en funció d'aquest actua sobre el registre de dades.

Instruccions implementades:

- BYPASS          ir = 00:
  - Aquesta es una instrucció idle, assigna un registre de dades amb un valor 0. Acuta com a un estat desocupat al que tornar després de realitzar cualsevol operació
- DIP          ir = 01:
  - Aquesta instrucció escriu en registre de dades ,el valor dels switches, en el estat JTAG capture data register, i a continuació realitza el desplaçament d'aquest. D'aquesta manera la GUI al pc reb les dades desplaçades
- LED          ir = 10:
  - Aquesta instrucció desplaça el registre de dades i en el estat de update data register escriu el valor d'aquest en la sortida als LEDs.