

高等数字集成电路作业-2021-09-30

Author: 文家宝

1. 基础概念问题

1. 请简要描述集成电路设计过程中，抽象分层的常规做法？抽象分层对集成电路设计所带来的意义何在？

答：

常规分层方法

1. 系统层: 一般利用各种IP（如：PLL, AXI, CPU）或者（ALU, FIFO）构成更复杂的电路
2. 模块层级: 一般利用由基本逻辑单元构成的各项电路（如：DFF, MUX）构成复杂程度更高的电路
3. 门电路层级: 一般利用工艺厂商提供的std(stander cell)去设计由基本逻辑单元构成的电路
4. 电路层级: 一般利用工艺厂商提供的pdk文件去在circuit层面去设计标准功能单元
5. 器件级: 一般具体到用什么工艺,去设计FET/Transistor。

抽象分层对集成电路设计所带来的意义：能够设计规模越大、性能越高、设计越复杂的电路。

2. 请简要描述为何典型的超大规模集成电路，通常是采用CMOS工艺为基础进行的设计，而不是采用基于其他工艺为基础进行VLSI设计？

答：

- **无电荷损失**，对比nmos的上拉电阻造成的电压降低。CMOS由于其导通电阻很小故可看做其输出端无电压损失
- **静态功耗小**，对比单个mos做的导向器来说，cmos结构的两个管子只工作在截至区和深度线性区，此处IDS约等于0。
- **更易集成**，由于芯片仅有mos结构，故在制造时晶体管密度更高，面积更小成本更低。

3. 请简要描述ASIC/FPGA前端设计流程？简要描述Top-Down设计流程的意义及挑战？

答：

1. 硬件设计定义：确定总体架构，模块划分，使用的总线等
2. 模块设计及IP使用: RTL设计
3. 顶层模块集成：如SOC的胶合逻辑，系统时钟集成，IO环等。
4. 前仿真：验证HDL电路功能是否有效
5. 逻辑综合：将RTL通过编译产生符合约束条件的网表/比特流文件,并做第一次STA（共做3次）

Top-Down设计流程的意义：可以优化设计流程、提高设计效率，并确保工程设计整体的关联性,但他的挑战在于需要制定清楚各个流程间的边界条件；需要在特定边界条件的约束下完成对特定任务的高效收敛设计

4. 请简要描述在CMOS电路设计过程中，如何避免或降低寄生电感引起的同步开关噪声（SSN）所导致的电路性能不稳定？

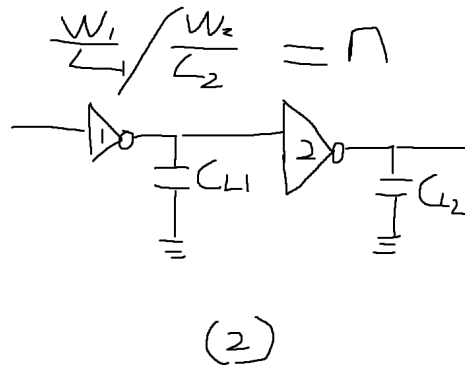
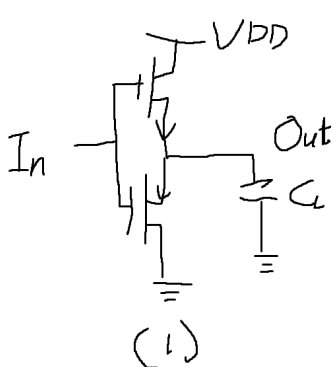
答：同步开关噪声Simultaneous Switch Noise，简称为SSN，代表的意思为大量的芯片同步切换时产生的瞬态电流在电源或地平面上产生的大量噪声现象。这是电源分布网络(PDN)中 ΔI 噪声、返回电流共享I/O网络中的共同路径、发射噪声和耦合噪声的组合影响。除了增加噪声外，信号电平和电源电压可能继续降低。如果不进行控制，SSN可能导致逻辑电路错误地切换状态或者导致电路延时增加。同步开关噪声对电源完整性产生的影响主要表现为地/电源(Ground Bounce/Power Bounce)反弹现象。

减小SSN的方法

- 减小信号的电源和地平面的阻抗
- 减小电源和地的回路电感
- 合理分配芯片的信号、电源和地引脚的数量比值
- 在芯片电源和地引脚附件添加合理的去耦电容

5. 请分析针对CMOS反相器电路设计优化，在输出驱动一定的前提下，通过哪些技术手段可提高CMOS反相器的驱动能力？

答：可以利用多级反相器级联方式提高反相器驱动能力。反相器通过PMOS和NMOS对负载电容充放电完成工作，如果一个反相器尺寸系数是另一个的 n 倍，那么对应的电流也是 n 倍，对电容充放电速度也是 n 倍。对应一个比较大的负载电容，假设这个电容远大于反相器的输入电容，那么采用右图反相器，相当于可以忽略第一级延时，直接用第二级大电流对电容充电。实际情况复杂点，增大第二级反相器尺寸会减小第二级延时，增加第一级延时，这是因为由于第二级负载过大使得第一级充电的输出电容变大，充电时间加长。



6. 请结合所在课题组研究课题方向，对如何学好本课程内容并结合课程内容更好的开展研发工作进行简要论述。

答：本人研究课题方向为面向龙芯的超标量处理器设计，由于处理器设计再大的范畴属于数字集成电路设计，所以通过本门课程我将更为细致的了解从系统级别的角度去看待处理器设计，如何增加流水，如何提升运算单元的运算速度，如何将逻辑分层解耦。此门课程是实践性很强的课程，我认为想要学好此门课程不应只局限于书本，要勤实践多编码。同时在动手前要运用TopDown的思路去整体规划整个设计。