

# Laborprojekt

## Aufgabenstellung RISC-V RV32I CPU

Guillaume Fournier-Mayer

Wedel, den 13. Dezember 2020

# 1 Aufgabenstellung

## 1.1 Pflichtteil

### **Einarbeitung in RISC Architektur**

Recherchieren von bestehenden Risc-Architekturen und deren Besonderheiten.

### **Einarbeitung in RV32I 2.0 Befehlssatz**

Whitepaper des Befehlssatzes lesen.

Konzeption für die Implementierung des Befehlssatzes.

### **Implementierung des RV32I 2.0 Befehlsatzes**

Implementierung des Befehlsatzes in VHDL.

Synthetisierung der CPU.

### **Überprüfung der Funktionalität durch Tests**

Testen der Teilmodule sowie des Gesamtsystems durch Modelsim Simulationen.

### **Hineinladen von Programmcode zur Synthesezeit**

Beschreiben des Speichers mit einzelnen Opcodes zur Synthesezeit.

### **Flashen von FPGA Hardware**

Synthetisierte CPU auf die Hardware Laden.

### **Dokumentation**

Dokumentieren des Prozesses und des Quellcodes.

## 1.2 Optional

### **Bootloader**

Einarbeitung in RISC-V C-Compiler.

Implementierung eines Bootloaders.

Implementierung einer Schnittstelle zum flashen des Speichers zur Laufzeit.

### **Debugger**

Möglichkeit zum Debuggen des C-Quellcodes zur Laufzeit.

## 1.3 Abgabe

Als Abgabedatum wird der 10.05.2021 gewählt.