

ΕΙΔΙΚΑ ΘΕΜΑΤΑ ΣΧΕΔΙΑΣΗΣ ΨΗΦΙΑΚΩΝ ΣΥΣΤΗΜΑΤΩΝ

Atalanta & HOPE — Πρώτη Εργαστηριακή Άσκηση

Γιώργος Ντάκος — 1059569

20 Απριλίου 2021

Περιεχόμενα

1	Άσκηση 1	2
2	Άσκηση 2	4
3	Άσκηση 3	5
4	Άσκηση 4	7
5	Άσκηση 5	8
6	Άσκηση 6	9
7	Άσκηση 7	10

1 Ασκηση 1

Εκφώνηση

Ζητείται να εξάγετε ένα σύνολο δοκιμής για το κύκλωμα c880o.bench με τις εξής ιδιότητες: (i) να εξαχθούν έως 5 διανύσματα ελέγχου για κάθε σφάλμα, αφήνοντας τις μη-καθορισμένες εισόδους ως έχουν (don't cares), και (ii) να βρεθεί η απόκριση του κυκλώματος για κάθε σφάλμα σε κάθε μία από τις παραπάνω περιπτώσεις.

Εκτέλεση

Χρησιμοποιήθηκε το Atalanta σε deterministic ATPG mode με επιλογή πολλαπλών ανιχνεύσεων ανά σφάλμα. (Βλ. Σχ. 1.)

Αποτελέσματα και αιτιολόγηση

To Atalanta παρήγαγε συνολικά **4039** διανύσματα δοκιμής και επιτεύχθηκε **100% fault coverage**. Ο αριθμός των **collapsed faults** ήταν **942**. Δεν αναφέρθηκαν redundant ή aborted faults.

Η παράμετρος -D 5 θέτει **μέγιστο** αριθμό ανιχνεύσεων (detections) ανά σφάλμα (έως 5). Στην πράξη, για ορισμένα σφάλματα ενδέχεται να παραχθούν λιγότερα από 5 διανύσματα, διότι: (α) δεν υπάρχουν 5 διαφορετικά detecting assignments ή/και (β) ο ATPG δεν βρίσκει περισσότερες διακριτές λύσεις.

Μη-καθορισμένες είσοδοι (don't cares). Στα παραγόμενα διανύσματα εμφανίζονται σύμβολα x στις εισόδους. Αυτό είναι επιθυμητό, διότι οι είσοδοι που δεν χρειάζονται για την ανίχνευση του σφάλματος αφήνονται ως don't cares, όπως ζητάει η εκφώνηση.

Απόκριση κυκλώματος ανά σφάλμα. Το c880 έχει **13** primary outputs. Στο output του Atalanta, για κάθε test vector εμφανίζονται **26** bits εξόδου, τα οποία χωρίζονται σε δύο ομάδες των 13:

$$Y_{good} \text{ (13 bits)} \quad Y_{faulty} \text{ (13 bits)}$$

όπου Y_{good} είναι η απόκριση του fault-free κυκλώματος και Y_{faulty} η απόκριση με ενεργό το συγκεκριμένο fault. Ένα fault ανιχνεύεται όταν $Y_{good} \neq Y_{faulty}$ σε κάποιο καθορισμένο bit (0/1).

Παράδειγμα απόκρισης (ενδεικτικά)

Για το fault 96gat->812gat /1 δίνονται έως 5 test vectors. Για κάθε vector καταγράφεται η απόκριση ως ($Y_{good} | Y_{faulty}$):

Fault: 96gat->812gat /1
TV1: Y = xxxx01xxxx1xx | xxxxxxxxxxxx1xx0
TV2: Y = xxxx01xxxx1x0 | 0xxxxxxxxx1xx0
TV3: Y = xxxx01xxxx1xx | xxxxxxxxxxxx1xx0
TV4: Y = xxxx01111x100 | 0xxxxxxxxx1xx0
TV5: Y = xxxx01111x10x | 0xxxxxxxxx1xx0

Τα x στα outputs είναι αναμενόμενα λόγω don't cares στις εισόδους. Παρόλα αυτά, υπάρχει διαφοροποίηση ανάμεσα σε Y_{good} και Y_{faulty} σε καθορισμένα bits, άρα το fault ανιχνεύεται.

```

C:\Eidika themata psifiakhs sxedias\Atalanta>atalanta -D 5 c880o.bench
*****
*                                         *
*          Welcome to atalanta (version 2.0)      *
*                                         *
*          Dong S. Ha (ha@vt.edu)                  *
*          Web: http://www.visc.vt.edu/people/ha    *
*          Virginia Polytechnic Institute & State University  *
*                                         *
***** SUMMARY OF TEST PATTERN GENERATION RESULTS *****

1. Circuit structure
   Name of the circuit           : c880o
   Number of primary inputs     : 60
   Number of primary outputs    : 26
   Number of gates              : 409
   Level of the circuit         : 25

2. ATPG parameters
   Test pattern generation mode : DTPG + TC
   Backtrack limit             : 10
   Initial random number generator seed : 1618684397
   Test pattern compaction mode : NONE

3. Test pattern generation results
   Number of test patterns      : 4039
   Fault coverage               : 100.000 %
   Number of collapsed faults   : 942
   Number of identified redundant faults : 0
   Number of aborted faults     : 0
   Total number of backtrackings : 1066

4. Memory used                : 168058 Kbytes

5. CPU time
   Initialization               : 0.000 secs
   Fault simulation              : 0.000 secs
   FAN                          : 1.033 secs
   Total                         : 1.033 secs

C:\Eidika themata psifiakhs sxedias\Atalanta>

```

Σχήμα 1: Αποτελέσματα Atalanta για το κύκλωμα c880

2 Ασκηση 2

Εκφώνηση

Ζητείται να εξάγετε ένα σύνολο δοκιμής για το s9234.bench με τις εξής ιδιότητες: να συμπεριλαμβάνεται Random Pattern Testing πριν τη deterministic εξαγωγή διανυσμάτων, το οποίο θα σταματάει όταν **48 διαδοχικά πακέτα των 32 τυχαίων διανυσμάτων** δεν ανιχνεύουν κανένα νέο σφάλμα.

Αποτελέσματα και αιτιολόγηση

Χρησιμοποιήθηκε hybrid ροή **RPT + DTPG + TC** (Random Pattern Testing πριν το deterministic ATPG). Σύμφωνα με το εγχειρίδιο του Atalanta, η επιλογή -r n τερματίζει το RPT όταν **n διαδοχικά πακέτα των 32 τυχαίων διανυσμάτων** δεν ανιχνεύουν νέο fault (stagnation criterion). Επομένως, -r 48 υλοποιεί ακριβώς το ζητούμενο.

```
C:\Eidika themata psifiakhs sxedias\Atalanta>atalanta -r 48 s9234.bench -l s9234.log
*****
*           Welcome to atalanta (version 2.0)          *
*           Dong S. Ha (ha@vt.edu)                   *
*           Web: http://www.visc.vt.edu/people/ha      *
*           Virginia Polytechnic Institute & State University  *
*****
***** SUMMARY OF TEST PATTERN GENERATION RESULTS *****
1. Circuit structure
  Name of the circuit : s9234
  Number of primary inputs : 247
  Number of primary outputs : 250
  Number of gates : 5597
  Level of the circuit : 58

2. ATPG parameters
  Test pattern generation mode : RPT + DTPG + TC
  Limit of random patterns (packets) : 48
  Backtrack limit : 10
  Initial random number generator seed : 1618686240
  Test pattern compaction mode : REVERSE + SHUFFLE
  Limit of shuffling compaction : 2
  Number of shuffles : 16

3. Test pattern generation results
  Number of test patterns before compaction : 686
  Number of test patterns after compaction : 365
  Fault coverage : 93.475 %
  Number of collapsed faults : 6927
  Number of identified redundant faults : 404
  Number of aborted faults : 48
  Total number of backtrackings : 728

4. Memory used : 169877 Kbytes

5. CPU time
  Initialization : 0.250 secs
  Fault simulation : 4.433 secs
  FAN : 1.300 secs
  Total : 5.983 secs

C:\Eidika themata psifiakhs sxedias\Atalanta>
```

Σχήμα 2: Αποτελέσματα RPT + ATPG

3 Ασκηση 3

Εκφώνηση

Ζητείται σύνολο δοκιμής για το s9234.bench με: (i) έως 2 διανύσματα ανά σφάλμα, (ii) μέγιστο αριθμό backtracks στον FAN ίσο με 4, (iii) επιστροφή της λίστας σφαλμάτων που δεν ανιχνεύονται ή αποβλήθηκαν σε αρχείο s9234.ufaults. Να απαντηθούν: πόσα test vectors υπολογίστηκαν; πόσα faults επιστράφηκαν στο .ufaults; πόσα redundant faults βρέθηκαν;

Αποτελέσματα και αιτιολόγηση

Με -D 2 ζητούνται έως 2 ανιχνεύσεις ανά σφάλμα. Με -b 4 περιορίζεται η αναζήτηση του FAN (λιγότερα backtracks), άρα αναμένεται περισσότερα **aborted** faults σε σχέση με μεγαλύτερο backtrack limit.

Από το summary προκύπτουν:

- **Test patterns: 11 632**
- **Aborted faults: 68** (επιστρέφονται στο s9234.ufaults)
- **Redundant faults: 392**
- Fault coverage: 93.359%

Τα redundant faults είναι αποδεδειγμένα **untestable** (λογικά μη-ανιχνεύσιμα), ενώ τα aborted faults δεν χαρακτηρίζονται απαραίτητα untestable: ο ATPG απλώς δεν βρήκε test εντός του ορίου backtracking.

```

C:\Eidika themata psifiakhs sxedias\Atalanta>atalanta -D 2 -b 4 -u s9234.bench -l s9234(3).log
*****
*           Welcome to atalanta (version 2.0)          *
*           Dong S. Ha (ha@vt.edu)                   *
*           Web: http://www.visc.vt.edu/people/ha      *
*           Virginia Polytechnic Institute & State University *
*****
***** SUMMARY OF TEST PATTERN GENERATION RESULTS *****
1. Circuit structure
    Name of the circuit : s9234
    Number of primary inputs : 247
    Number of primary outputs : 250
    Number of gates : 5597
    Level of the circuit : 58

2. ATPG parameters
    Test pattern generation mode : DTPG + TC
    Backtrack limit : 4
    Initial random number generator seed : 1618687439
    Test pattern compaction mode : NONE

3. Test pattern generation results
    Number of test patterns : 11632
    Fault coverage : 93.359 %
    Number of collapsed faults : 6927
    Number of identified redundant faults : 392
    Number of aborted faults : 68
    Total number of backtrackings : 4534

4. Memory used : 169713 Kbytes

5. CPU time
    Initialization : 0.250 secs
    Fault simulation : 0.000 secs
    FAN : 32.033 secs
    Total : 32.283 secs

C:\Eidika themata psifiakhs sxedias\Atalanta>

```

Σχήμα 3: Αποτελέσματα Ασκησης 3

4 Ασκηση 4

Εκφώνηση

Πως δηλώνονται τα παρακάτω σφάλματα σε λίστα σφαλμάτων; (a) SA1 στην έξοδο sw3 που είναι ενωμένη με είσοδο gt1, (b) SA0 στην είσοδο sb2 που είναι ενωμένη με έξοδο gt2, (c) SA1 στην έξοδο f8, (d) SA0 στην έξοδο gh6 που είναι ενωμένη με είσοδο gt1.

Απάντηση και αιτιολόγηση

Σύμφωνα με το format του Atalanta:

- **Branch fault:** source->dest /v (fault σε συγκεκριμένο branch/fanout προς την είσοδο της dest)
- **Stem/output fault:** node /v (fault στο node/έξοδο πύλης)

Εφόσον στην (a) και (d) αναφέρεται ρητά η σύνδεση προς την gt1, δηλώνονται ως branch faults. Στην (b) ζητείται fault στην είσοδο της sb2 που τροφοδοτείται από την gt2, επίσης branch fault. Στην (c) δεν αναφέρεται συγκεκριμένη σύνδεση, άρα stem fault.

- a) sw3→gt1 /1
- b) gt2→sb2 /0
- c) f8 /1
- d) gh6→gt1 /0

5 Ασκηση 5

Εκφώνηση

Να εξομοιωθεί το c1355o.bench και να επιστραφεί λίστα με τα faults που ανιχνεύονται. Τι συμβαίνει στα τελευταία test vectors; Πόσα faults ανιχνεύονται και γιατί;

Αποτελέσματα και αιτιολόγηση

Το HOPE σε random simulation εφάρμοσε **224** διανύσματα, με συνολικά **1424** ανιχνευμένα faults (σε **1574** collapsed faults) και fault coverage **90.47%**.

Στα τελευταία διανύσματα παρατηρείται ότι ανιχνεύονται ελάχιστα ή μηδενικά **νέα** faults. Αυτό οφείλεται στο **fault dropping**: μόλις ένα fault ανιχνευθεί αφαιρείται από τη λίστα προς προσομοίωση, άρα με την πρόοδο των patterns απομένουν όλο και λιγότερα μη-ανιχνευμένα faults.

```
C:\Eidika themata psifiakhs sxedias\Hope>hope -D c1355o.bench -l c1355o.log
*****
*                                         *
*          Welcome to HOPE (version 2.0)  *
*                                         *
*          Dong S. Ha (ha@vt.edu)        *
*          Web: http://www.visc.vt.edu/people/ha   *
*  Virginia Polytechnic Institute & State University  *
*                                         *
*****  

***** SUMMARY OF SIMULATION RESULTS *****  

1. Circuit structure  

  Name of circuit           : c1355o  

  Number of primary inputs  : 41  

  Number of primary outputs : 32  

  Number of flip-flops     : 0  

  Number of gates           : 578  

  Level of the circuit      : 25  

  

2. Simulator input parameters  

  Simulation mode           : random  

  Initial random number generator seed : 1618866461  

  

3. Simulation results  

  Number of test patterns applied : 224  

  Fault coverage                : 90.470 %  

  Number of collapsed faults    : 1574  

  Number of detected faults     : 1424  

  Number of undetected faults   : 150  

  

4. Memory used               : 168050 Kbytes  

  

5. CPU time  

  Initialization              : 375615.350 secs  

  Fault simulation            : 0.267 secs  

  Total                       : 375615.617 secs  

C:\Eidika themata psifiakhs sxedias\Hope>
```

Σχήμα 4: HOPE simulation με fault dropping

6 Ασκηση 6

Εκφώνηση

Να εξομοιωθεί το c1355o.bench όπως πριν, αλλά με παράμετρο -N. Τι αλλάζει; Τι αποτελέσματα αναμένονται; Επιβεβαιώνονται; Γιατί υπάρχει διαφορά;

Αποτελέσματα και αιτιολόγηση

Με -N ενεργοποιείται **diagnostic mode**, όπου δεν εφαρμόζεται fault dropping. Έτσι, όλα τα faults προσομοιώνονται για κάθε test vector, ακόμη και αν έχουν ήδη ανιχνευθεί.

Αναμένεται: (i) αυξημένος χρόνος προσομοίωσης και (ii) να συνεχίζει να υπάρχει ανίχνευση faults και προς το τέλος (διότι δεν αφαιρούνται). Η κάλυψη μπορεί να είναι ελαφρώς διαφορετική/μεγαλύτερη.

Τα αποτελέσματα ήταν πράγματι ελαφρώς διαφορετικά, γεγονός που αποδίδεται στο ότι χωρίς fault dropping γίνεται πλήρης προσομοίωση όλων των faults για κάθε vector.

```
C:\Eidika themata psifiakhs sxedias\Hope>hope -N -D c1355o.bench -l c1355o(6).log
*****
*                                         *
*          Welcome to HOPE (version 2.0)   *
*                                         *
*          Dong S. Ha (ha@vt.edu)         *
*          Web: http://www.vt.edu/people/ha  *
*  Virginia Polytechnic Institute & State University  *
*                                         *
***** SUMMARY OF SIMULATION RESULTS *****
1. Circuit structure
  Name of circuit                  : c1355o
  Number of primary inputs        : 41
  Number of primary outputs       : 32
  Number of flip-flops           : 0
  Number of gates                 : 578
  Level of the circuit           : 25

2. Simulator input parameters
  Simulation mode                : random
  Initial random number generator seed : 1618867763

3. Simulation results
  Number of test patterns applied : 224
  Fault coverage                 : 91.296 %
  Number of collapsed faults     : 1574
  Number of detected faults      : 1437
  Number of undetected faults    : 137

4. Memory used                  : 168050 Kbytes

5. CPU time
  Initialization                 : 397319.000 secs
  Fault simulation               : 1.300 secs
  Total                          : 397320.300 secs

C:\Eidika themata psifiakhs sxedias\Hope>
```

Σχήμα 5: HOPE simulation χωρίς fault dropping (diagnostic mode)

7 Ασκηση 7

Εκφώνηση

Να περιγραφεί με τον τρόπο των εγχειριδίων Atalanta/HOPE το κύκλωμα 5 εισόδων A,B,C,D,E και εξόδου F: (A,B) σε AND, (C,D) σε AND, οι δύο έξοδοι σε OR, και η OR με E σε AND για την έξοδο F. Να βρεθούν διανύσματα δοκιμής και η απόκριση σε κάθε περίπτωση.

Περιγραφή κυκλώματος (bench)

INPUT(A)
INPUT(B)
INPUT(C)
INPUT(D)
INPUT(E)
OUTPUT(F)

gate1 = AND(A,B)
gate2 = AND(C,D)
gate3 = OR(gate1,gate2)
F = AND(gate3,E)

Η λογική συνάρτηση είναι:

$$F = E \cdot ((A \cdot B) + (C \cdot D))$$

Αποτελέσματα και αιτιολόγηση

To Atalanta παρήγαγε 6 vectors πριν τη συμπίεση και 5 μετά, με 10 collapsed faults και 100% fault coverage. To HOPE (random simulation) χρησιμοποίησε 224 τυχαία patterns και επίσης ανίχνευσε όλα τα faults.

Τα 5 τελικά test vectors (μετά τη συμπίεση) και η fault-free απόκριση είναι:

(ABCDE) -> F
11001 -> 1
01011 -> 0
00111 -> 1
10101 -> 0
11100 -> 0

```

C:\Eidika themata psifiakhs sxedias\Atalanta>atalanta mykuklwma.bench -l mykuklwma.log
*****
*          *
*      Welcome to atalanta (version 2.0)      *
*          *
*          Dong S. Ha (ha@vt.edu)          *
*          Web: http://www.visc.vt.edu/people/ha      *
*          Virginia Polytechnic Institute & State University  *
*          *
*****  

***** SUMMARY OF TEST PATTERN GENERATION RESULTS *****  

1. Circuit structure  

    Name of the circuit : mykuklwma  

    Number of primary inputs : 5  

    Number of primary outputs : 1  

    Number of gates : 4  

    Level of the circuit : 3  

2. ATPG parameters  

    Test pattern generation mode : RPT + DTPG + TC  

    Limit of random patterns (packets) : 16  

    Backtrack limit : 10  

    Initial random number generator seed : 1618691263  

    Test pattern compaction mode : REVERSE + SHUFFLE  

    Limit of suffling compaction : 2  

    Number of shuffles : 4  

3. Test pattern generation results  

    Number of test patterns before compaction : 6  

    Number of test patterns after compaction : 5  

    Fault coverage : 100.000 %  

    Number of collapsed faults : 10  

    Number of identified redundant faults : 0  

    Number of aborted faults : 0  

    Total number of backtrackings : 0  

4. Memory used : 167895 Kbytes  

5. CPU time  

    Initialization : 0.000 secs  

    Fault simulation : 0.000 secs  

    FAN : 0.000 secs  

    Total : 0.000 secs  

C:\Eidika themata psifiakhs sxedias\Atalanta>

```

Σχήμα 6: Αποτελέσματα Atalanta (Άσκηση 7)

```

C:\Eidika themata psifiakhs sxedias\Hope>hope -D mykuklwma.bench -l mykuklwma.log
*****
*                                         *
*          Welcome to HOPE (version 2.0)  *
*                                         *
*          Dong S. Ha (ha@vt.edu)        *
*          Web: http://www.visc.vt.edu/people/ha   *
*  Virginia Polytechnic Institute & State University  *
*                                         *
*****      SUMMARY OF SIMULATION RESULTS      *****

1. Circuit structure
  Name of circuit           : mykuklwma
  Number of primary inputs  : 5
  Number of primary outputs : 1
  Number of flip-flops     : 0
  Number of gates           : 4
  Level of the circuit     : 3

2. Simulator input parameters
  Simulation mode           : random
  Initial random number generator seed : 1618691371

3. Simulation results
  Number of test patterns applied : 224
  Fault coverage                : 100.000 %
  Number of collapsed faults    : 10
  Number of detected faults     : 10
  Number of undetected faults   : 0

4. Memory used               : 167858 Kbytes

5. CPU time
  Initialization              : 1502151.033 secs
  Fault simulation             : 0.000 secs
  Total                        : 1502151.033 secs

C:\Eidika themata psifiakhs sxedias\Hope>

```

Σχήμα 7: Αποτελέσματα HOPE (Άσκηση 7)