

ΕΙΔΙΚΑ ΘΕΜΑΤΑ ΣΧΕΔΙΑΣΗΣ ΨΗΦΙΑΚΩΝ ΣΥΣΤΗΜΑΤΩΝ

Desing Compiler & Tetramax — Δεύτερη Εργαστηριακή Άσκηση

Γιώργος Ντάκος — 1059569

1 Οκτωβρίου 2021

ΑΣΚΗΣΗ 1

1. Fault Simulation για c1355

Πραγματοποιήθηκε σύνθεση του συνδυαστικού κυκλώματος και στη συνέχεια fault simulation για όλα τα stuck-at faults. Το εργαλείο κατηγοριοποιεί τα faults σε:

- Detected
- Not Detected
- Possibly Detectable
- Undetectable

Η κατηγοριοποίηση βασίζεται στο αν κάποιο test vector προκαλεί διαφοροποίηση στην έξοδο μεταξύ faulty και fault-free κυκλώματος.

2. Fault Collapsing

Η διαδικασία fault collapsing μειώνει τον αριθμό των faults εκμεταλλευόμενη i-σοδυναμίες και κυριαρχίες μεταξύ τους.

Σε κυκλώματα με πύλες λογικής, πολλά faults παράγουν την ίδια συμπεριφορά στις εξόδους, επομένως αρκεί η εξέταση ενός αντιπροσωπευτικού fault.

Η μείωση είναι σημαντική, συνήθως κοντά στο 50% για stuck-at faults σε συνδυαστικά κυκλώματα.

Τα faults που δεν ανιχνεύθηκαν αποθηκεύτηκαν για περαιτέρω επεξεργασία.

3. Αφαίρεση faults σε AOI32D1

Η μεταβολή του test coverage οφείλεται στο ότι:

- Αφαιρέθηκαν faults από συγκεκριμένα cells
- Ο συνολικός αριθμός πιθανών faults μειώθηκε
- Το coverage υπολογίζεται ως ποσοστό επί των συνολικών faults

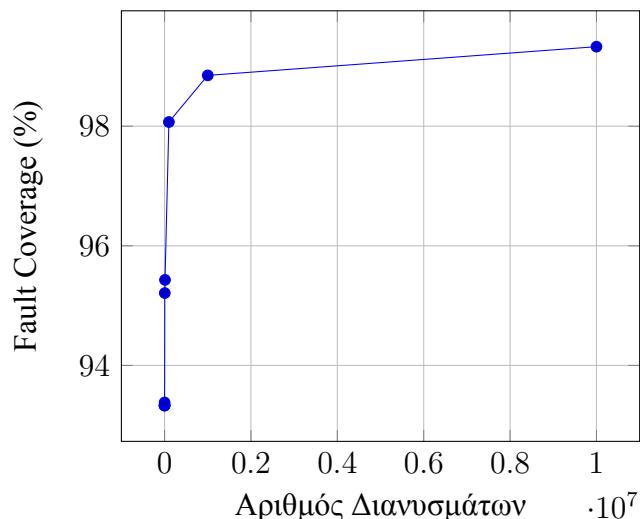
Αν τα αφαιρεθέντα faults ήταν δύσκολα ανιχνεύσιμα, το coverage αυξάνεται.

4. Faults από αρχείο

Όταν εξετάζονται μόνο συγκεκριμένα faults, το coverage αφορά μόνο αυτό το υποσύνολο και όχι το σύνολο του κυκλώματος.

5. Pseudorandom testing για c7552

Τα test sets έχουν παραχθεί με ψευδοτυχαίο τρόπο. Το coverage αυξάνεται όσο αυξάνεται ο αριθμός των vectors αλλά τείνει να κορεστεί.



Γιατί δεν επιτυγχάνεται 100%;

Το pseudorandom testing ανιχνεύει εύκολα faults με μεγάλη πιθανότητα ενεργοποίησης, αλλά αποτυγχάνει σε σπάνια faults που απαιτούν συγκεκριμένες τιμές εισόδου.

Τα μη ανιχνευθέντα faults είναι:

- Random Pattern Resistant (RPR)
- Possibly Detectable

Δεν είναι redundant, αλλά απαιτούν στοχευμένα deterministic patterns.

ΑΣΚΗΣΗ 2

1. Deterministic ATPG για s1423

Το κύκλωμα είναι ακολουθιακό χωρίς scan chain.

Κατά το DRC παραβιάζονται κανόνες που σχετίζονται με controllability και observability των flip-flops.

Το χαμηλό test coverage οφείλεται στο ότι:

- Οι εσωτερικές καταστάσεις δεν μπορούν να ελεγχθούν απευθείας
- Η παρατηρησιμότητα των faults είναι περιορισμένη
- Η ATPG πρέπει να αναζητήσει μεγάλες ακολουθίες clock cycles

2. c3540 — Deterministic vs Random

Τα deterministic patterns επιτυγχάνουν υψηλότερο coverage με λιγότερα vectors.

Τα random patterns βελτιώνουν το coverage όσο αυξάνεται το μήκος της ακολουθίας, αλλά με φθίνουσα απόδοση.

Υπάρχουν Random Pattern Resistant faults που δεν ενεργοποιούνται εύκολα.

3. Περιορισμοί ATPG για c7552

- Όταν απαιτείται coverage $\geq 97.5\%$, το εργαλείο παράγει αρκετά patterns.
- Περιορισμός σε ≤ 200 patterns μειώνει το coverage.
- Περιορισμός προσπαθειών ανίχνευσης οδηγεί σε εγκατάλειψη δύσκολων faults.

4. Fault Simulation και ATPG για ND faults

Μετά το fault simulation δημιουργήθηκε λίστα μη ανιχνευθέντων faults και εφαρμόστηκε ATPG μόνο για αυτά.

Η δεύτερη φάση βελτιώνει το συνολικό coverage σημαντικά.

ΑΣΚΗΣΗ 3

1. Scan insertion στο s5378

Με την εισαγωγή scan chain:

- Κάθε flip-flop αντικαθίσταται με scan flip-flop
- Προστίθεται πολυπλέκτης στην είσοδο
- Δημιουργείται σειριακή αλυσίδα

To area overhead οφείλεται στον επιπλέον hardware (muxes και καλωδίωση).

To delay overhead προκύπτει από την αύξηση του load και των λογικών επιπέδων.

2. Προσομοίωση scan testing

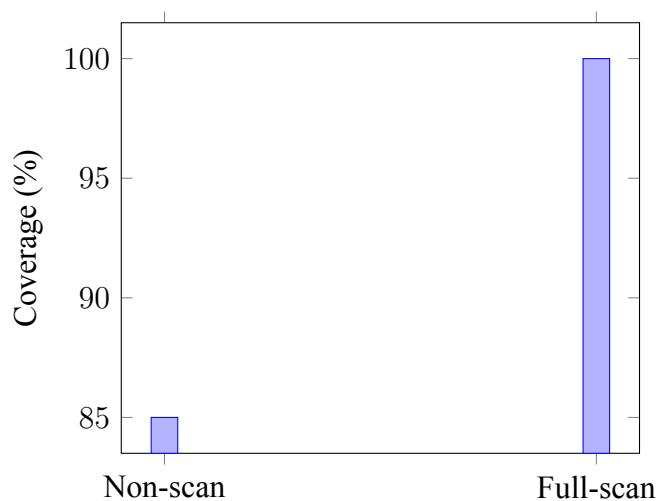
To testbench εκτελεί:

1. Scan loading (shift)
2. Parallel capture
3. Shift out της νέας κατάστασης

ΑΣΚΗΣΗ 4

2. Σύγκριση Non-scan και Full-scan

Η εισαγωγή scan αυξάνει δραματικά το test coverage.



Χωρίς scan, τα flip-flops δεν είναι πλήρως controllable/observable. Με scan, το κύκλωμα μετατρέπεται ουσιαστικά σε συνδυαστικό κατά τη φάση ελέγχου.

3. Δύο scan chains

Η χρήση πολλαπλών scan chains:

- Μειώνει το μήκος κάθε αλυσίδας
- Επιταχύνει τη φόρτωση των patterns
- Μειώνει τον χρόνο test
- Διατηρεί υψηλό coverage