



Πανεπιστήμιο Πατρών



***Τμήμα Ηλεκτρολόγων Μηχανικών και
Τεχνολογίας Υπολογιστών***

**Εργαστήριο Σχεδίασης Ολοκληρωμένων
Κυκλωμάτων**

Σχεδιασμός Ολοκληρωμένων Συστημάτων

Χειμερινό Εξάμηνο 2023

Εργαστήριο 2

Άσκηση 1: Βαρελοειδής ολισθητής

Ο βαρελοειδής ολισθητής (Barrel Shifter) είναι ένα σχετικά μεγάλο κύκλωμα με σημαντική καθυστέρηση. Στη γενική του μορφή μπορεί να ολισθαίνει το σήμα εισόδου εκτελώντας rotate/arithmetic/logical shift δεξιά ή αριστερά για μεταβλητό αριθμών θέσεων. Για το λόγο αυτό έχει επιπλέον εισόδους που καθορίζουν το είδος της ολίσθησης (rotate/arithmetic/logical), την κατεύθυνση (δεξιά/αριστερά) και το πλήθος των θέσεων ολίσθησης.

Περιγράψτε σε VHDL ένα βαρελλοειδή ολισθητή που εκτελεί μόνο δεξιά ολίσθηση και έχει:

A) μία είσοδο a (8-bit),

B) μία είσοδο lar (2-bit) όπου η τιμή "00" σημαίνει λογική ολίσθηση (logical shift), η "01" αριθμητική ολίσθηση (arithmetic shift) και οι τιμές "10"/"11" περιστροφή (rotation).

Γ) μία είσοδο amt (3-bit) που δηλώνει των αριθμών των θέσεων ολίσθησης/περιστροφής. Δηλαδή, "000" καμία θέση, "001" μία θέση "010" δύο θέσεις κοκ.

Δ) μία έξοδο y (8-bit).

Όλα τα σήματα εισόδου και εξόδου είναι τύπου std_logic. Αν μπορείτε, δώστε δύο διαφορετικές περιγραφές για το παραπάνω κύκλωμα.

Άσκηση 2: Μετατροπέας Χαρακτήρων από HEX σε ASCII

Να σχεδιάσετε και να υλοποιήσετε σύστημα μετατροπής από HEX σε ASCII. Το σύστημα θα δέχεται ως είσοδο ένα χαρακτήρα HEX (4-bit) και θα βγάζει στην έξοδο τον αντίστοιχο ASCII κωδικό του (8-bit). Συγκεκριμένα, θεωρήστε ότι η είσοδος αντιστοιχεί στους αριθμούς 0-9 και στους κεφαλαίους χαρακτήρες A-F.

A. Δώστε μία λύση με τη χρήση μίας μνήμης (Look-Up-Table, LUT).

B. Παρατηρώντας την ιδιαιτερότητα των ASCII κωδικών, δώστε μία βελτιωμένη λύση μικρότερης μνήμης (LUT).

C. Με βάση τις προηγούμενες παρατηρήσεις δώστε μία λύση χωρίς τη χρήση LUT.

Μην συγχέετε το LUT που αναφέρεται παραπάνω με τα εσωτερικά LUTs του FPGA. Ως LUT, νοείται η «φυσική» σημασία των CASE/WHEN/WITH statements. Χρησιμοποιείτε απλές δομές συντρέχοντος κώδικα με WHEN.

Συμβουλευτείτε τον παρακάτω πίνακα αντιστοίχισης κωδικών ASCII.)

Dec	Hx	Oct	Char	Dec	Hx	Oct	Html	Chr	Dec	Hx	Oct	Html	Chr	Dec	Hx	Oct	Html	Chr
0	0	000	NUL (null)	32	20	040	 	Space	64	40	100	@	@	96	60	140	`	`
1	1	001	SOH (start of heading)	33	21	041	!	!	65	41	101	A	A	97	61	141	a	a
2	2	002	STX (start of text)	34	22	042	"	"	66	42	102	B	B	98	62	142	b	b
3	3	003	ETX (end of text)	35	23	043	#	#	67	43	103	C	C	99	63	143	c	c
4	4	004	EOT (end of transmission)	36	24	044	$	\$	68	44	104	D	D	100	64	144	d	d
5	5	005	ENQ (enquiry)	37	25	045	%	%	69	45	105	E	E	101	65	145	e	e
6	6	006	ACK (acknowledge)	38	26	046	&	&	70	46	106	F	F	102	66	146	f	f
7	7	007	BEL (bell)	39	27	047	'	'	71	47	107	G	G	103	67	147	g	g
8	8	010	BS (backspace)	40	28	050	((72	48	110	H	H	104	68	150	h	h
9	9	011	TAB (horizontal tab)	41	29	051))	73	49	111	I	I	105	69	151	i	i
10	A	012	LF (NL line feed, new line)	42	2A	052	*	*	74	4A	112	J	J	106	6A	152	j	j
11	B	013	VT (vertical tab)	43	2B	053	+	+	75	4B	113	K	K	107	6B	153	k	k
12	C	014	FF (NP form feed, new page)	44	2C	054	,	,	76	4C	114	L	L	108	6C	154	l	l
13	D	015	CR (carriage return)	45	2D	055	-	-	77	4D	115	M	M	109	6D	155	m	m
14	E	016	SO (shift out)	46	2E	056	.	.	78	4E	116	N	N	110	6E	156	n	n
15	F	017	SI (shift in)	47	2F	057	/	/	79	4F	117	O	O	111	6F	157	o	o
16	10	020	DLE (data link escape)	48	30	060	0	0	80	50	120	P	P	112	70	160	p	p
17	11	021	DC1 (device control 1)	49	31	061	1	1	81	51	121	Q	Q	113	71	161	q	q
18	12	022	DC2 (device control 2)	50	32	062	2	2	82	52	122	R	R	114	72	162	r	r
19	13	023	DC3 (device control 3)	51	33	063	3	3	83	53	123	S	S	115	73	163	s	s
20	14	024	DC4 (device control 4)	52	34	064	4	4	84	54	124	T	T	116	74	164	t	t
21	15	025	NAK (negative acknowledge)	53	35	065	5	5	85	55	125	U	U	117	75	165	u	u
22	16	026	SYN (synchronous idle)	54	36	066	6	6	86	56	126	V	V	118	76	166	v	v
23	17	027	ETB (end of trans. block)	55	37	067	7	7	87	57	127	W	W	119	77	167	w	w
24	18	030	CAN (cancel)	56	38	070	8	8	88	58	130	X	X	120	78	170	x	x
25	19	031	EM (end of medium)	57	39	071	9	9	89	59	131	Y	Y	121	79	171	y	y
26	1A	032	SUB (substitute)	58	3A	072	:	:	90	5A	132	Z	Z	122	7A	172	z	z
27	1B	033	ESC (escape)	59	3B	073	;	;	91	5B	133	[[123	7B	173	{	{
28	1C	034	FS (file separator)	60	3C	074	<	<	92	5C	134	\	\	124	7C	174	|	
29	1D	035	GS (group separator)	61	3D	075	=	=	93	5D	135]]	125	7D	175	}	}
30	1E	036	RS (record separator)	62	3E	076	>	>	94	5E	136	^	^	126	7E	176	~	~
31	1F	037	US (unit separator)	63	3F	077	?	?	95	5F	137	_	_	127	7F	177		DEL

Source: www.LookupTables.com

Άσκηση 3: Υπολογισμός ψηφίου ισοτιμίας και διάταξη "1s"

Θεωρείστε κύκλωμα με μια είσοδο των N ψηφίων τύπου std_logic και δύο εξόδους - μία του ενός ψηφίου και μία των N ψηφίων- επίσης τύπου std_logic. Το κύκλωμα εκτελεί τις ακόλουθες λειτουργίες:

1. Υπολογίζει το ψηφίο ισοτιμίας (για περιττή ισοτιμία) της εισόδου το οποίο και επιστρέφει στην έξοδο
2. Αναδιατάσσει τα ψηφία εισόδου τοποθετώντας τους "1" στις δεξιότερες θέσεις και τα μηδενικά στα αριστερά και επιστρέφει τη νέα λέξη στην έξοδο.

Γράψτε κώδικα VHDL για το παραπάνω κύκλωμα, ο οποίος πρέπει να είναι παραμετρικός ως προς το πλήθος των ψηφίων εισόδου N.

Άσκηση 4: Πρόσθεση & αφαίρεση προσημασμένων και μη προσημασμένων αριθμών

Στο επόμενο σχήμα δείχνεται το διάγραμμα ενός αριθμητικού κυκλώματος που έχει την ακόλουθη διεπαφή:

Είσοδοι: **a (n-1:0)**, **b (n-1:0)**, τελεστές των n ψηφίων, **cin**, κρατούμενο εισόδου,

code (2:0), κωδικός λειτουργίας (βλέπε πίνακα).

Έξοδοι: **y(n-1:0)** αποτέλεσμα υπολογισμού, **cout**, κρατούμενο εξόδου, **ovf** σημαία υπερχείλισης (overflow).

Το κύκλωμα επιτελεί τις πράξεις που φαίνονται στο διπλανό πίνακα.

Γράψτε κώδικα VHDL για το παραπάνω κύκλωμα, θεωρώντας ότι όλα τα σήματα εισόδου και εξόδου είναι τύπου std_logic. Ο κώδικας πρέπει να είναι παραμετρικός ως προς το πλήθος των ψηφίων εισόδου. Για το λόγο αυτό χρησιμοποιήστε την εντολή GENERIC

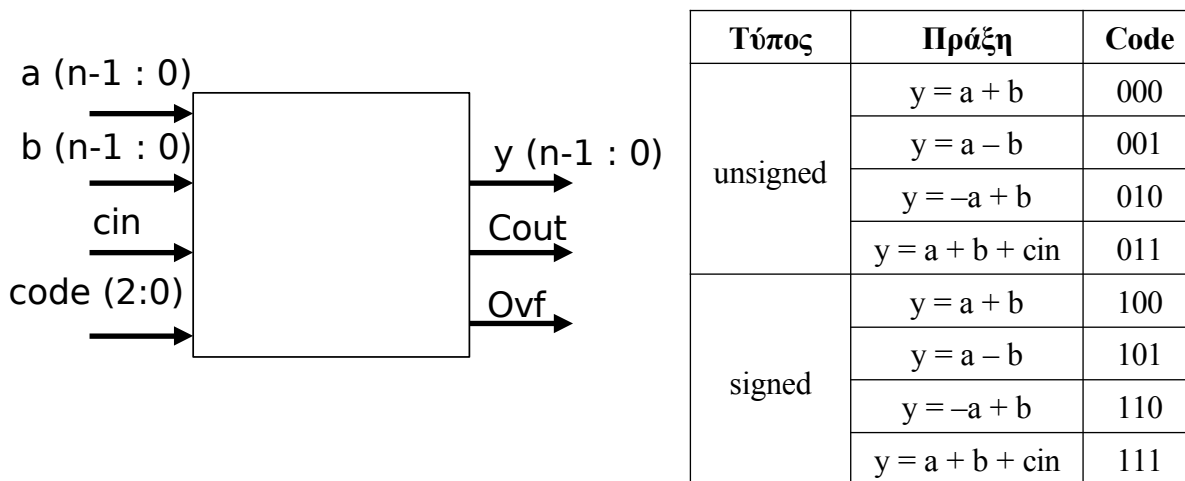
Για τις ακόλουθες εισόδους, προσομοιώστε τον κώδικα VHDL για όλες τις περιπτώσεις λειτουργίας (τιμές σήματος code).

Είσοδος 1: (a, b, cin) = (0101, 0010, 1).

Είσοδος 2: (a, b, cin) = (1000, 0011, 1).

Είσοδος 3: (a, b, cin) = (1011, 1110, 1).

Εξηγήστε σύντομα αλλά πλήρως τα αποτελέσματα τις προσομοίωσης



Οδηγίες

D. Όλες οι ασκήσεις να υλοποιηθούν με concurrent VHDL κώδικα. Δεν επιτρέπεται η χρήση port maps, process κλπ.

E. Η αναφορά σας θα πρέπει να περιλαμβάνει:

- Σχολιασμό VHDL κώδικα σε συνδυασμό με το παραγόμενο RTL Analysis Elaborated Schematic στο Vivado
- Σχολιασμό των αποτελεσμάτων των Synthesis και Implementation Schematics
- Καταγραφή του Implementation Project Summary (Utilization, Power)

F. Όλες τις ασκήσεις να συνοδεύονται από επαρκείς προσομοιώσεις μέσω του Vivado οι οποίες θα πρέπει να σχολιάζονται ώστε να αποδεικνύεται ΠΛΗΡΩΣ η ορθότητα του κάθε κώδικα.

G. Μέ χρήση του Implementation Schematic και του Post-Implementation Timing Simulation να γίνει διερεύνηση του critical path και της καθυστέρησής του.

Χρήση του device part XC7Z020clg400-1 σε όλες τις ασκήσεις. Θα πρέπει να παράγετε το κατάλληλο constraints file (.xdc) για κάθε άσκηση, πριν παράξετε τα αποτελέσματα, κάνοντας το I/O Planning, σύμφωνα με το tutorial στο path

`Tutorials/Basic/Adam_Taylor/introduction_to_vivado-master/Introduction to Vivado_lab.pdf`, steps 33-40