



# ARQUITETURA DE COMPUTADORES – LABORATÓRIO

André Breda Carneiro  
Sidney José Montebeller  
Rafael Rodrigues Da Paz

## Experiência Nº 1 – Circuitos Combinacionais

### Objetivos:

- Adquirir conhecimentos em dispositivos de lógica programável;
- Familiarizar-se com o uso do software Quartus II;
- Desenvolvimento de circuitos combinacionais.

## Dispositivo de lógica programável:

Um dispositivo lógico programável, DLP ou inglês *Programmable logic device* – *PLD*, é um componente eletrônico utilizado para construção de circuitos digitais.

Ao contrário de uma porta lógica, que tem uma função fixa, um PLD tem uma função indefinida na sua fabricação. Antes de se utilizar um PLD num circuito, este deve ser programado.

Hoje nesses tipos de dispositivos se destacam-se:

Os CPLDs que são os *Complex PLDs*, que permitem a construção de lógicas mais complexas do que simples PLDs.

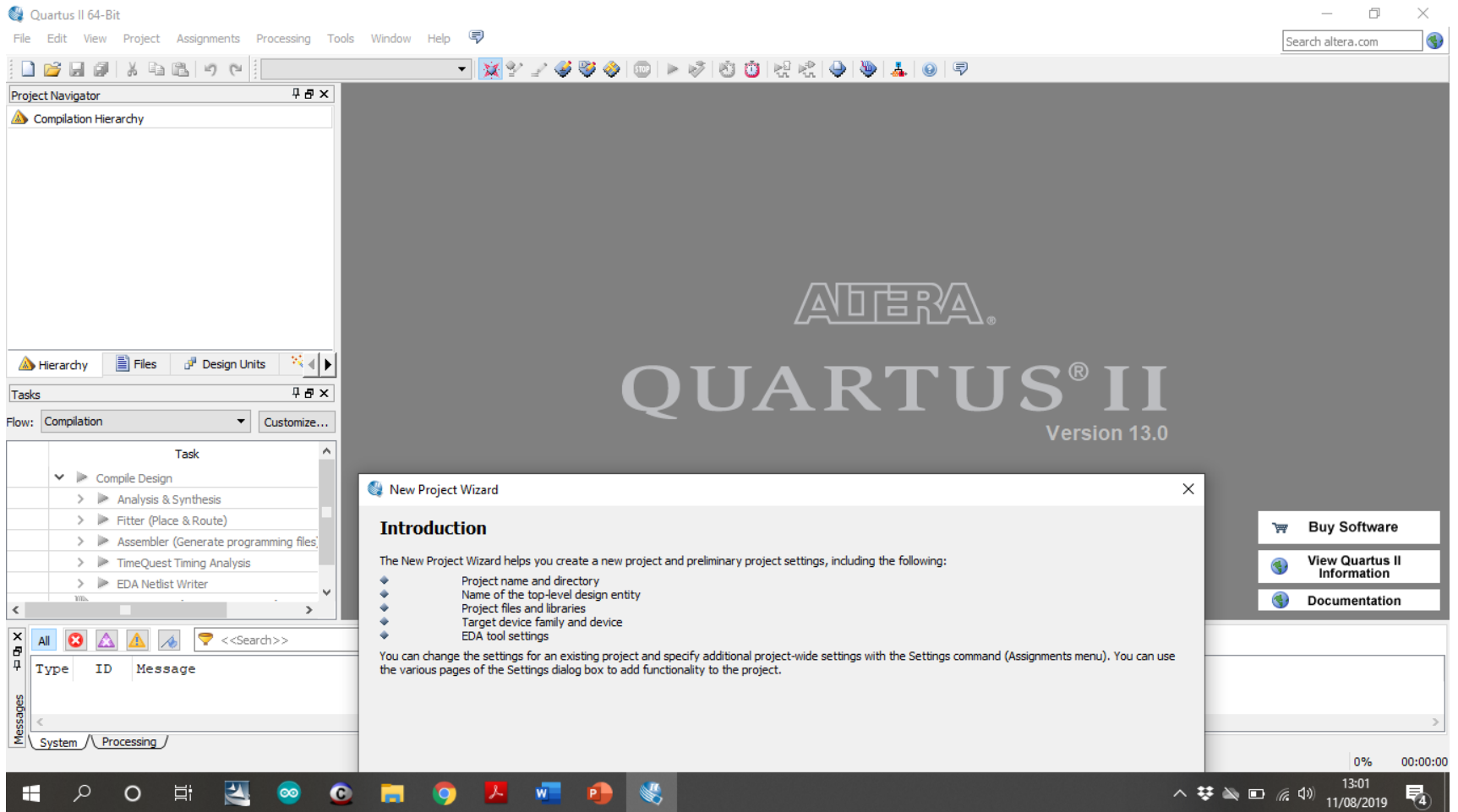
E os *FPGAs (field programmable gate array)*.

Basicamente a diferença entre eles são apenas construtivas.

Tendo recursos similares em ambos os sistemas.

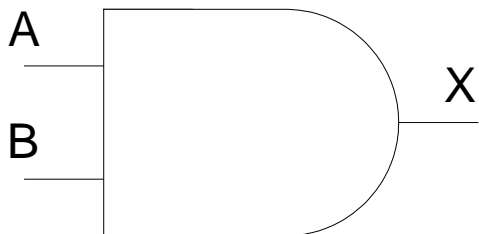
FPGA's e CPLD's oferecem boas escolhas para tarefas particulares. Algumas vezes a decisão é mais econômica do que técnica, ou pode depender da experiência ou preferência pessoal do projetista.

Para o estudos dos circuitos lógicos usaremos o programa Quartus II da altera



## Lógica booleana:

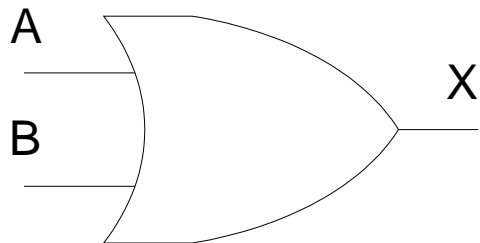
AND (E)



$$X = A.B \text{ ou } X = AB$$

Entrada		Saída
A	B	$X = A.B$
0	0	0
0	1	0
1	0	0
1	1	1

OR (OU)

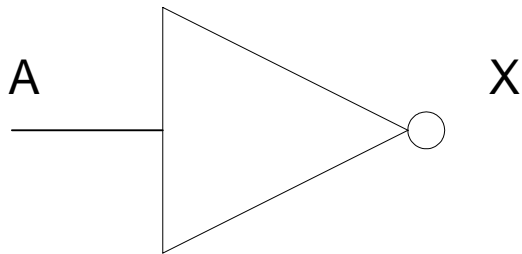


$$X = A+B$$

Entrada		Saída
A	B	$X = A+B$
0	0	0
0	1	1
1	0	1
1	1	1

## Lógica booleana:

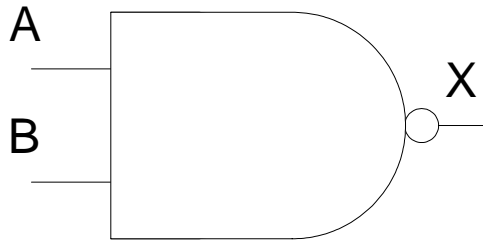
NOT (Não)



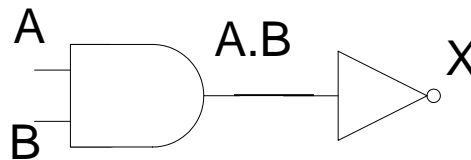
$$X = \overline{A}$$

Entrada		Saída	
A		$X = \overline{A}$	
0		1	
1		0	

NAND (Não-E)



$$X = \overline{A.B} \text{ ou } X = \overline{AB}$$



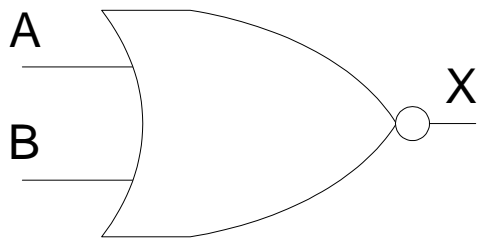
Entrada		Saída
A	B	$X = \overline{A.B}$
0	0	1
0	1	1
1	0	1
1	1	0



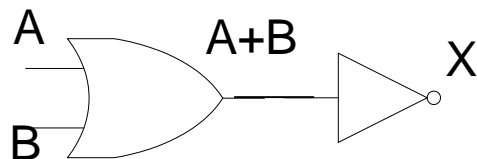
Facens

## Lógica booleana:

### NOR (Não-OU)

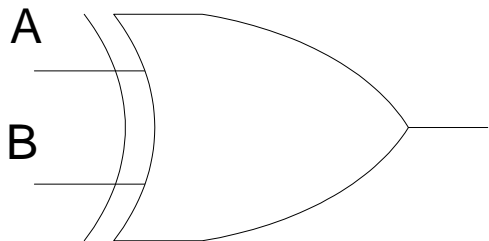


$$X = \overline{A+B}$$



Entrada		Saída
A	B	$X = \overline{A+B}$
0	0	1
0	1	0
1	0	0
1	1	0

### XOR (OU Exclusivo, ou seja só OU)



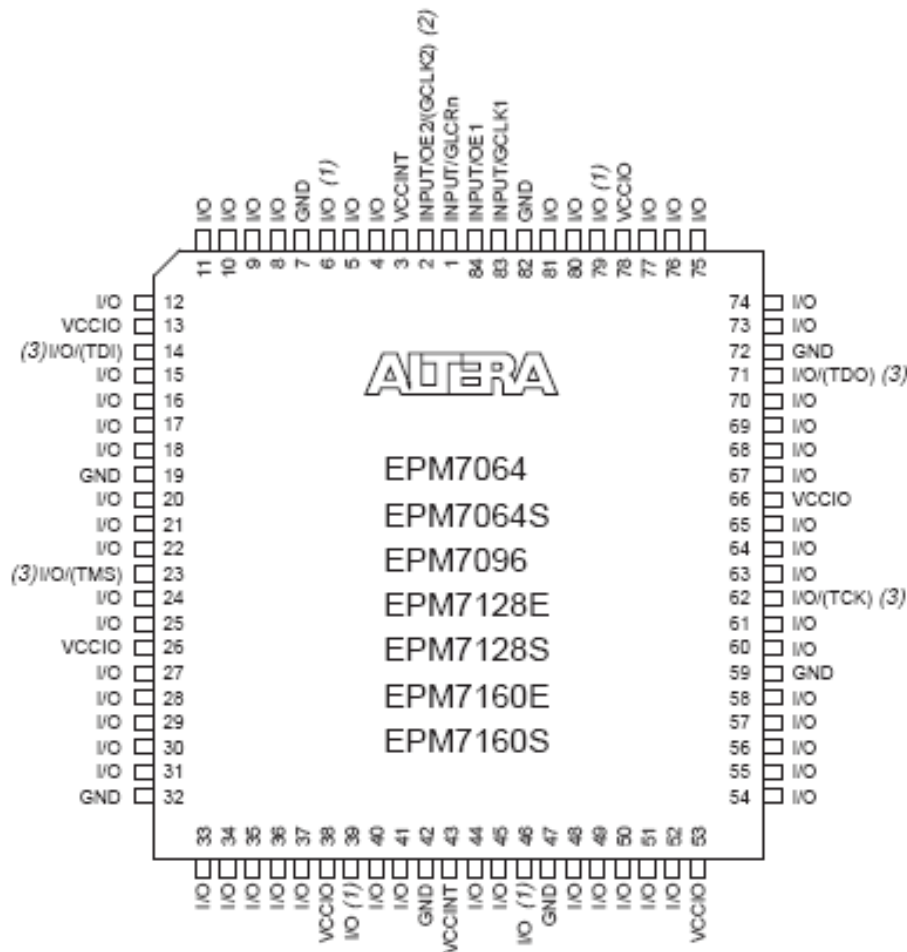
$$X = A \oplus B$$

Entrada		Saída
A	B	$X = A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0





## O Chip (Simulado)



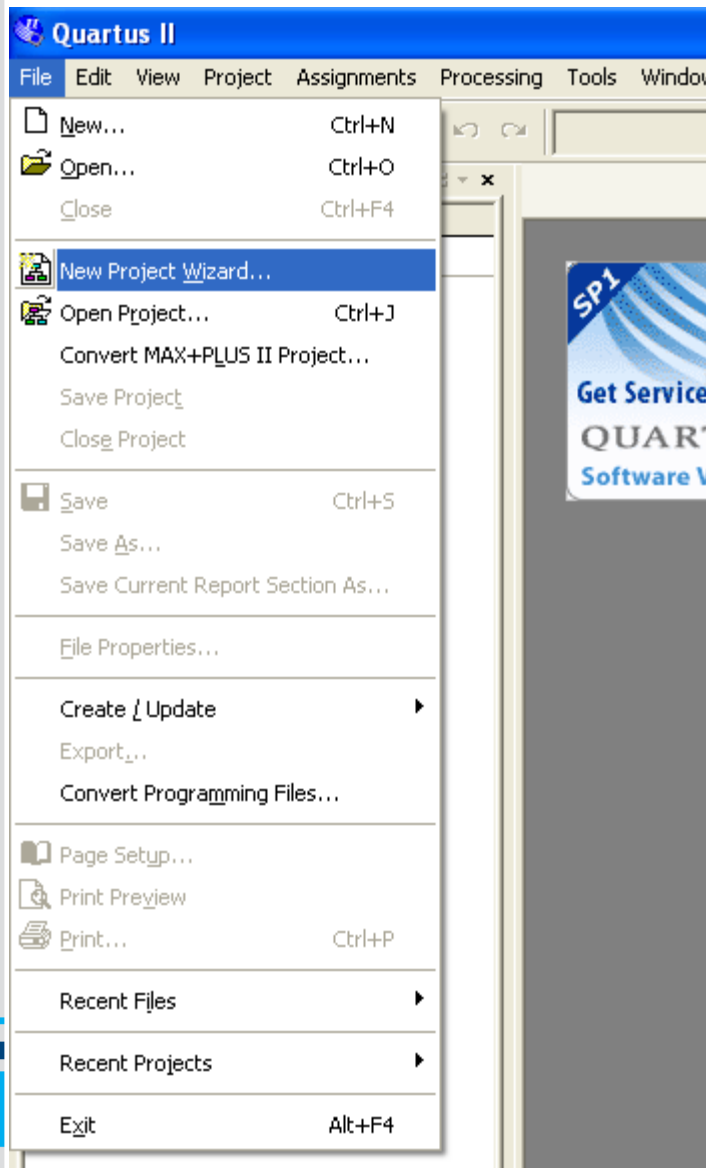
Ao lado temos uma figura esquemática do CHIP da família MAX 7000s.

Mais especificamente o CHIP ***EPM7128SLC84-15.***

O mesmo tem o encapsulamento de 84 pinos.

Temos diversos pinos como seus respectivos usos como:

- I/O – Sinal de Entrada/Sinal de saída
- VCC – Alimentação/Tensão (Binário 1)
- GND – TERRA (Binário 0)
- Entre outros

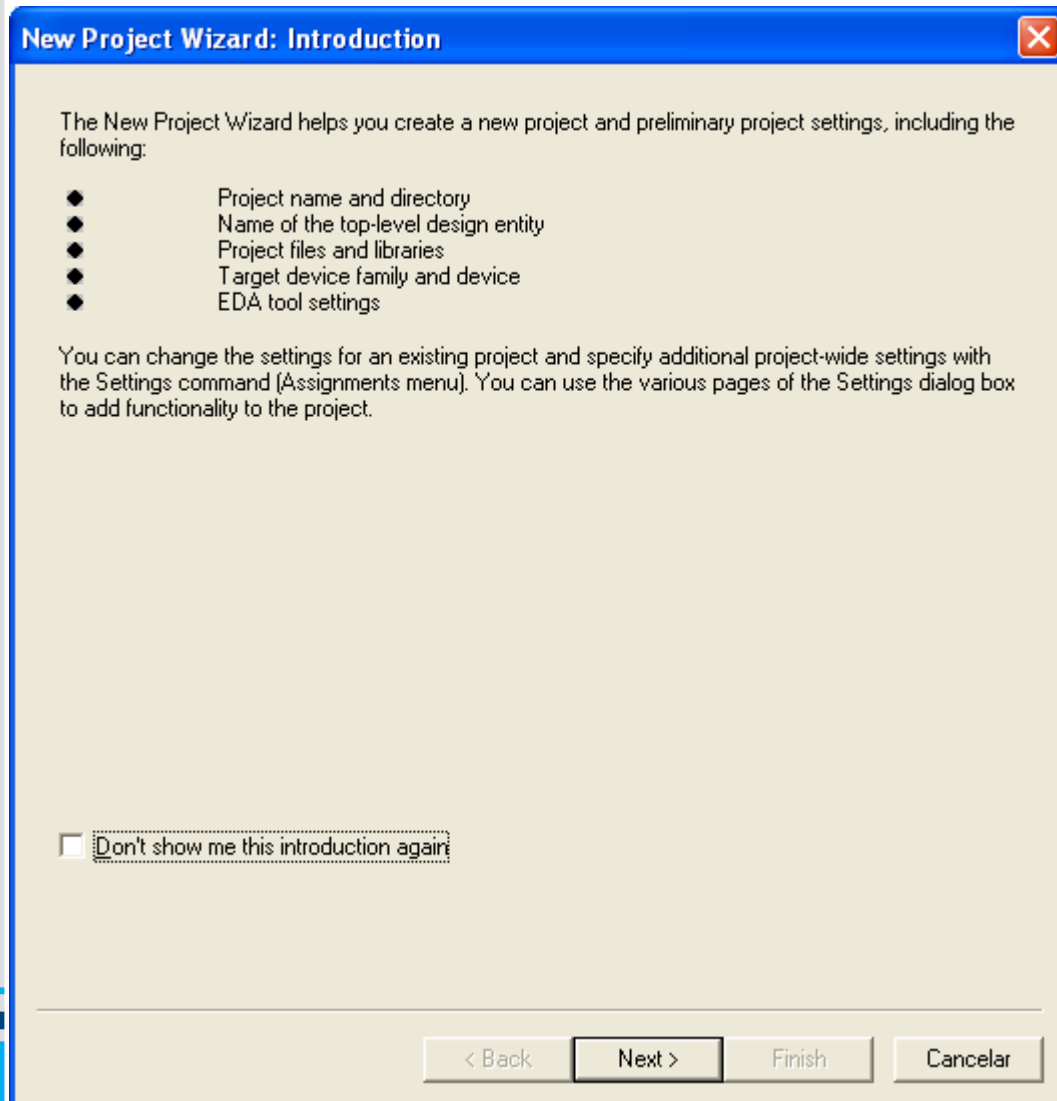


Para criar um novo projeto, utilizaremos o software quartus II.

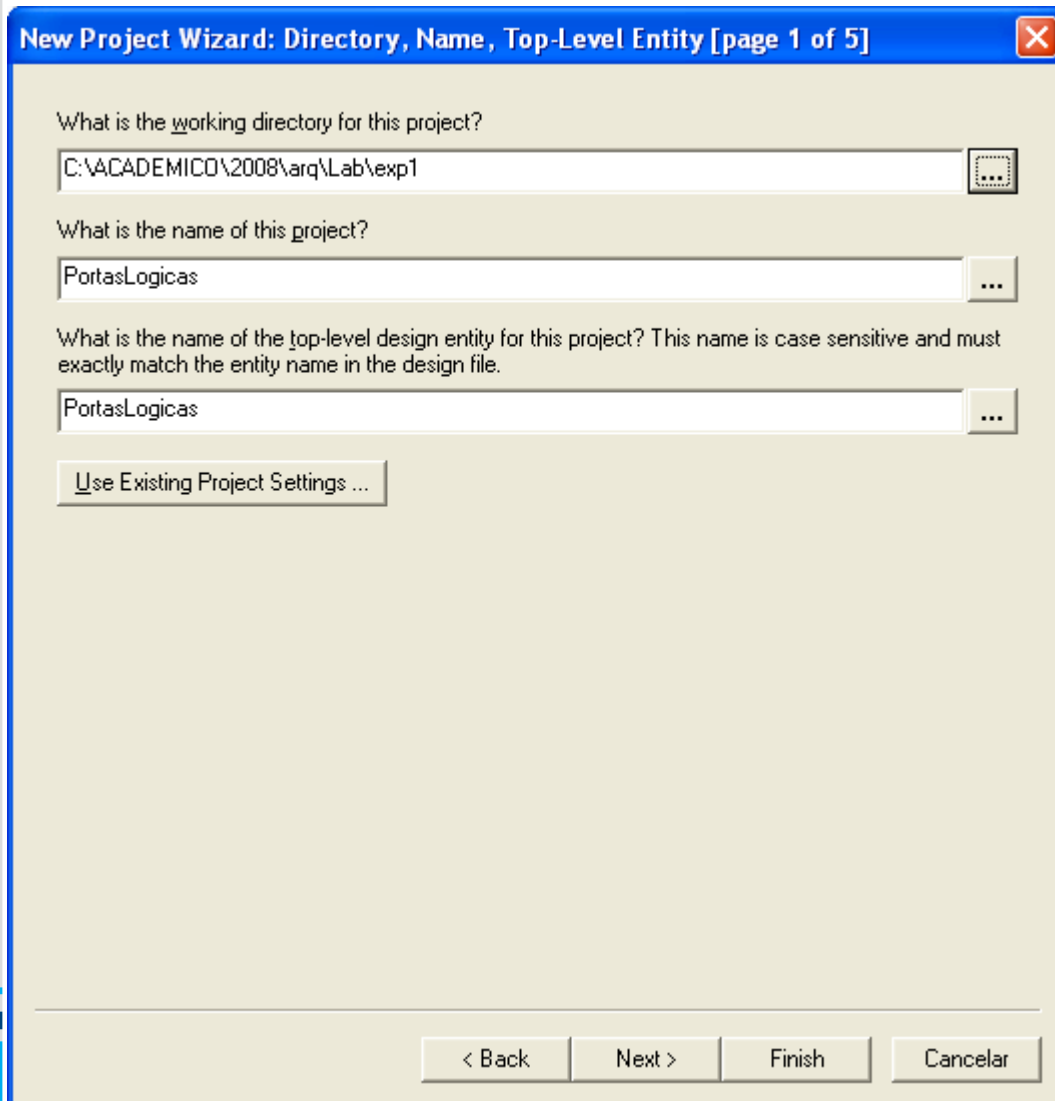
Para isso usaremos o assistente do mesmo, então clique no menu ***File->New Project Wizard...***

Logo o sistema irá carregar o assistente de projeto.

Configure as telas conforme, indicado abaixo:



Configure as telas conforme, indicado abaixo:



New Project Wizard: Directory, Name, Top-Level Entity [page 1 of 5]

What is the working directory for this project?

C:\ACADEMICO\2008\arg\Lab\exp1

What is the name of this project?

PortasLogicas

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.

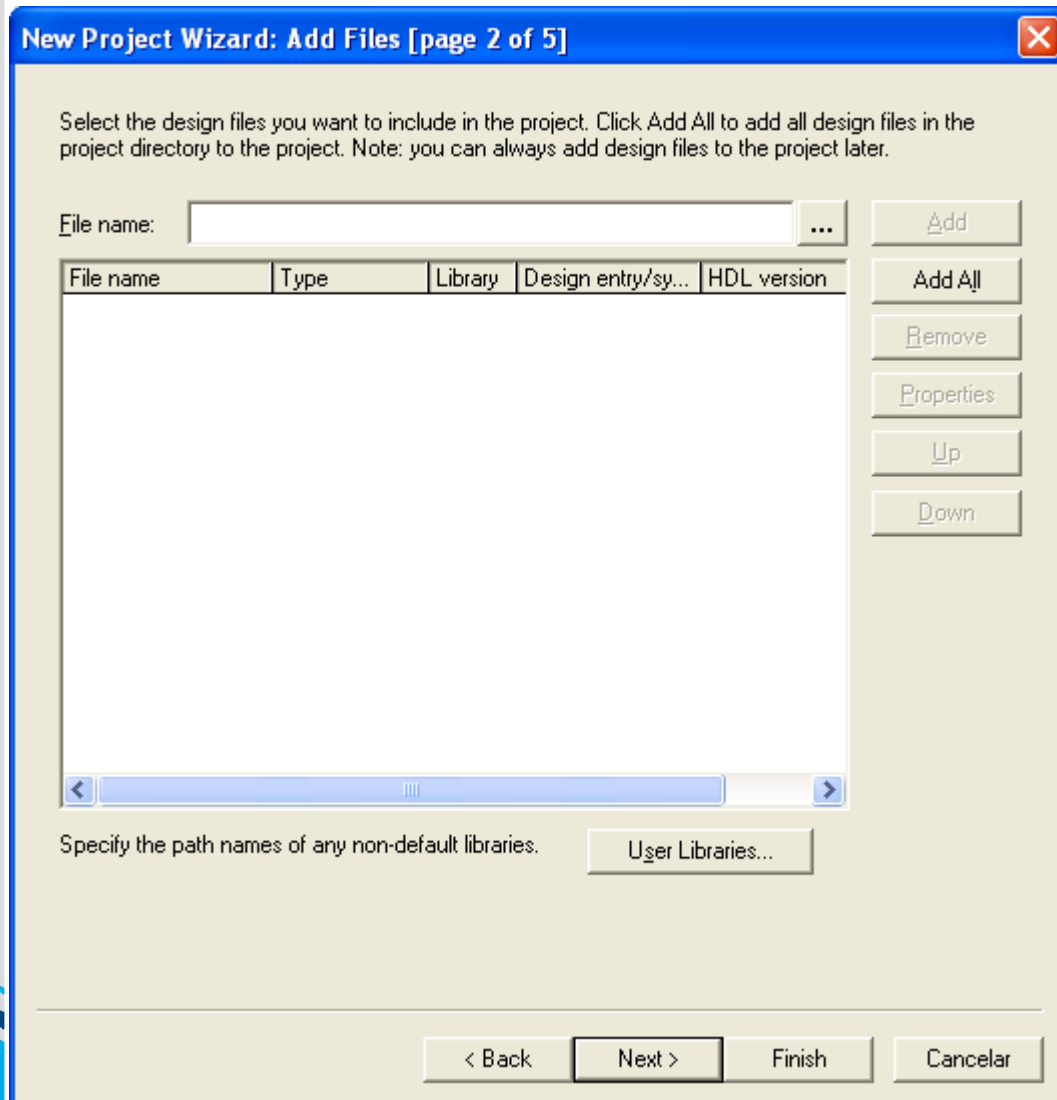
PortasLogicas

Use Existing Project Settings ...

< Back   Next >   Finish   Cancelar

Defina uma pasta para o projeto e um nome para o mesmo.

Configure as telas conforme, indicado abaixo:



Aqui é para adicionarmos arquivos extras ao projeto, já que não existe os mesmos clique em **Next**.

Configure as telas conforme, indicado abaixo:

Window Help

### New Project Wizard

#### Family & Device Settings [page 3 of 5]

Select the family and device you want to target for compilation.  
You can install additional device support with the Install Devices command on the Tools menu.

**Device family**

Family: **MAX3000A**

Devices: **All**

**Target device**

☒ Auto device selected by the Fitter

☐ Specific device selected in 'Available devices' list

☐ Other: n/a

**Show in 'Available devices' list**

Package: **Any**

Pin count: **Any**

Speed grade: **Any**

Name filter:

☒ Show advanced devices ☐ HardCopy compatible only

**Available devices:**

Name	Core Voltage	Macrocells
EPM3032ALC44-4	3.3V	32
EPM3032ALC44-7	3.3V	32
EPM3032ALC44-10	3.3V	32
EPM3032ATC44-4	3.3V	32
EPM3032ATC44-7	3.3V	32
EPM3032ATC44-10	3.3V	32
EPM3032ATI44-10	3.3V	32
EPM3064ALC44-4	3.3V	64

**Companion device**

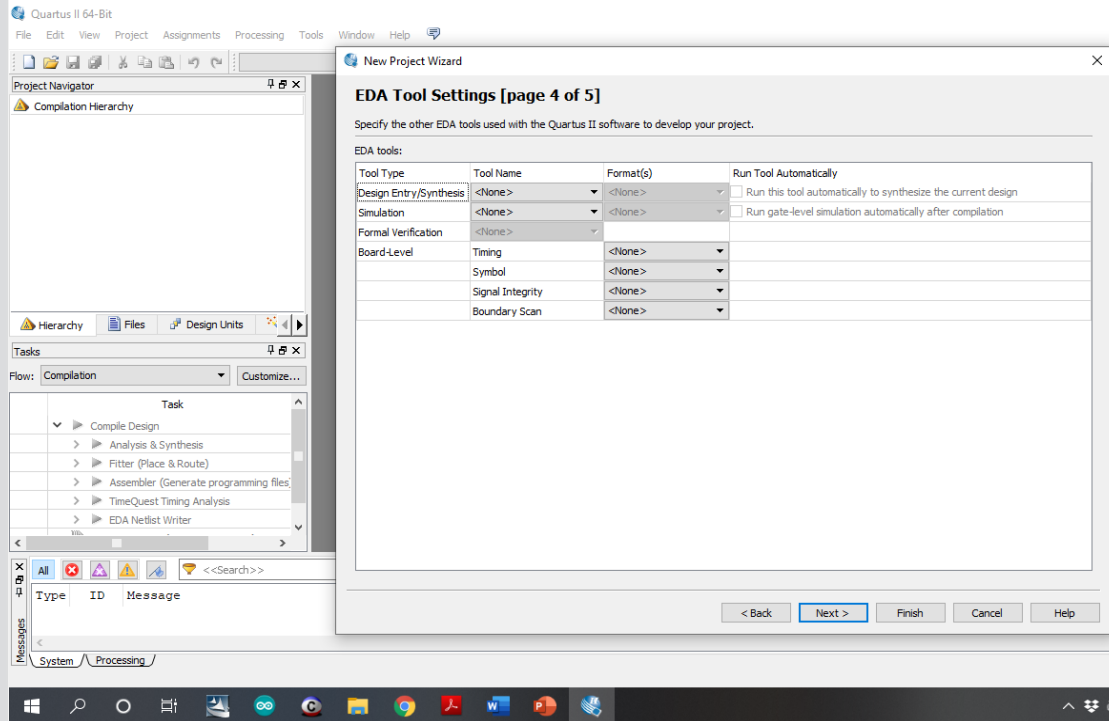
HardCopy:

☐ Limit DSP & RAM to HardCopy device resources

< Back **Next >** Finish Cancel Help

Selecione o CHIP **EPM240F 100C4**  
da família MAX II

Configure as telas conforme, indicado abaixo:



Aqui é para adicionarmos ferramentas externas para uso do projeto, já que não usaremos clique em **Next**.

## New Project Wizard

## Summary [page 5 of 5]

When you click Finish, the project will be created with the following settings:

Project directory:	D:/FACENS/Facens_2019/2_Semestre_2019/Arquitetura_de_Computadores_Lab_2S_2019
Project name:	exp1
Top-level design entity:	exp1
Number of files added:	0
Number of user libraries added:	0
Device assignments:	
Family name:	MAX7000S
Device:	EPM7128SLC84-15
EDA tools:	
Design entry/synthesis:	<None> (<None>)
Simulation:	<None> (<None>)
Timing analysis:	0
Operating conditions:	
Core voltage:	5.0V
Junction temperature range:	0-85 °C

&lt; Back

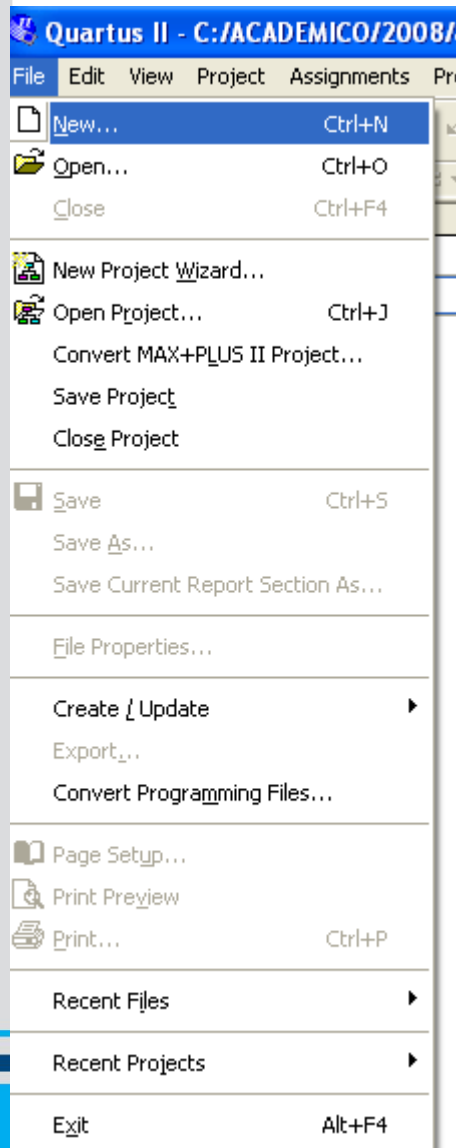
Next &gt;

Finish

O Assistente irá mostrar um sumário das opções definidas no projeto.

Clique em **Finish** para a criação do mesmo.

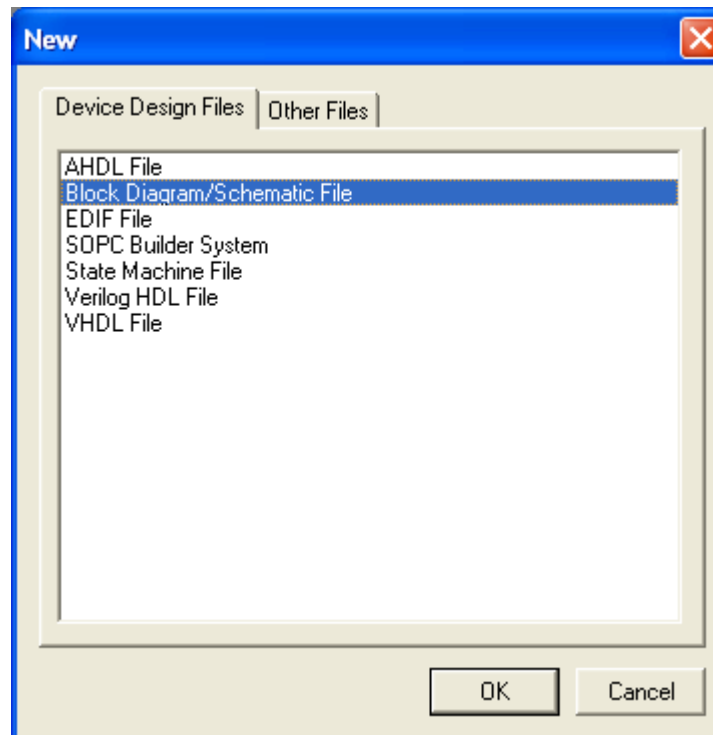


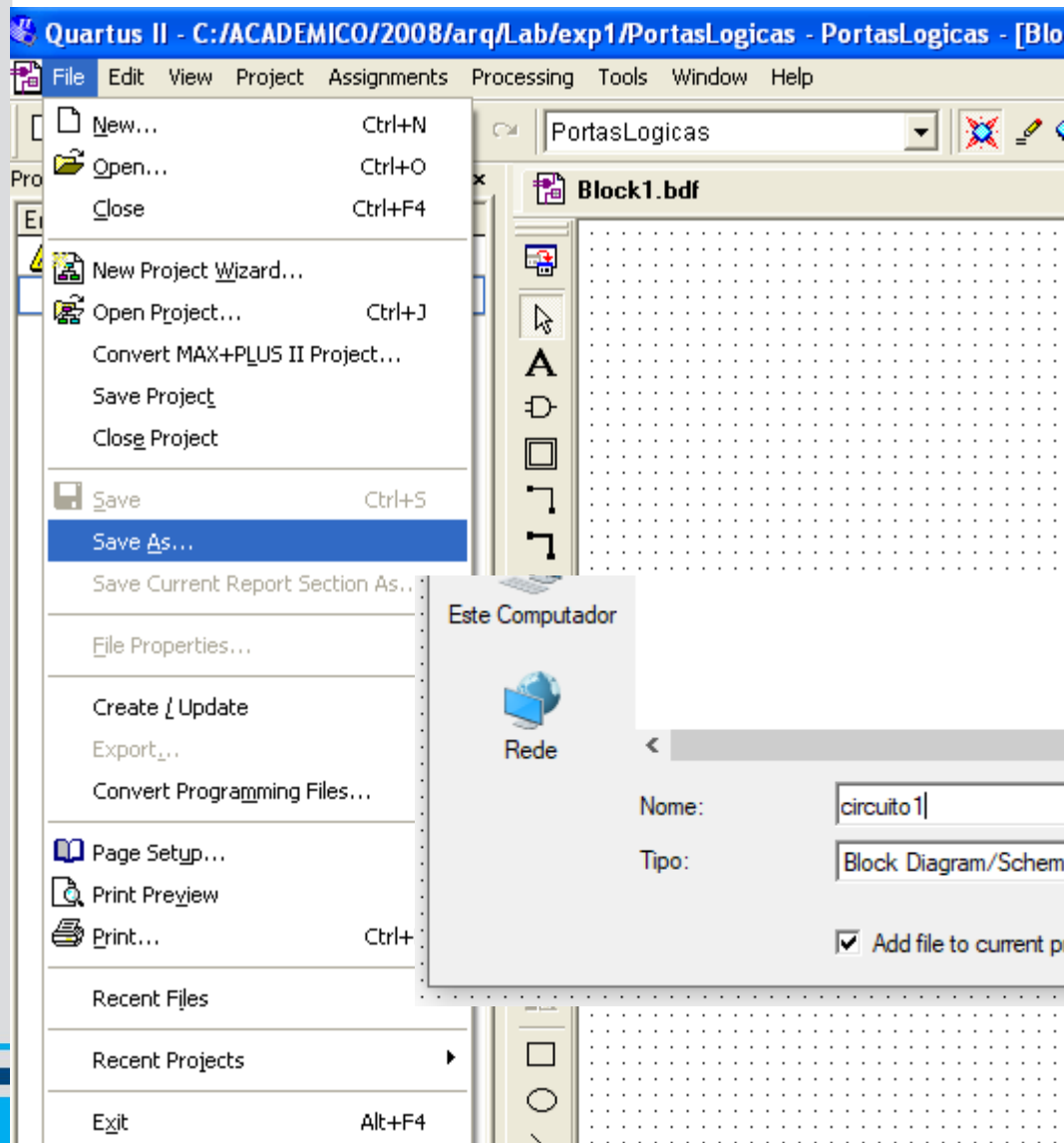


Após criado o projeto devemos criar os desenhos dos circuitos lógicos que iremos conter no DLP.

Para isso use o menu ***File->New...***

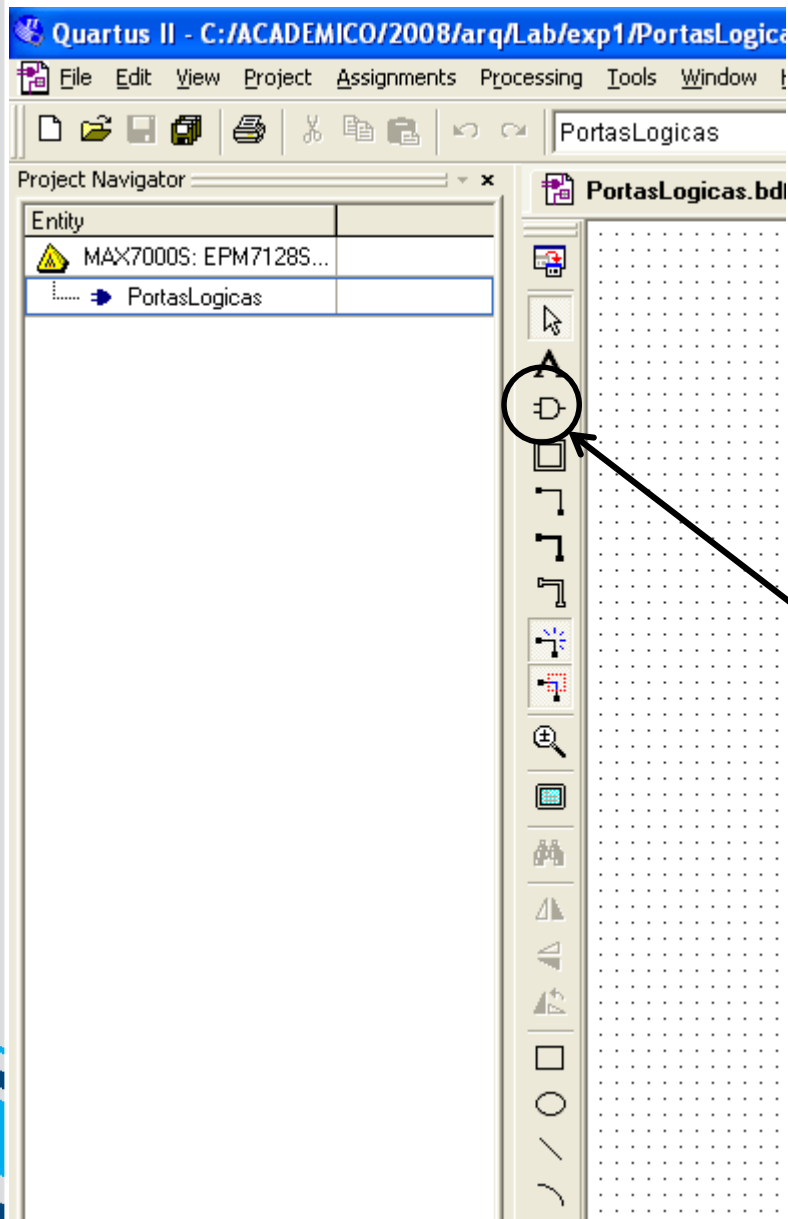
Selecione o item ***Block diagram/Schematic file***





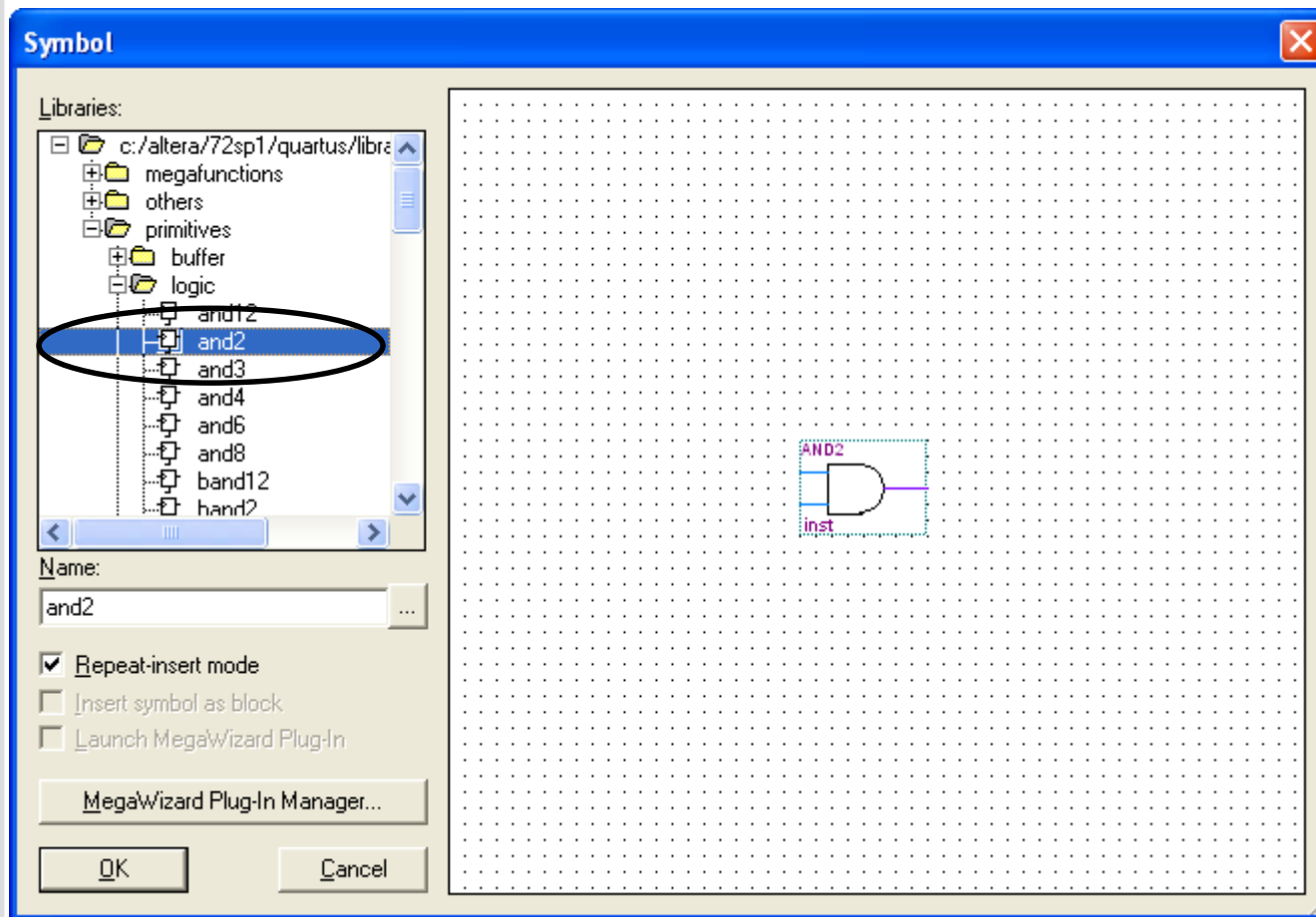
Após criado o arquivo devemos salvar o mesmo.

Para isso clique em **File->Save as...**  
Defina o nome: *circuito1*



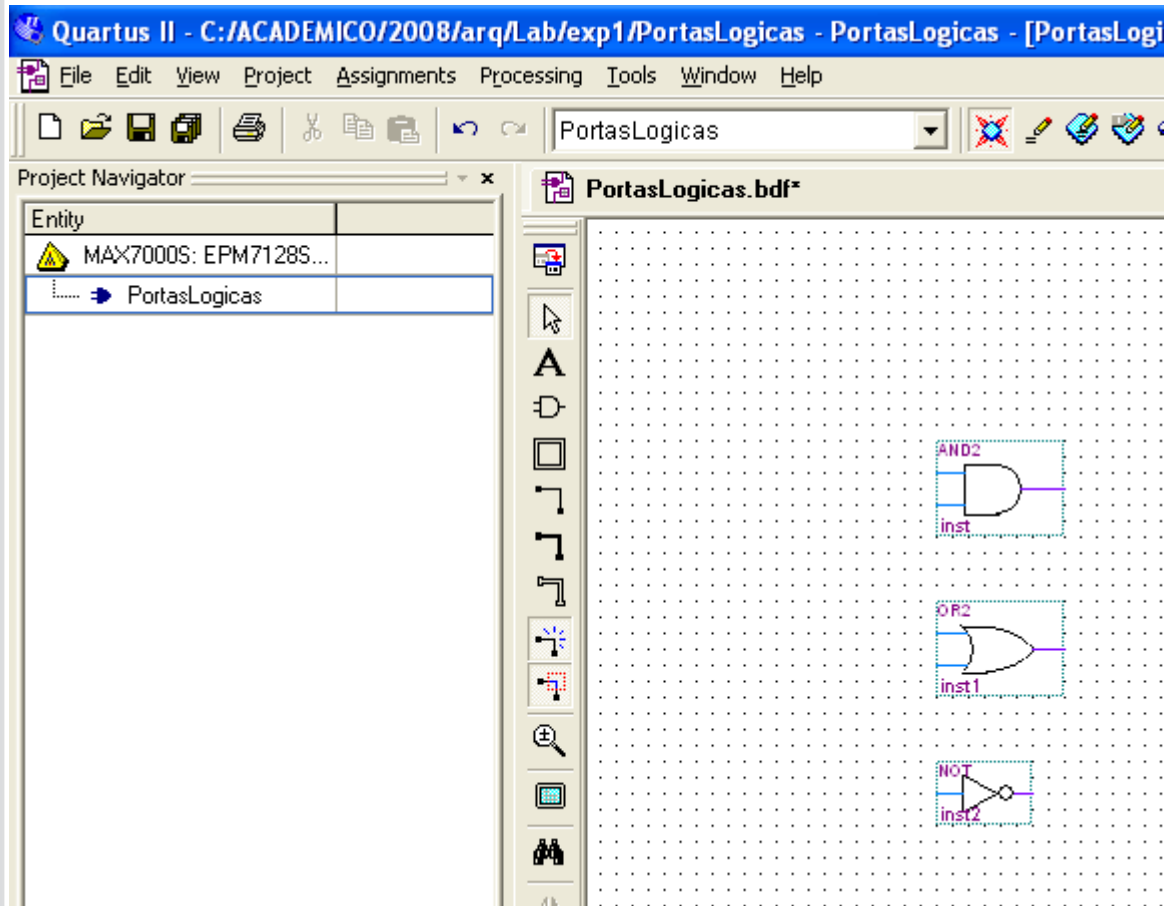
Utilize o ***item tool***, para colocar os desenhos das portas lógicas AND, OR e NOT no projeto

Selecione a sequência abaixo para colocar portas lógicas no projeto.

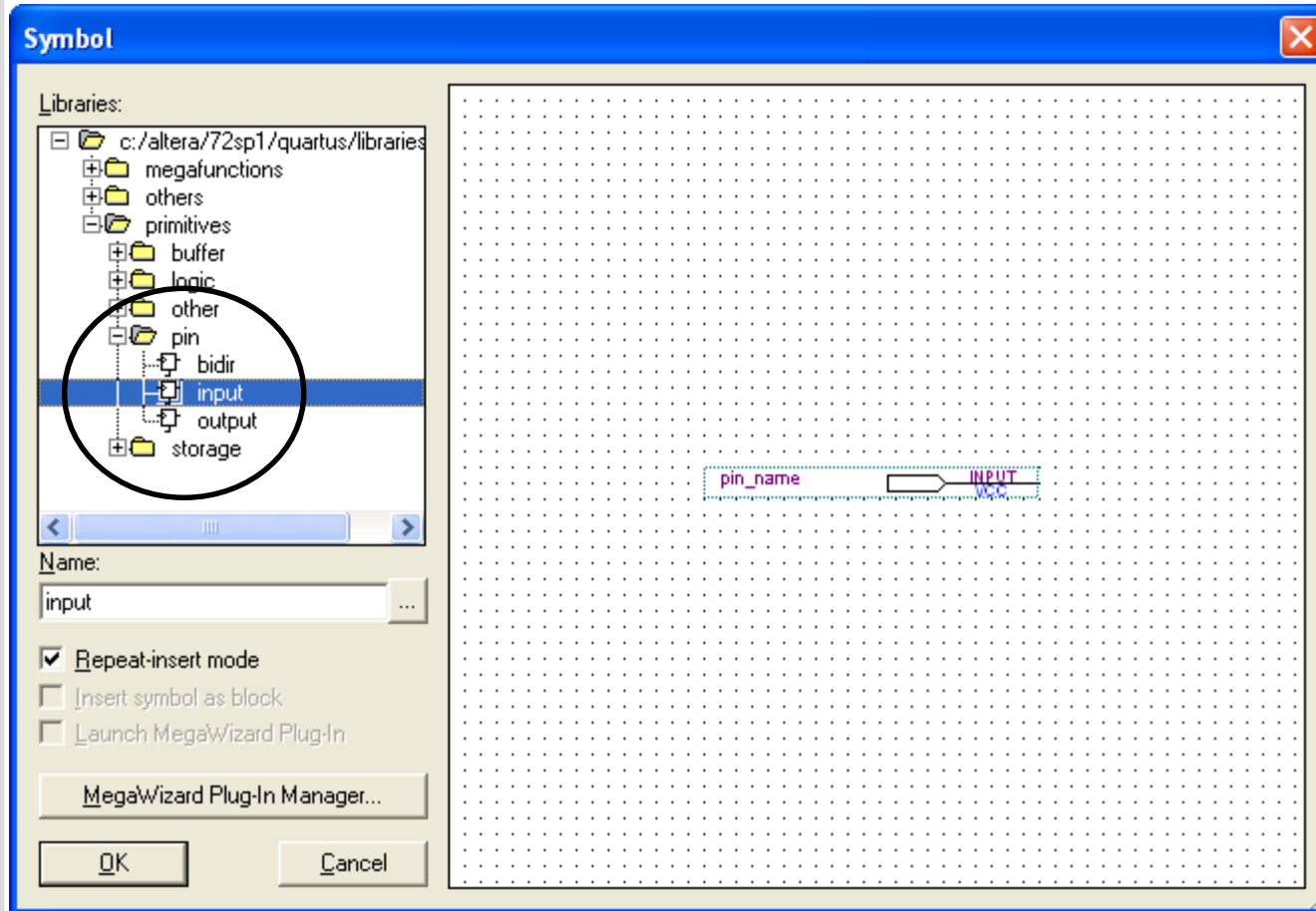


Como podemos observar, pode ser colocar uma porta lógica como a AND com duas entradas, *and2*. O sistema possui outras portas lógicas e com várias entradas, como: três, quatro, etc...

Sistema após inserida as portas lógicas: AND, OR e NOT.



Para o funcionamento das portas lógicas é necessário a definição dos elementos de entrada e saída para a porta lógica, neste caso os pinos.



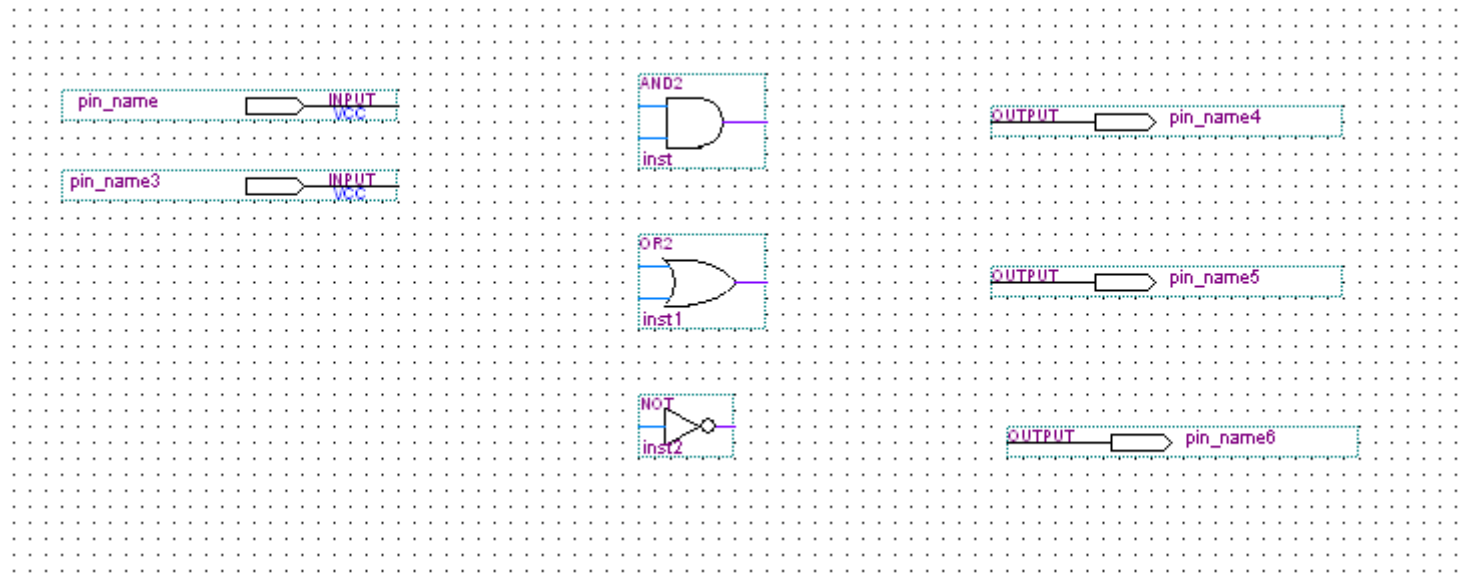
O sistema fornece os pinos de

Entrada – input

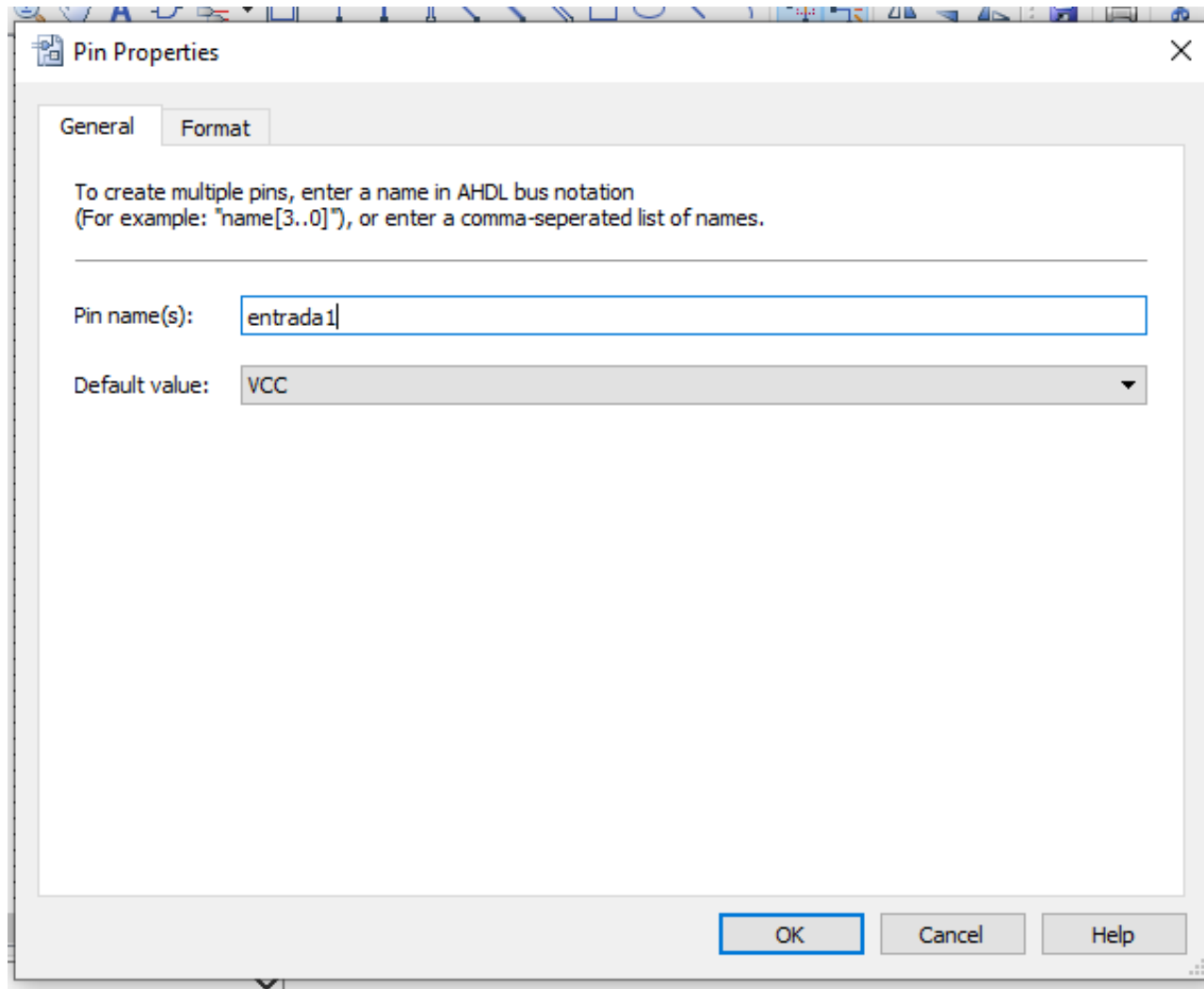
Saída – output

Bi direcional - bidir

Coloque dois pinos de entrada de sinal e três de saída de sinal conforme abaixo:



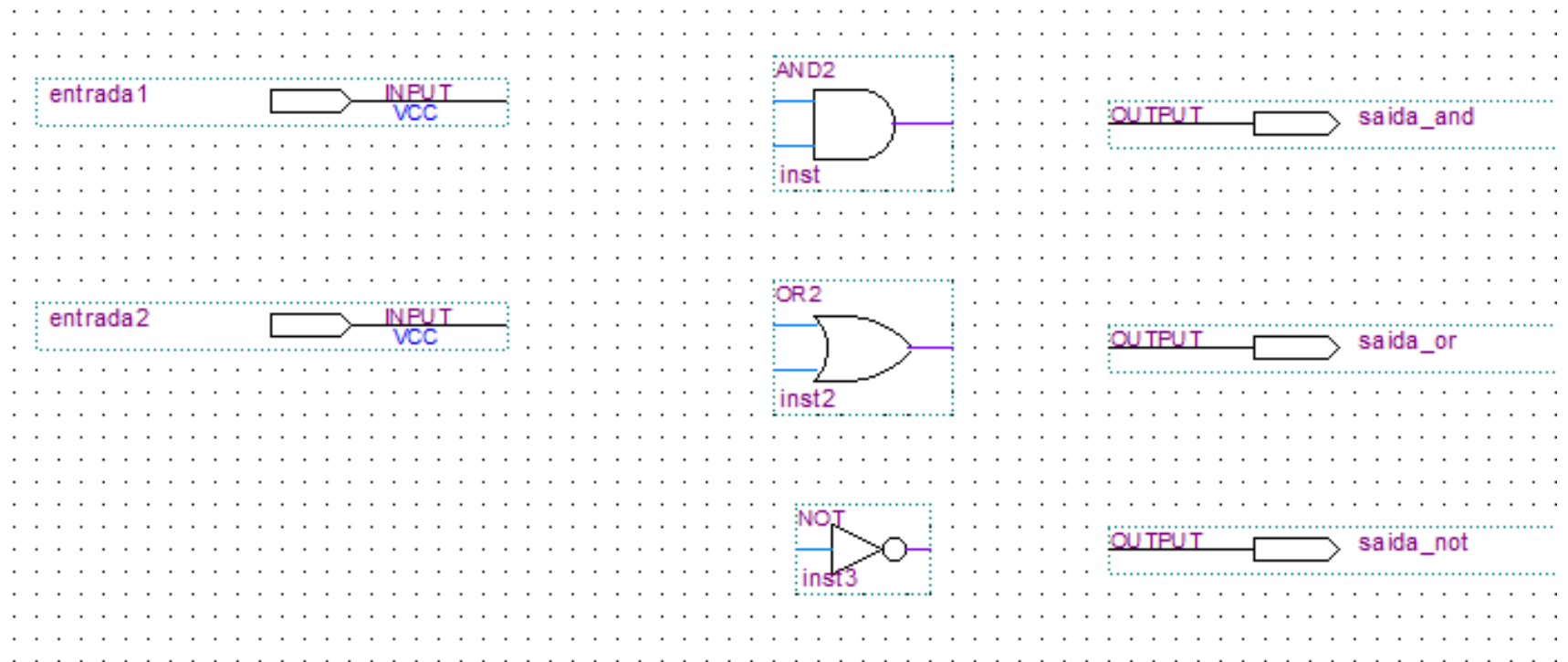
Efetuada um duplo clique com o mouse sobre o pino podemos definir o nome dele.

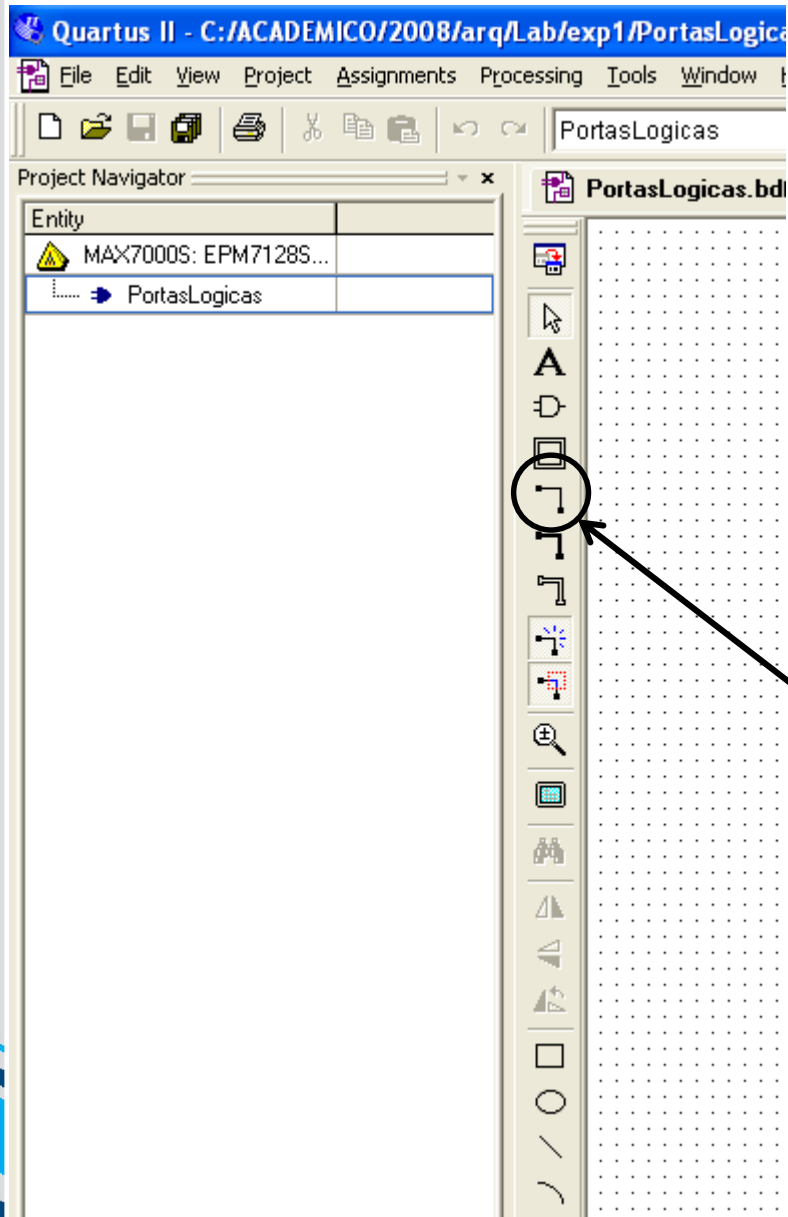


Neste caso foi definido como “entrada1”, perceba que não existe “espaços” no texto!



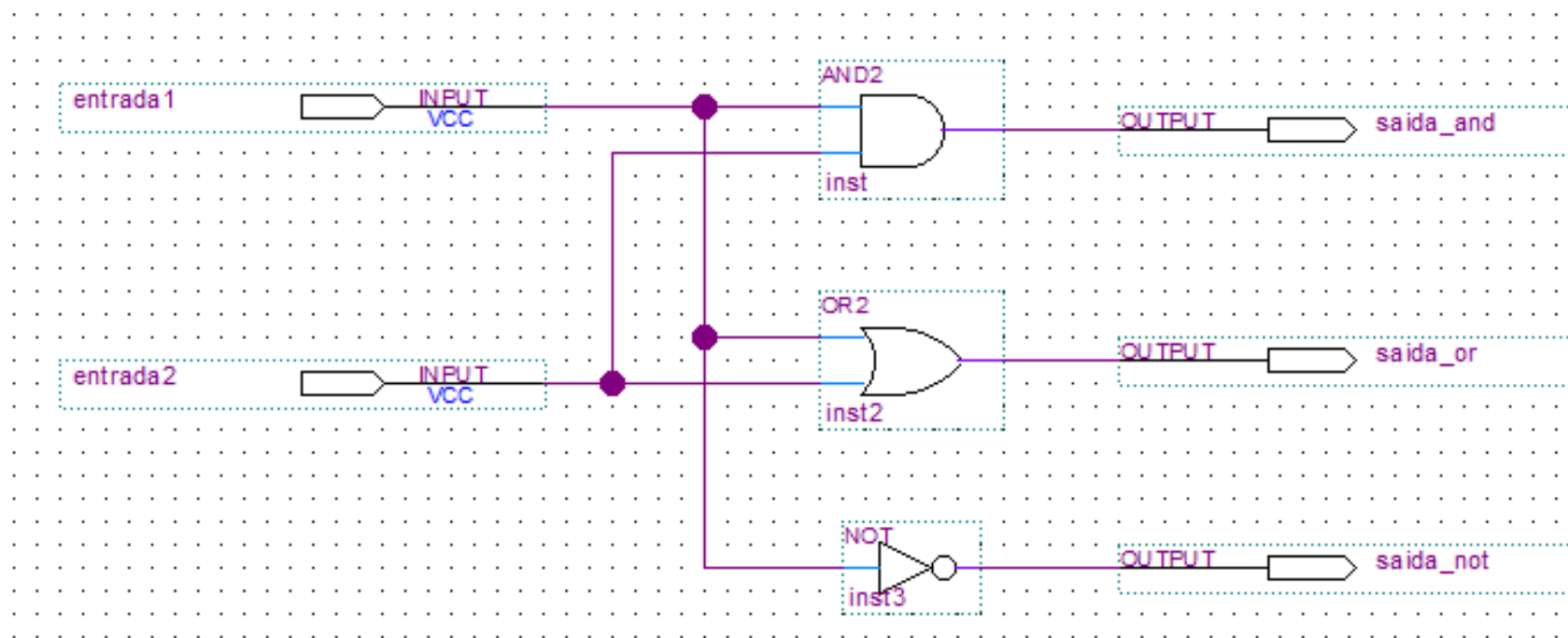
Defina a configuração abaixo:





Utilize o ***orthogonal node tool***, para ligar as porções entre os componentes ou seja a linhas de ligação entres os elementos no circuito.

Efetuada a ligação com os elementos irá ter a forma de:



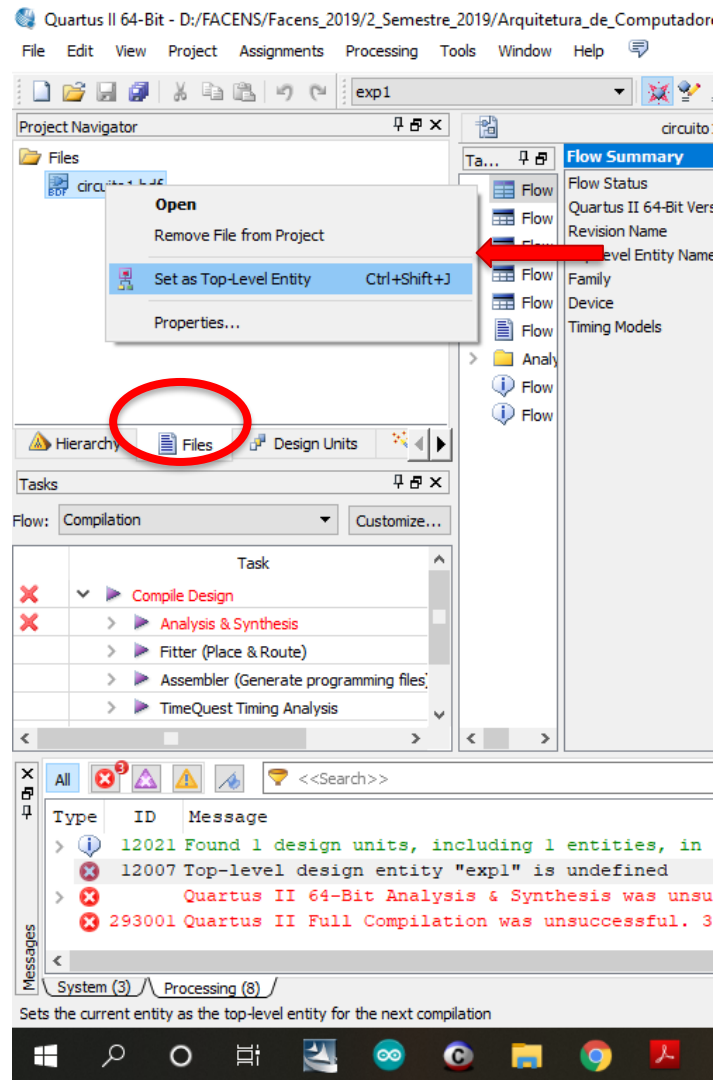
As três portas lógicas foram colocadas com dois sinais de estímulos: entrada1 e entrada2. Estes sinais podem assumir os valores:

- 1 – ligado
- 0 – Desligado

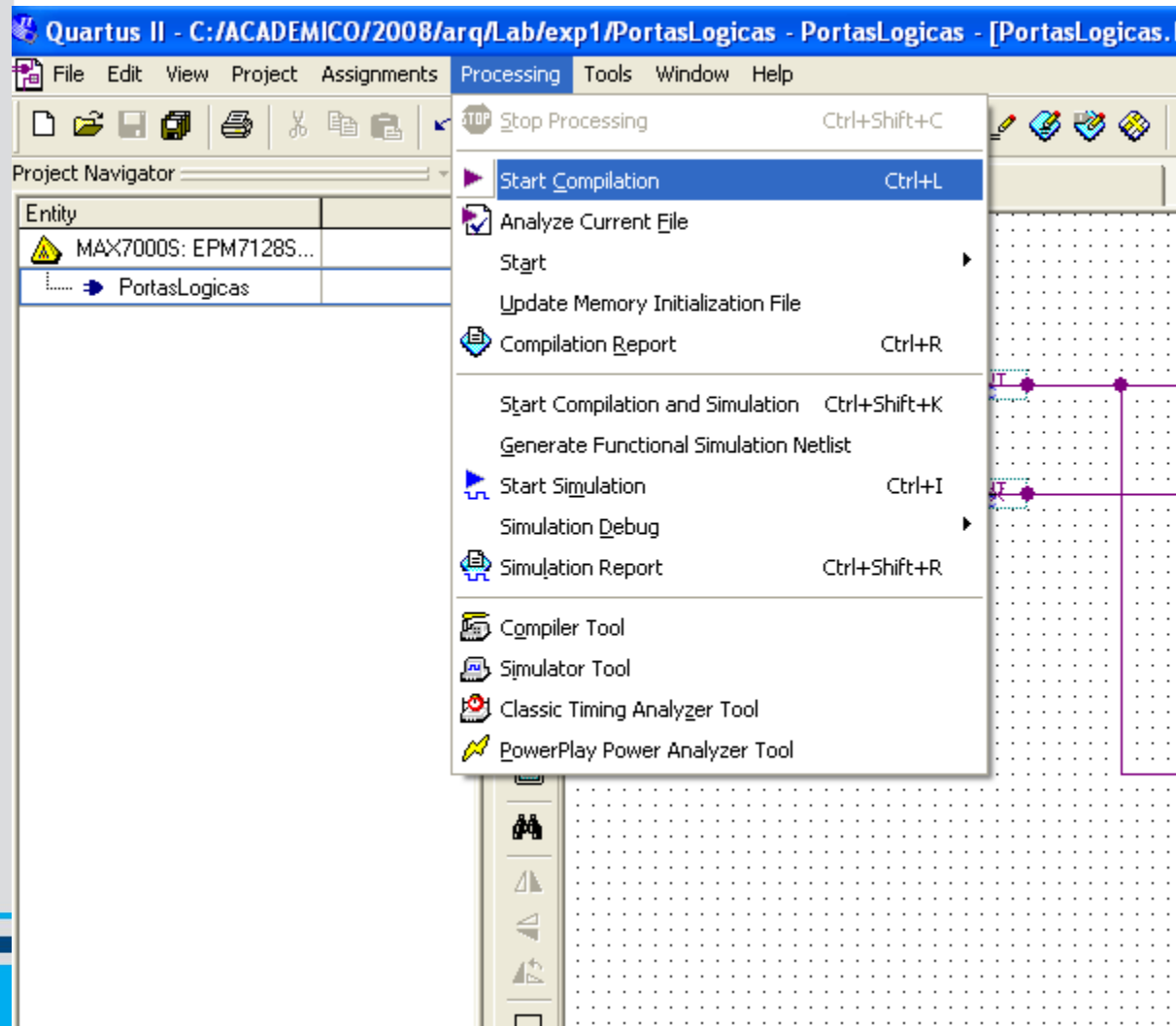
E assim gerando valores nas respectivas saídas: saida\_and, saida\_or e saida\_not.

## Salvar o projeto !!!!! E na sequência:

Na aba “Files” clicar em “circuito1” com o botão direito e depois clicar em “Set as Top-Level Entity”.



Utilizar o menu **Processing->Start compilation** para iniciar a compilação do projeto.



## Relatório da compilação

The screenshot displays the Quartus II software interface with the following components:

- Project Navigator:** Shows the project hierarchy for 'PortasLogicas'. The 'Compilation Report' folder is expanded, showing sub-items like 'Legal Notice', 'Flow Summary', 'Flow Settings', 'Flow Non-Default Global Settings', 'Flow Elapsed Time', 'Flow Log', 'Analysis & Synthesis', 'Fitter', 'Assembler', and 'Timing Analyzer'.
- Compilation Report - Legal Notice:** A window displaying the legal notice text, including copyright information for Altera Corporation (1991-2007) and terms of use.
- Status Window:** A table showing the progress of various compilation modules. All modules are at 100% progress.
- Message Window:** A window displaying system messages, including 'Info: Started Full Compilation' and 'Info: Ended Full Compilation'.

Annotations with arrows point to specific areas:

- Itens do relatório de compilação:** Points to the 'Compilation Report' folder in the Project Navigator.
- Status da compilação:** Points to the 'Status' window.
- Janela com as mensagens dos sistema como Erros, Avisos, etc...:** Points to the 'Message' window.

Module	Progress %	Time
Full Compilation	100 %	00
Analysis & Synthesis	100 %	00
Fitter	100 %	00
Assembler	100 %	nn

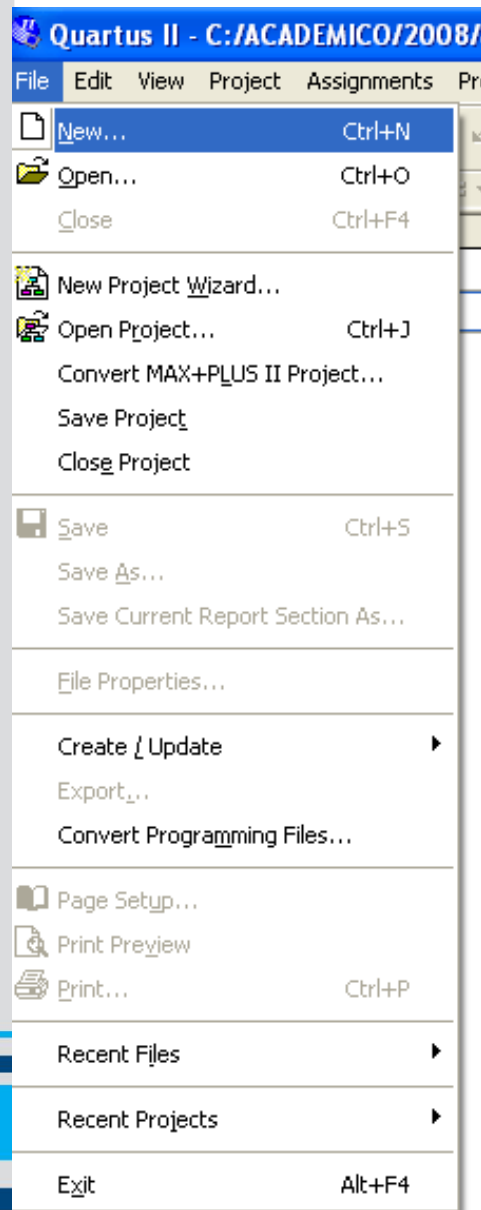
Type	Message
Info	Started Full Compilation at Wed Jan 30 11:40:31 2008 Hora oficial do Brasil
Info	Ended Full Compilation at Wed Jan 30 11:41:04 2008 Hora oficial do Brasil

Temos a opção de vincularmos os pinos do desenho ao do Hardware escolhido: (sem obrigatoriedade nessa experiência).

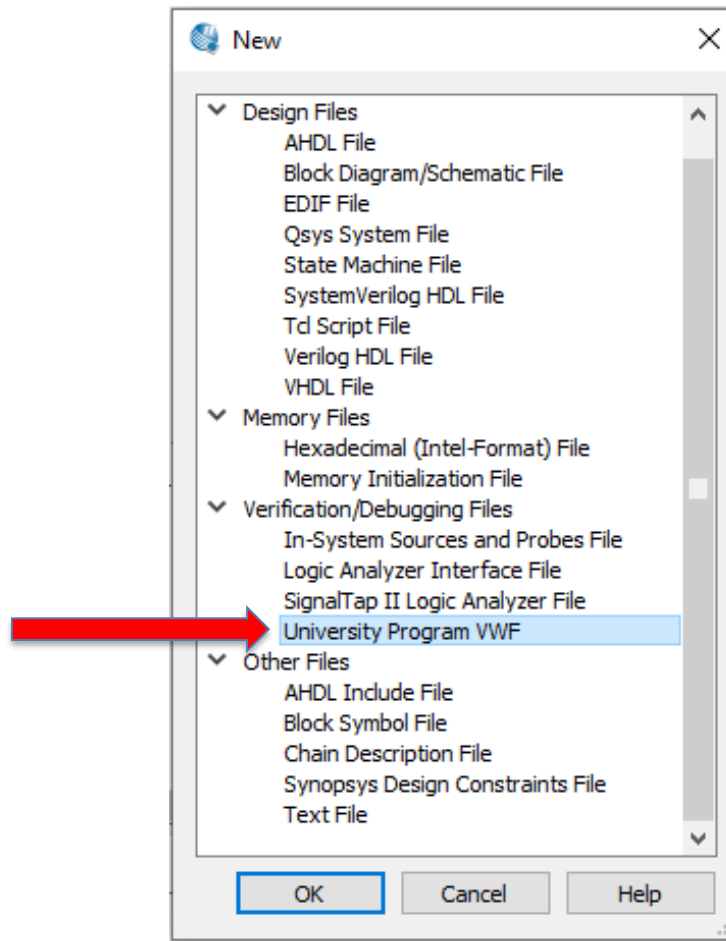
The screenshot shows the Pin Planner application window. The title bar indicates the file path: D:/FACENS/Facens\_2019/2\_Semestre\_2019/Arquitetura\_de\_Computadores\_Lab\_2S\_2019/Materiais/Exp\_1/... The menu bar includes File, Edit, View, Processing, Tools, Window, and Help. The File menu is open, showing options like Close, Create / Update (with a sub-menu containing 'Create Top-Level Design File...'), Export..., Page Setup..., Print Preview, and Print... (Ctrl+P). The main area displays a 'Top View - Wire Bond' for the EPM240F100C4 device, showing a 10x10 pin grid with various pins highlighted. The bottom section contains a table of pin assignments.

Node Name	Direction	Location	I/O Bank	I/O Standard	Reserved	Current Strength
entrada1	Input	PIN_A1	2	3.3-V LV...default)		16mA (default)
entrada2	Input	PIN_A2	2	3.3-V LV...default)		16mA (default)
saida_and	Output	PIN_A3	2	3.3-V LV...default)		16mA (default)
saida_not	Output	PIN_A4	2	3.3-V LV...default)		16mA (default)
saida_or	Output	PIN_A5	2	3.3-V LV...default)		16mA (default)
<<new node>>						

At the bottom of the window, there is a status bar with the text 'Create top-level design file', a progress indicator at '0%', and a timer at '00:00:00'.

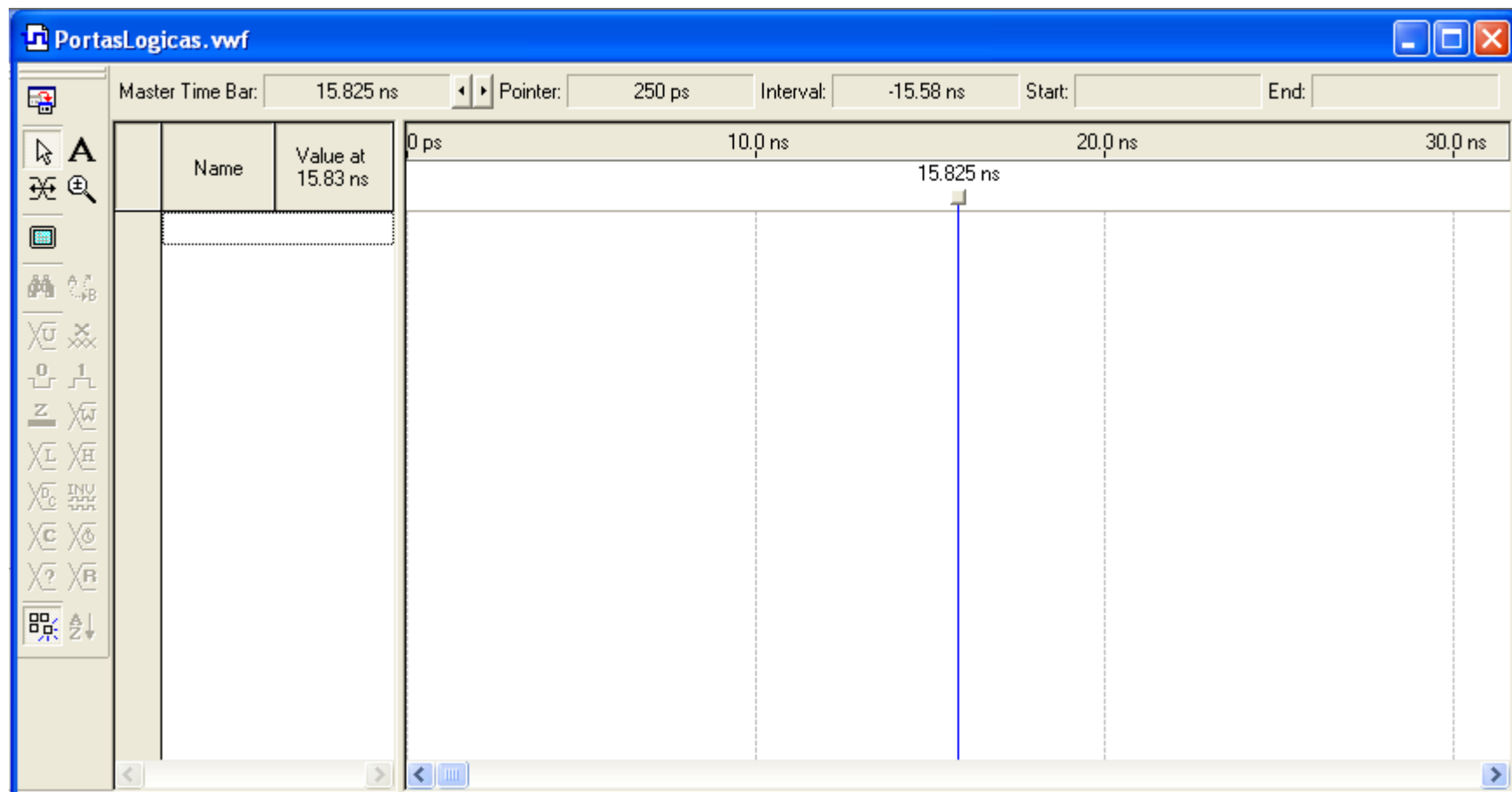


Para criar uma simulação ative a sequência abaixo:  
File => New => University Program VWF.

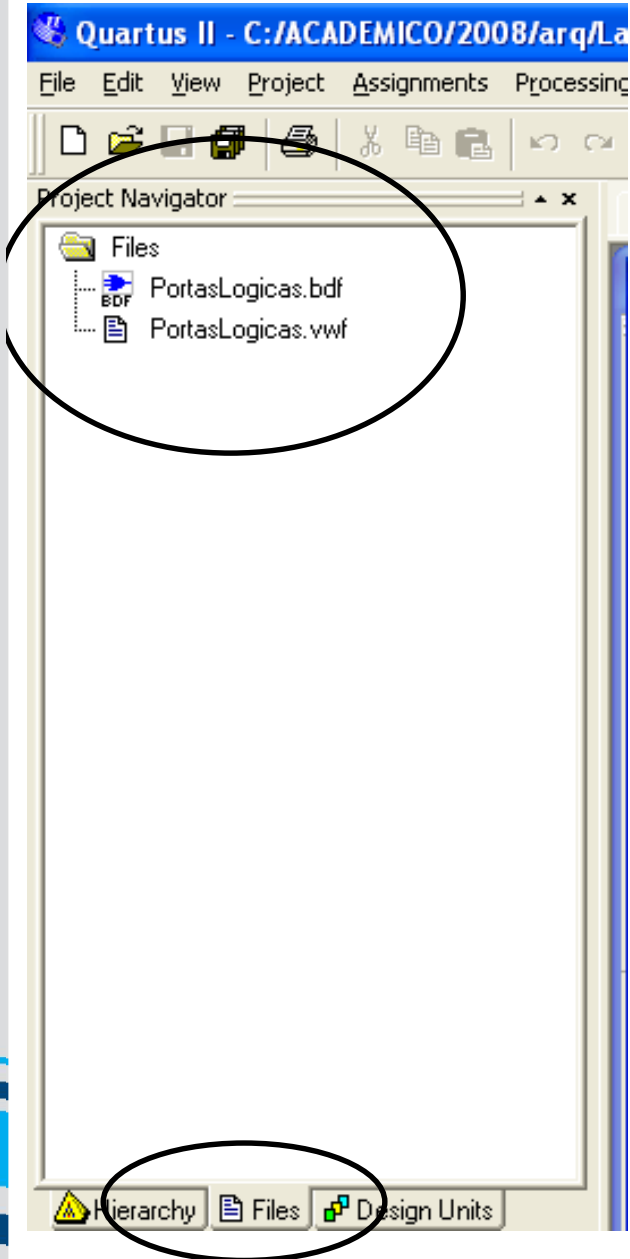




Com a ferramenta abaixo podemos criar as formas de onda para testar nosso circuito:

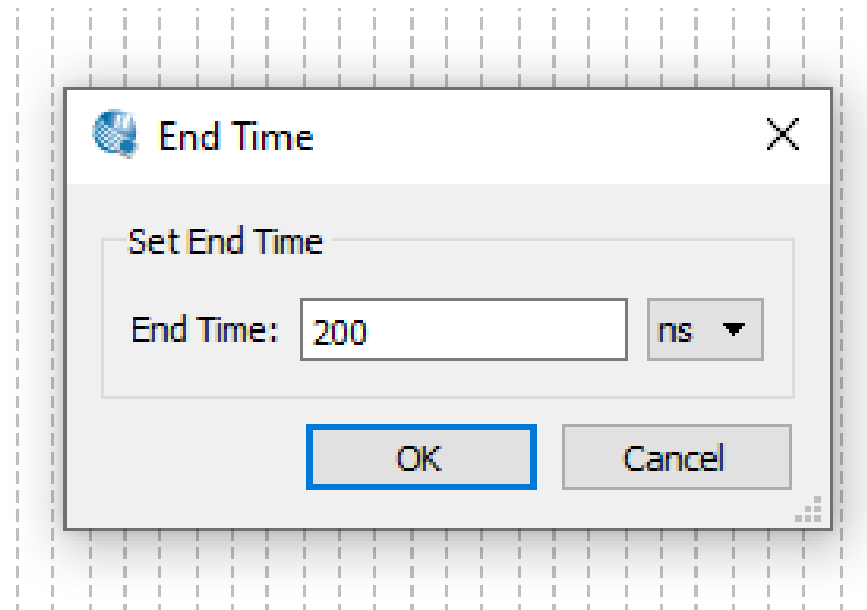
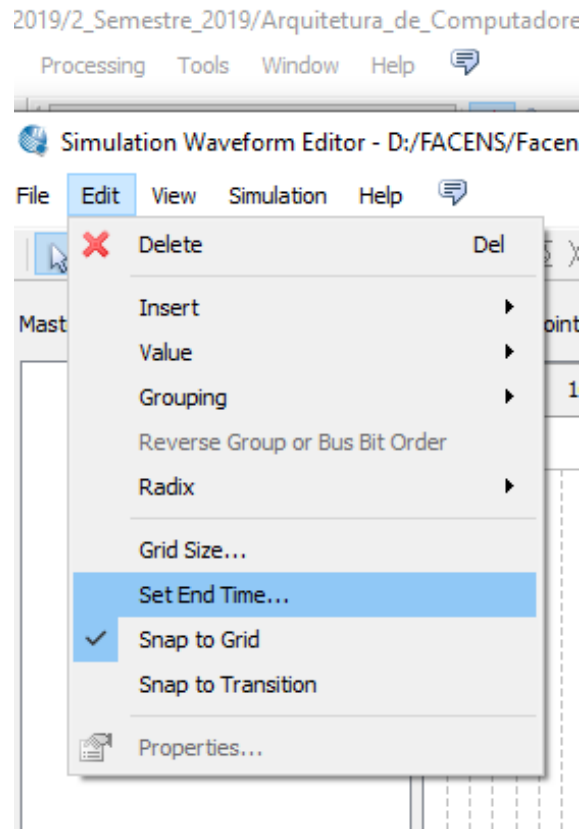


Use a opção **file->save as...** Para salvar o simulador.

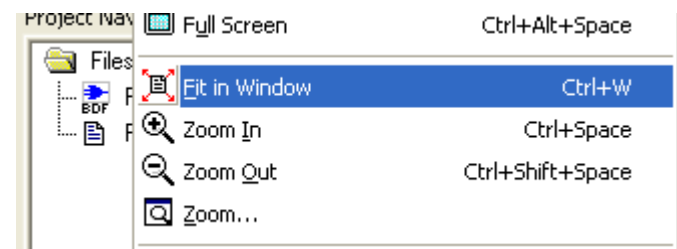


Com ***project navigator***, podemos visualizar e manipular os arquivos presentes no projeto

Com o menu **Edit->End Time...**  
Defina a simulação para 200 ns



Com o menu **View->fit in window...** O mesmo ativa a visão 0 até 200ns



Devemos inserir os sinais para observação na simulação, conforme abaixo:

The screenshot displays the PortasLogicas.vwf\* software interface. The top bar shows the Master Time Bar at 15.825 ns, Pointer at 6.0 ns, Interval at -9.83 ns, and Start/End fields. The main workspace shows a timeline from 0 ps to 200.0 ns. A context menu is open over the timeline, with the 'Insert' option selected, leading to a sub-menu where 'Insert Node or Bus...' is chosen. The 'Insert Node or Bus' dialog box is open, showing fields for Name, Type (INPUT), Value type (9-Level), Radix (ASCII), Bus width (1), and Start index (0). The 'Node Finder...' button is highlighted.

PortasLogicas.vwf\*

Master Time Bar: 15.825 ns Pointer: 6.0 ns Interval: -9.83 ns Start: End:

0 ps 40.0 ns 80.0 ns 120.0 ns 160.0 ns 200.0 ns

15.825 ns

Cut Ctrl+X  
Copy Ctrl+C  
Paste  
Delete Del  
Insert  
Zoom  
Show All Hidden Nodes

Insert Node or Bus...  
Insert Waveform Divider  
Insert Copied Nodes

**Insert Node or Bus**

Name:

Type: INPUT

Value type: 9-Level

Radix: ASCII

Bus width: 1

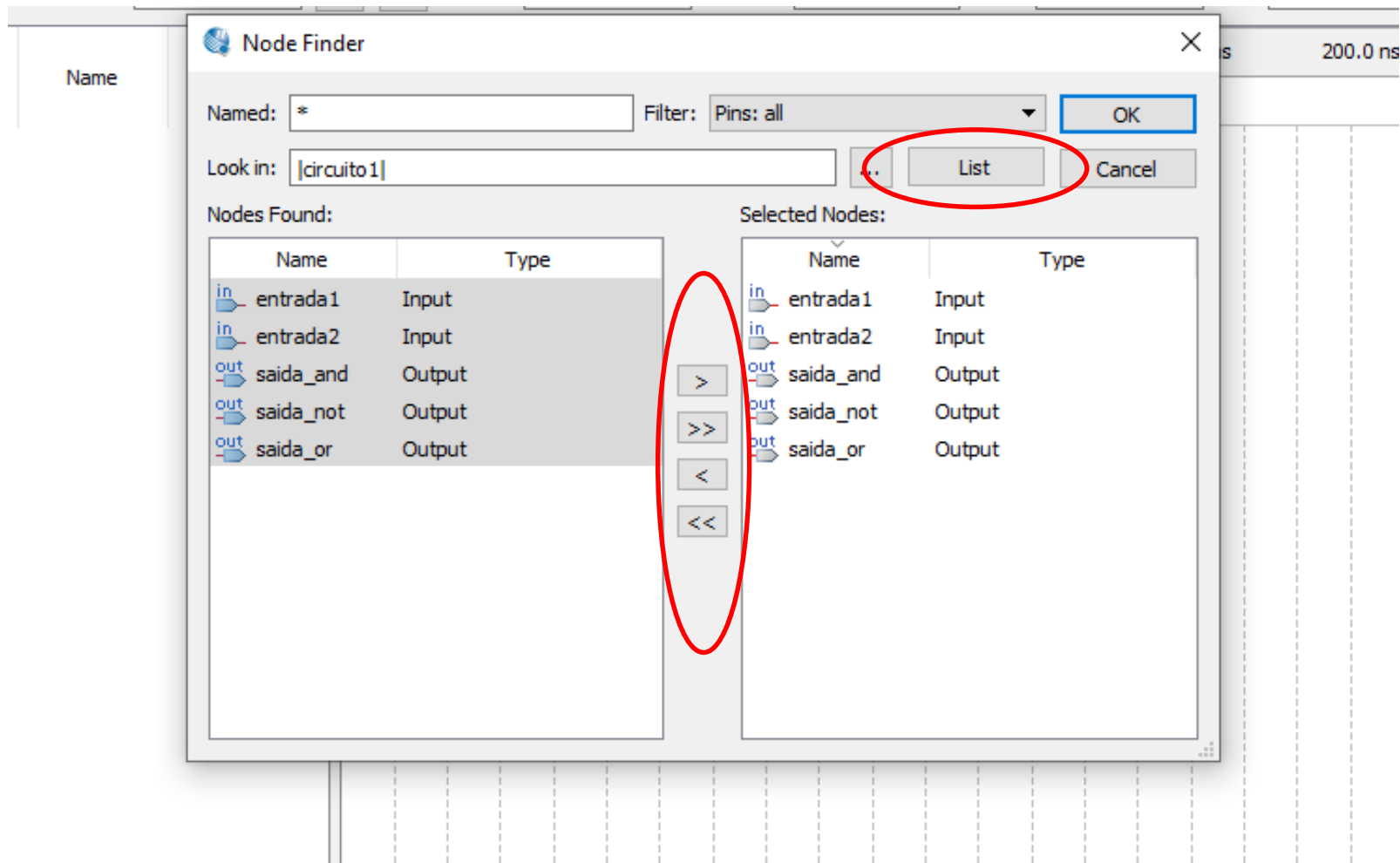
Start index: 0

☐ Display gray code count as binary count

OK Cancel Node Finder...

Clique em **Node Finder** para adicionar os sinais

Com o **Node Finder** selecione os pinos para simulação



Com o **Node Finder** selecione os pinos para simulação

The image shows two overlapping windows from a simulation software. The top window is the 'Insert Node or Bus' dialog box, and the bottom window is the 'Node Finder' window.

**Insert Node or Bus Dialog Box:**

- Name:** \*\*Multiple Items\*\*
- Type:** \*\*Multiple Items\*\*
- Value type:** 9-Level
- Radix:** ASCII
- Bus width:** 1
- Buttons: OK, Cancel, Node Finder...

**Node Finder Window:**

Master Time Bar: 15.825 ns | Pointer: 76.15 ns | Interval: 60.33 ns | Start: | End: |

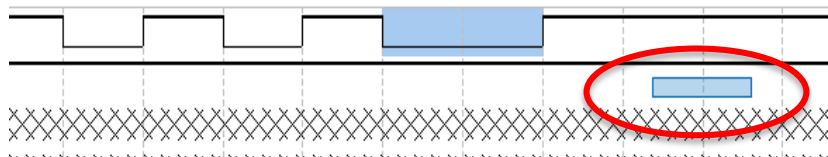
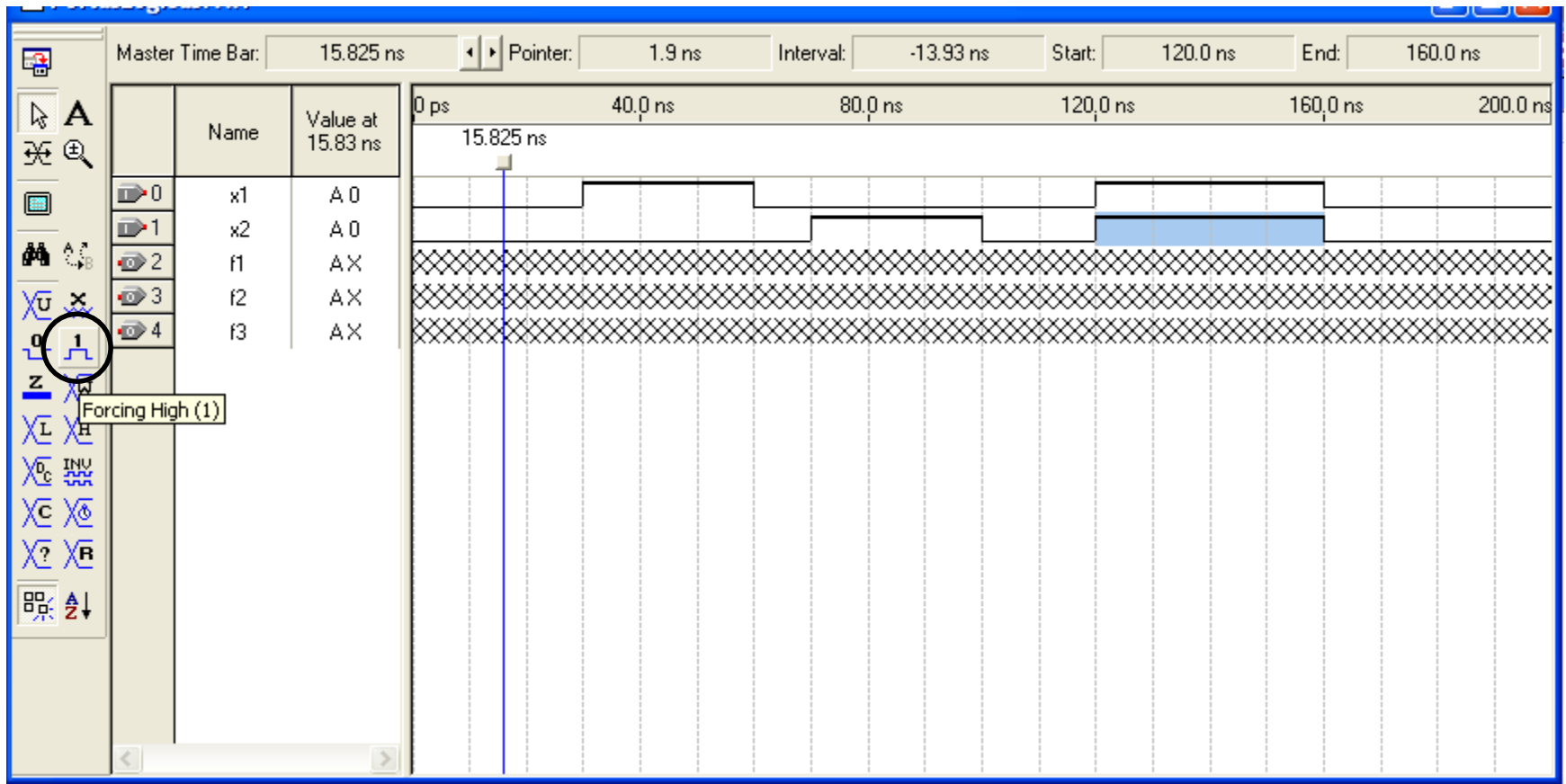
Timeline: 0 ps, 40.0 ns, 80.0 ns, 120.0 ns, 160.0 ns, 200.0 ns

Value at 15.83 ns:

Pin	Name	Value at 15.83 ns
0	x1	A 0
1	x2	A 0
2	f1	A X
3	f2	A X
4	f3	A X

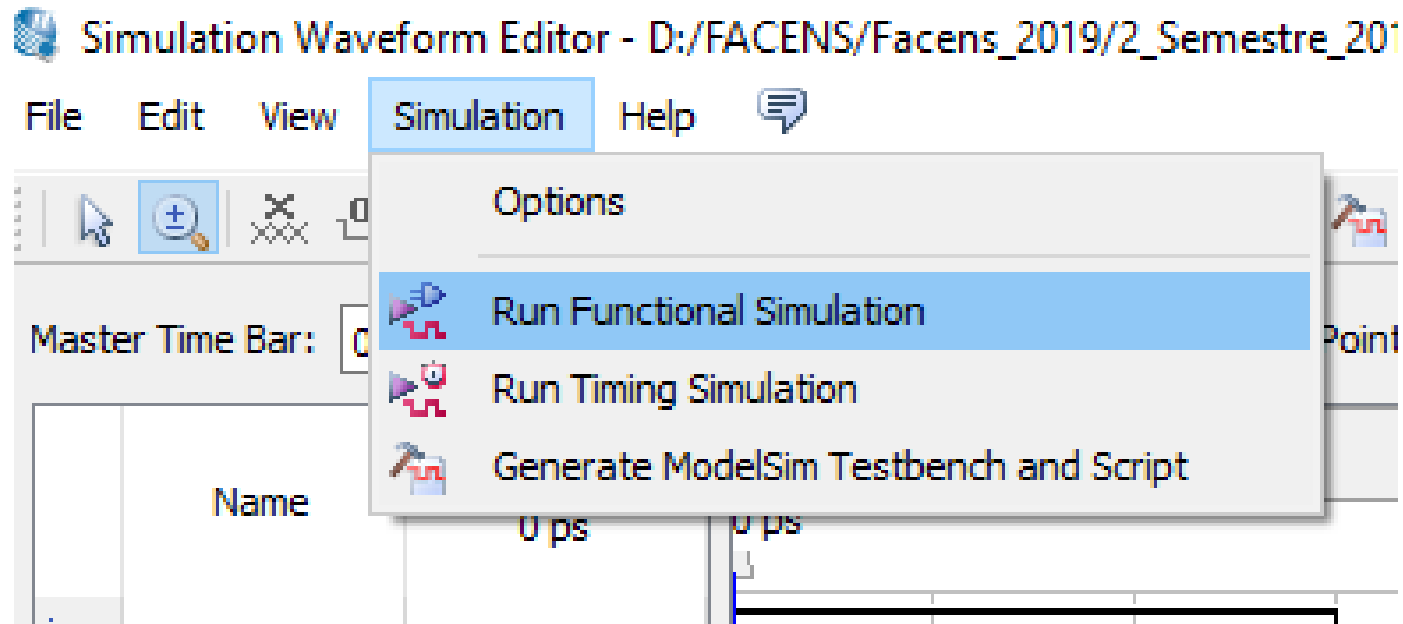
The Node Finder window also displays a list of pins on the left and a large grid on the right for selecting simulation points. A vertical blue line is positioned at 15.825 ns on the timeline.

Defina a forma de onda abaixo, com a barra ferramenta para os valores entrada1 e entrada2.



Selecionar com a seta uma pequena área e depois marcar “0” ou “1”.

Para ativação do simulador no projeto:



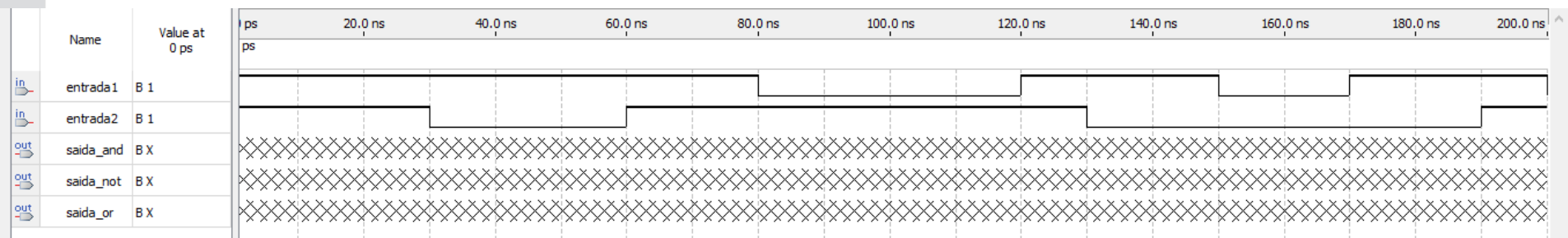
Em ***Simulation*** podemos escolher a forma de simulação:

*Functional* – Funcional ou Saída ideal

*Timing* – Computa os atrasos



Rodar o simulador funcional, uma mensagem para salvar a simulação irá aparecer, confirme o processo. Abaixo as saídas sem iniciar a simulação.



Após rodar o simulador, o resultado ficará como abaixo. A cada modificação das formas de onda de entrada, será requisitado para salvar a modificação e um novo resultado aparecerá.

