

Examen-mayo-2020.pdf



michumier



Arquitectura de Computadores



2º Grado en Ingeniería Informática del Software



Escuela de Ingeniería Informática Universidad de Oviedo



La mejor escuela de negocios en energía, sostenibilidad y medio ambiente de España.

Formamos talento para un futuro Sostenible



2 100% Empleabilidad



Modalidad: Presencial u online



Programa de Becas, Bonificaciones y Descuentos



Tu ex no te dejó las cosas claras, **pero nosotros la rutina sí.**





Mier Castañón, Miguel (UO277301)

Examen de Arquitectura de Computadores - Mayo

Fecha: 26-5-2021

Instrucciones generales para la realización de este examen

La respuesta debe escribirse en el hueco existente a continuación de cada pregunta con **letra clara**. Cada respuesta incorrecta, ilegible o vacía no suma ni resta. En el caso de preguntas teóricas se valorará la capacidad de síntesis.

1 Un ordenador portatil con 2 núcleos y 4 GB RAM y una estación de trabajo con 4 núcleos y 16 GB RAM ejecutan cinco veces el mismo benchmark monohilo. La tabla siguiente muestra el tiempo de respuesta de cada ejecución, en segundos.

	t_1	t_2	t_3	t_4	t_5
Laptop	48.65	47.99	48.14	46.25	47.56
Workstation	22.15	22.68	23.05	24.06	22.99

a — (0.5 puntos) ¿Cuál es la aceleración de la estación de trabajo respecto al ordenador portátil? Expresa el resultado con dos dígitos decimales.

b — (0.5 puntos) Se ejecuta ahora una versión multihilo del benchmark anterior, que utiliza 16 hilos. El tiempo que tarda este benchmark en ejecutarse en cada sistema es el de la tabla anterior dividido por el número de hilos que se pueden ejecutar concurrentemente en el sistema. En este nuevo escenario, ¿cuál es la aceleración de la estación de trabajo respecto al ordenador portátil? Expresa el resultado con dos dígitos decimales.

2 Se dispone de una CPU MIPS64 con estas características: sin rutas de reenvío, predicción de saltos «siempre no tomado», evaluación de saltos agresiva (en la etapa ID), unidad de multiplicación segmentada de 4 ciclos, ejecución de instrucciones fuera de orden (cuando se emplean unidades de ejecución diferentes) y terminación de instrucciones fuera de orden. Sobre esta CPU se ejecuta el siguiente fragmento de programa:

ori	r9, r0, 10
daddi	r5, r0, 11
loop:	
beq	r9, r5, exit
dmul	r1, r5, r3
or	r1, r2, r5
daddi	r9, r9, 1
j	loop
exit:	
ld	r6, 40(r1)
dadd	r2, r1, r6
sd	r2, 100(r3)

a — (0,75 puntos) Indica la primera vez que aparece cada una de las dependencias de datos RAW, WAW y WAR identificando las instrucciones involucradas y el registro que crea la dependencia. Ejemplo de respuesta, RAW: dsub y dadd, r4.

b— (0,75 puntos) Identifica las tres primeras detenciones que se producen en la ejecución de ese código. Identifica el tipo de detención ((D)atos, (E)structural o (C)ontrol), la instrucción que la sufre y el número de ciclos que ocupa. Ejemplo de respuesta: (D) - dsub - 3 ciclos.

Se mejora la microarquitectura de la CPU anterior implementando todas las rutas de reenvío posibles.

c- (0,5 puntos) ¿Qué rutas de reenvío se activarán durante la ejecución del código anterior? Ejemplo de respuesta: Salida MEM dmul \rightarrow Entrada EX dsub.











d— (1 punto) Rellena la tabla siguiente con la evolución del pipeline desde el ciclo 4 al ciclo 20 con las rutas de reenvío activadas. Se muestra el ciclo 4.

Instr. \ Etapa	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
ori r9, r0, 10	MEM																
daddi r5, r0, 11	EX																
beq r9, r5, exit	ID																
dmul r1, r5, r3	IF																

e— (0,5 puntos) Si el predictor de saltos «siempre no tomado» se sustituye por un «predictor dinámico de 2 bits» (con el valor 01 por defecto del contador) y el código de las dos primeras instrucciones del programa se sustituye por:

ori r9, r0, 13 daddi r5, r0, 23

¿Cuántos ciclos de reloj se detendría el *pipeline* en la ejecución del **programa completo** debido a la instrucción beq r9, r5, exit y a la instrucción i loop?

beq r9, r5, exit: j loop:

- 3 ☐ El sistema de memoria de un computador que direcciona al byte está compuesto por la siguiente jerarquía de sistemas:
 - Un sistema de memoria caché SRAM de 32 KiB de tamaño con un tamaño de línea de 32 bytes y con un tiempo medio de acceso de 2.5 ns.
 - Un sistema de memoria principal DRAM de 32 GiB de capacidad con un tiempo medio de acceso a cada posición de 15 ns.
 - Un sistema de almacenamiento magnético de 2 TiB con una latencia media de acceso de 21 ms para cualquier cantidad de datos entre 1 y 64 KiB.

La memoria caché se ha configurado con una estrategia de escritura write-through y una política write no allocate ante fallos de escritura.

Se ejecuta un programa en el que el porcentaje de acierto en caché es 99.60 % y en memoria principal es 99.9981 %.

Teniendo todo esto en cuenta, responde a las siguientes preguntas:

a— (0.5 puntos) ¿Cuál es el tiempo medio de lectura, tr_{cpd} , en esta jerarquía de memoria? Responde en nanosegundos redondeado a tres decimales. Escribe la expresión matemática utilizada para realizar el cálculo.

$tr_{cpd} =$			

b— (0.5 puntos) ¿Cuál es el tiempo medio de escritura, tw_{cpd}, en esta jerarquía de memoria? Responde en nanosegundos redondeado a tres decimales. Escribe la expresión matemática utilizada para realizar el cálculo.

$tw_{cpd} =$			







Nosotros te dejamos la cara perfecta, pon tu la cara dura y dale caña al juego.

No hace falta que te la juegues con un suspenso, ya te traemos el juego nosotros para que salgas ganando.

REGLAS

- 1. Encuentra el producto oculto en el anuncio dentro de tu apunte.
- 2. Escanea el QR para acceder al juego en Wuolah.
- 3. Introduce la coordenada donde se esconde el producto.
- 4. Consigue coins y participa en el sorteo de un pack de productos Garnier PureActive 🎉

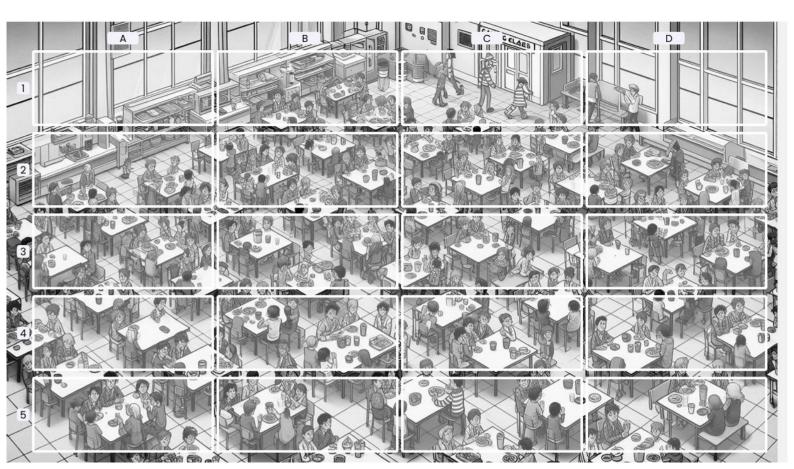




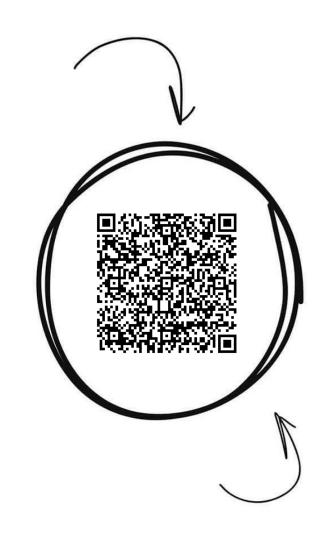




¡Juega ahora!



Arquitectura de Computadores



Banco de apuntes de la



Comparte estos flyers en tu clase y consigue más dinero y recompensas

- Imprime esta hoja
- Recorta por la mitad
- Coloca en un lugar visible para que tus compis puedan escanar y acceder a apuntes
- Llévate dinero por cada descarga de los documentos descargados a través de tu QR





Fecha: 26-5-2021

Examen de Arquitectura de Computadores - Mayo

	Vía 0	Vía 1				
	v d a etiqueta 7 6 5 4 3 2 1 0	v d a etiqueta 7 6 5 4 3 2 1 0				
0	0 1 0 010100 AA D4 03 27 90 52 61 3F	0 0 1 101001 DE AA 32 84 D1 D3 58 73				
1	1 1 0 110101 8D 1B 30 0E C2 37 19 3D	1 0 1 011110 EA 69 5C 56 C0 40 1A CE				
2	1 1 1 110001 AA 08 23 78 3E 09 2F 4B	1 1 0 000001 C2 8B 87 F7 C5 3A 71 DB				
3	0 0 0 001011 19 08 08 72 4C 89 CD 97	0 1 1 010011 72 F8 8C 1E 23 72 CA FD				
4	1 1 0 110010 A6 DA 14 4E 90 73 DD CA	1 1 1 011011 C6 D6 F9 F6 83 5B D3 0D				
5	0 1 1 101001 02 61 37 1E A8 9F 94 2F	1 1 0 010001 31 29 AA 0B 7C BE E7 9B				
6	1 0 1 101010 88 79 E5 1C 8A 4B 7D 5B	1 1 0 001011 12 D7 87 DE D8 51 C9 4B				
7	1 1 0 010011 40 F0 97 9D 87 0D A4 1F	1 1 1 010101 FA CA 17 D5 6E 92 6B 52				

4 ☐ La figura muestra el estado de una caché unificada. Cada líne	ea de caché tiene asociado un bit de validez v, un bit de dirty d, un valor a de LRU y
una etiqueta de 6 bits. La línea con mayor valor de LRU es la c	que ha sido accedida más recientemente.

a —	(0.5 puntos)	Cuántos bloques	de memoria deberían	ser actualizados er	n memoria cuando	sean reemplazados?
-----	--------------	-----------------	---------------------	---------------------	------------------	--------------------

b — (0,5 puntos) Indica la dirección de memoria más baja que al ser accedida produce la actualización de un bloque de memoria principal. Indica «ninguna» si no existe tal dirección. Debes responder en hexadecimal

c — (0,5 puntos) Indica el bloque de memoria más alto que puede ser reemplazado cuando la CPU realiza una lectura. Indica «ninguno» si no existe tal bloque. Debes responder en hexadecimal.

d — (0,5 puntos) Indica el estado de los bits v, d y a de la línea de caché que se verá afectada después de la escritura en la dirección 057h por parte de la interfaz de un periférico con capacidad de DMA. Indica asimismo el conjunto y vía en el que se encuentra esa línea.

d =conjunto:

- 5 🗆 Se dispone de un computador cuyas direcciones virtuales son de 36 bits mientras que sus direcciones físicas son de 32 bits. Se sabe además que el tamaño de una página virtual es 64 KiB. Cada entrada en tabla de páginas (ETP) tiene un tamaño de 32 bits y contiene estos campos:
 - Marco/Localiz.: Indica el marco de memoria física asociado a la página virtual. Offset X representa una localización X en el disco e INVÁLIDO una página sin almacenamiento asignado.
 - R/W=1: Página de sólo lectura; R/W=0: Página de lectura y escritura.
 - $U/\overline{S}=1$: Privilegio de acceso de usuario; $U/\overline{S}=0$: Privilegio de acceso de supervisor.
 - P: Bit de presencia.
 - (0.5 puntos) ¿Cuál es el número de entradas de la tabla de páginas de una tarea? ¿Cuál es el tamaño en bytes de la misma suponiendo que tiene un único nivel?

N. entradas: Tamaño en bytes:

A continuación, rellena los huecos que se corresponden con entradas en la tabla de páginas para las siguientes direcciones virtuales. Indica con «—» aquellos campos que no puedan conocerse:

b— (0.5 puntos) Dato almacenado en la pila de una tarea de usuario en la dirección virtual E7ED8 D028h cuya dirección física es 385E D028h.

Página virtual	Marco/Localiz.	L/Ē	U/S	P

c — (0.5 puntos) Dato almacenado en la sección de datos del sistema operativo en la dirección virtual BA8248C59h cuya dirección física es 3FDA 8C59h.

Página virtual	Marco/Localiz.	L/\overline{E}	U/S	P





Tu ex no te dejó las cosas claras, **pero nosotros la rutina sí.**





A

- **6** □ Responde a la siguiente pregunta sobre E/S.
 - a— (0.5 puntos) Se conecta la interfaz de un teclado/ratón a un computador que dispone de un procesador que trabaja a una frecuencia de 1.3 GHz. La interfaz avisa al procesador mediante una interrupción cada vez que dispone de un nuevo evento producido por el teclado o ratón. Se sabe además que el tiempo entre dos interrupciones es de 50 ms. Teniendo en cuenta que la rutina de servicio requiere 800 instrucciones máquina y que el CPI de la CPU es de 1.0 ciclos/instrucción, ¿cuál es el porcentaje de tiempo de CPU que puede consumir la interfaz? Debes indicar además la expresión empleada para su obtención.
- 7 Responde a la siguiente pregunta acerca del sistema de interconexión del computador.
 - a (0.5 puntos) Para conectar dos componentes C1 y C2 en un computador se plantea como mecanismo de interconexión un canal punto a punto serie trabajando a una frecuencia de reloj de 1 GHz donde se transmite un bit en cada flanco ascendente de la señal de reloj y se utiliza una codificación 12/14. Calcula la máxima velocidad de transferencia desde C1 hasta C2 que puede alcanzarse en MBytes/s. Nota: 1 M = 10⁶.





WUOLAH