

# Examen-teoria-1-2020.pdf



**michumier**



**Arquitectura de Computadores**



**2º Grado en Ingeniería Informática del Software**



**Escuela de Ingeniería Informática  
Universidad de Oviedo**



**La mejor escuela de negocios en  
energía, sostenibilidad y medio  
ambiente de España.**

Más información  
[www.eoi.es](http://www.eoi.es)

Formamos  
**talento** para un futuro  
**Sostenible**



**100% Empleabilidad**



**Modalidad: Presencial u online**



**Programa de Becas,  
Bonificaciones y Descuentos**

CORRIGE

2

3  
PROTEGE

Tu ex no te dejó las cosas claras, **pero nosotros la rutina sí.**



1



LIMPIA

TU RUTINA ANTI-IMPERFECCIONES

A

Mier Castañón, Miguel (UO277301)

Examen de Arquitectura de Computadores

Fecha: 23-10-2020

## Instrucciones generales para la realización de este examen

La respuesta debe escribirse en el hueco existente a continuación de cada pregunta con **letra clara**. Cada respuesta incorrecta, ilegible o vacía no suma ni resta. En el caso de preguntas teóricas se valorará la capacidad de síntesis.

- 1 ☐ Un ordenador portátil con 2 núcleos y 4 GB RAM y una estación de trabajo con 12 núcleos y 16 GB RAM ejecutan cinco veces dos benchmarks, B1 y B2. La tabla siguiente muestra los tiempos de respuesta de cada ejecución, en segundos.

	B1					B2				
	$t_1$	$t_2$	$t_3$	$t_4$	$t_5$	$t_1$	$t_2$	$t_3$	$t_4$	$t_5$
Laptop	23.1	22.7	21.4	21.6	23.4	58.65	57.99	58.14	56.25	57.56
Workstation	12.15	12.68	13.05	14.06	12.99	12.15	12.68	13.05	14.06	12.99

a — (0.5 puntos) ¿Cuál es el rendimiento de cada computador utilizando la productividad para cada benchmark?

Laptop(B1):	Workstation(B1):
Laptop(B2):	Workstation(B2):

b — (0.5 puntos) ¿Cuál es la aceleración de la estación de trabajo respecto al ordenador portátil para cada benchmark?

A(B1) =	A(B2) =
---------	---------

c — (0.5 puntos) ¿Cuál es la aceleración agregada de la estación de trabajo respecto al ordenador portátil?

--

- 2 ☐ Una estación de trabajo utiliza una CPU superescalar de ancho de emisión 6 y una frecuencia de reloj de 2 GHz. En ella se ejecuta un benchmark que proporciona un tiempo de respuesta de 24.9 segundos.

a — (0.5 puntos) ¿Cuál es su rendimiento máximo, MIPS?

--

b — (0.5 puntos) ¿Cuál es su productividad máxima, expresada en instrucciones por ciclo?

--

- 3 ☐ Se ejecuta el siguiente programa MIPS64 sobre una microarquitectura segmentada básica cuya única mejora es una unidad no segmentada de multiplicación/división de enteros de 2 ciclos. Las excepciones precisas no están soportadas.

```

1  bne r4, r4, labdst ; branch on registers not equal
2  ori r2, r4, -70
3  labdst:
4  dmul r5, r8, r2
5  ld r8, 8(r7)
6  xori r5, r8, -2

```

a — (1 punto) Enumera las dependencias de datos que existen en el programa, especificando tipo junto con las instrucciones y registros involucrados. **Ejemplo de respuesta:** RAW => daddi, ori : r7 // dsub, xori : r3

RAW =>
WAW =>
WAR =>

b — (1 punto) Indica las duraciones de las detenciones expresadas en ciclos de reloj. Para los tipos RAW, WAW y estructural debe indicarse además la instrucción que se detiene, mientras que para el tipo control la instrucción que la provoca. Si un tipo de detención no aparece, indícalo con N/A. Si hay varias detenciones del mismo tipo deben indicarse todas.

**Ejemplo de respuesta:** RAW: xor 1 ciclo // andi 2 ciclos

RAW:
WAW:
Estructural:
Control:

c — (1 punto) ¿Cuántos ciclos de reloj son necesarios para ejecutar el código anterior? ¿Cuál es el CPI ignorando el transitorio inicial? **Indica la expresión matemática** utilizada para obtener el CPI.

Ciclos:

CPI:

d — (0.5 puntos) Si todas las rutas de reenvío estuviesen implementadas en esta microarquitectura, ¿qué rutas se activarían al ejecutar el programa anterior? **Ejemplo de respuesta:** Salida EX daddi → Entrada EX dmul.

e — (1 punto) Si se implementase renombrado de registros en esta microarquitectura, ¿qué registros arquitectónicos cambiarían de registro físico al final de la ejecución del programa y a qué registro físico estarían asignados? Para el renombrado se dispone de una cola FIFO que originalmente contiene los registros rr32 a rr63 y a los que se van añadiendo los registros disponibles

**Ejemplo de respuesta** para esta pregunta: Registro r7 asignado a rr43.

4 ☐ Una microarquitectura MIPS64 implementa **evaluación clásica de saltos** (en la etapa MEM), predicción de saltos siempre no tomado y **sin rutas de reenvío**. Sobre esta microarquitectura se ejecuta el siguiente código.

```

1      ori  r1, r0, 40  b594
2 loop:
3      beqz r1, endloop ; Branch on Equal Zero b598
4      daddi r1, r1, -4 ; r1 decrement by -4 b59c
5      dsub  r3, r7, r6 b5A0
6      j     loop      ; Jump to loop b5A4
7 endloop:
8      sd    r3, 100(r0) b5A8
9      xor   r3, r3, r3 b5AC

```

a — (1.5 puntos) Rellena **todas las filas** del siguiente cronograma con la evolución de las primeras instrucciones del programa sobre el *pipeline*.

Instrucción \ Ciclo	1	2	3	4	5	6	7	8	9	10	11	12	13	14
ori r1, r0, 40	IF													
beqz r1, endloop														
-														
-														

b — (0.5 puntos) Teniendo en cuenta las dos instrucciones de salto del programa. Para el programa completo, ¿Cuántas veces en total acierta la predicción el predictor siempre no tomado? ¿Y cuántas veces en total falla la predicción?

Núm. aciertos:

Núm. fallos:

c — (0.5 puntos) Si el predictor de saltos siempre no tomado se sustituye por un predictor dinámico de 2 bits con el valor 01 por defecto del historial (*weak not taken*), ¿cuántos ciclos de reloj se detendría el *pipeline* en la ejecución del **programa completo** debido a la instrucción `beqz r1, endloop` y a la instrucción `j loop`?

`beqz r1, endloop:`

`j loop:`

d — (0.5 puntos) Si el programa se ha cargado a partir de la dirección de memoria B594h ¿Cuáles serán los valores de las entradas en la tabla BHT+BTB correspondientes a las instrucciones de salto al finalizar la ejecución del programa?

Dirección

Destino

Historial