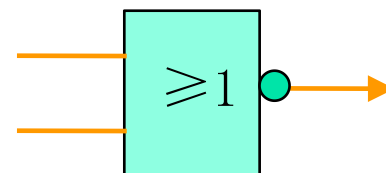
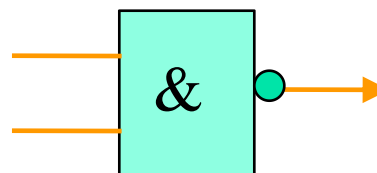
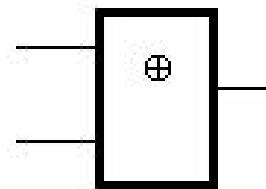
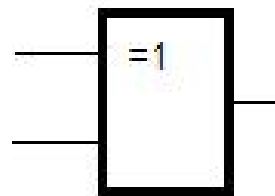


基本逻辑门及译码器

1. 教材中逻辑运算的图形符号表示



“异或”运算





译码器

■ 74LS138译码器

- 各引脚功能
- 输入端与输出端关系（真值表）

■ 主要引脚及功能

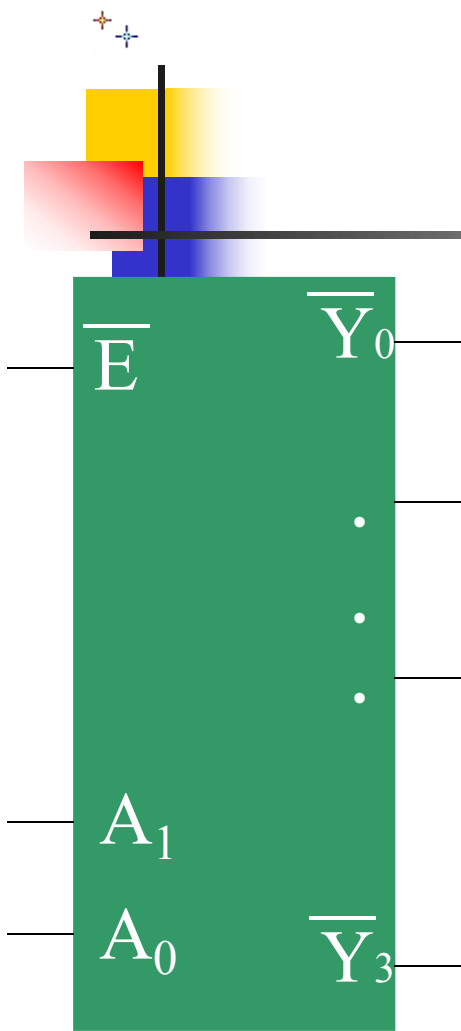
3



74LS139译码器(2-4译码器)



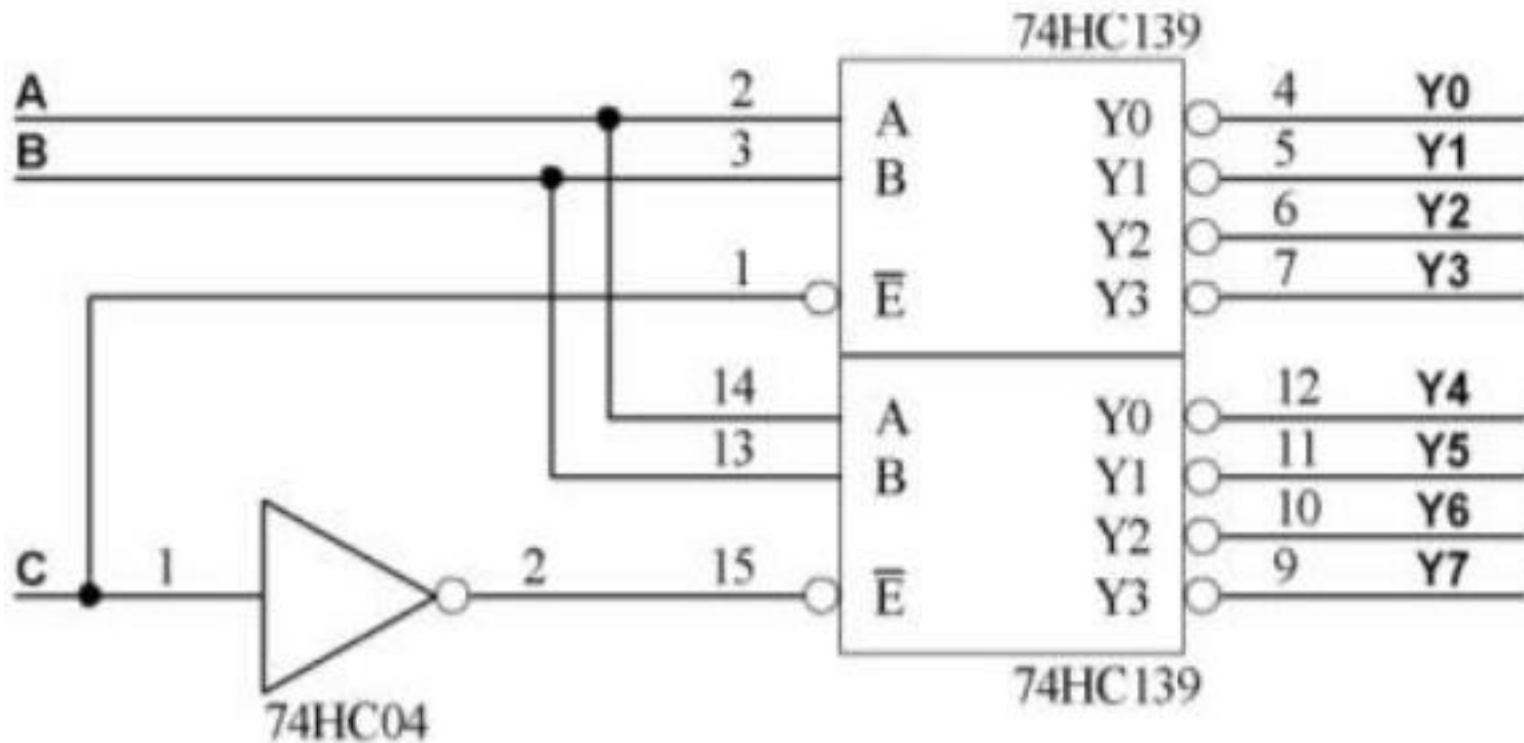
- 1. 2-4译码器有1个使能端、2个输入端、4个输出端。在使能端为有效电平时，对应每一组输入代码，只有一个输出端为有效电平。具体来说，2个输入变量， A_0 ， A_1 共有4种不同状态组合，因而译码器共有4个输出信号 Y_0 - Y_3 ，并且输出为低电平有效，其真值表如下：



使能端		输入端		输出端		
#E	A0	A1	#Y0	#Y1	#Y2	
1	X	X	1	1	1	
0	0	0	0	1	1	
0	0	1	1	0	1	
0	1	0	1	1	0	
0	1	1	1	1	1	

74LS139译码器(2-4译码器)

- 双2-4译码器如何转换为3-8译码器:



地址译码方式

1. **全地址译码**方式：就是构成存储器时要使用全部地址总线信号，即所有的高位地址信号都用来作为译码器的输入，低位地址信号接存储芯片的地址输入线，从而使存储器芯片上的每一个单元在整个内存空间中具有唯一的地址。
2. **部分地址译码**方式：就是仅把地址总线的一部分地址信号线与存储器连接，通常是用高位地址信号的一部分（而不是全部）作为片选译码信号；低位地址信号接存储芯片的地址输入线。

全地址译码、部分地址译码特点

- 1. **部分地址译码**使地址出现重叠区，而重叠区的部分必须空着不准使用，这就破坏了地址空间的连续性，也在实际上减少了总的可用存储地址空间。其优点是其译码器的构成比较简单，成本较低。
- 2. **全地址译码**使存储器芯片上的每一个单元在整个内存空间中具有唯一的地址。
- 3. 在实际应用中，采用全地址译码还是部分地址译码应根据具体情况来定。如果地址资源很富余，为使电路简单可考虑用部分地址译码；如果要充分利用地址空间，则应采用全地址译码。

例1：用 $2K \times 4b$ 的芯片（若干片）构成一个8KB的存储器，其地址范围在78000H~79FFFH之间。地址总线为 $A_0 \sim A_{19}$ ，数据总线为 $D_0 \sim D_7$ ，对芯片读写采用R/W及 \overline{IOE} 控制，且片选信号要求采用74LS138译码器输出。

- （1）需要 $2K \times 4b$ 的芯片多少片构成8KB的存储？
- （2）芯片地址如何分配？74LS138译码器如何设置？
- （3）画出存储器逻辑电路图。

解：（1）需要 $2K \times 4b$ 的芯片8片，2片 $2K \times 4b$ 的芯片组成一组2KB的芯片，共4组；

（2）芯片地址的分配：2KB： $A_0 \sim A_{10}$ ；

74LS138译码器设置：由于地址范围在78000H~79FFFH之间，即为8K，也就是4组存储芯片都具有唯一的地址范围，因此，须采用全译码方式；

即剩余的地址线： $A_{19} \sim A_{11}$ 中的全部线选做为74LS138译码器的输入端、使能端 $A_{19} \sim A_{11}$ 是这样分配的

输入端:ABC分别接入 $A_{11}A_{12}A_{13}$,且 $A_{13}=0$ （恒定，四组芯片仅需两条地址线选择）

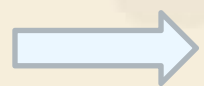
使能端: $G_1:1$ (恒定), 连接: $/MEMR, /MEMW$ (不能同时为0)

$/G_{2A}:A_{19} A_{14}=00$

$/G_{2B}:A_{18} A_{17}A_{16} A_{15}=1111$

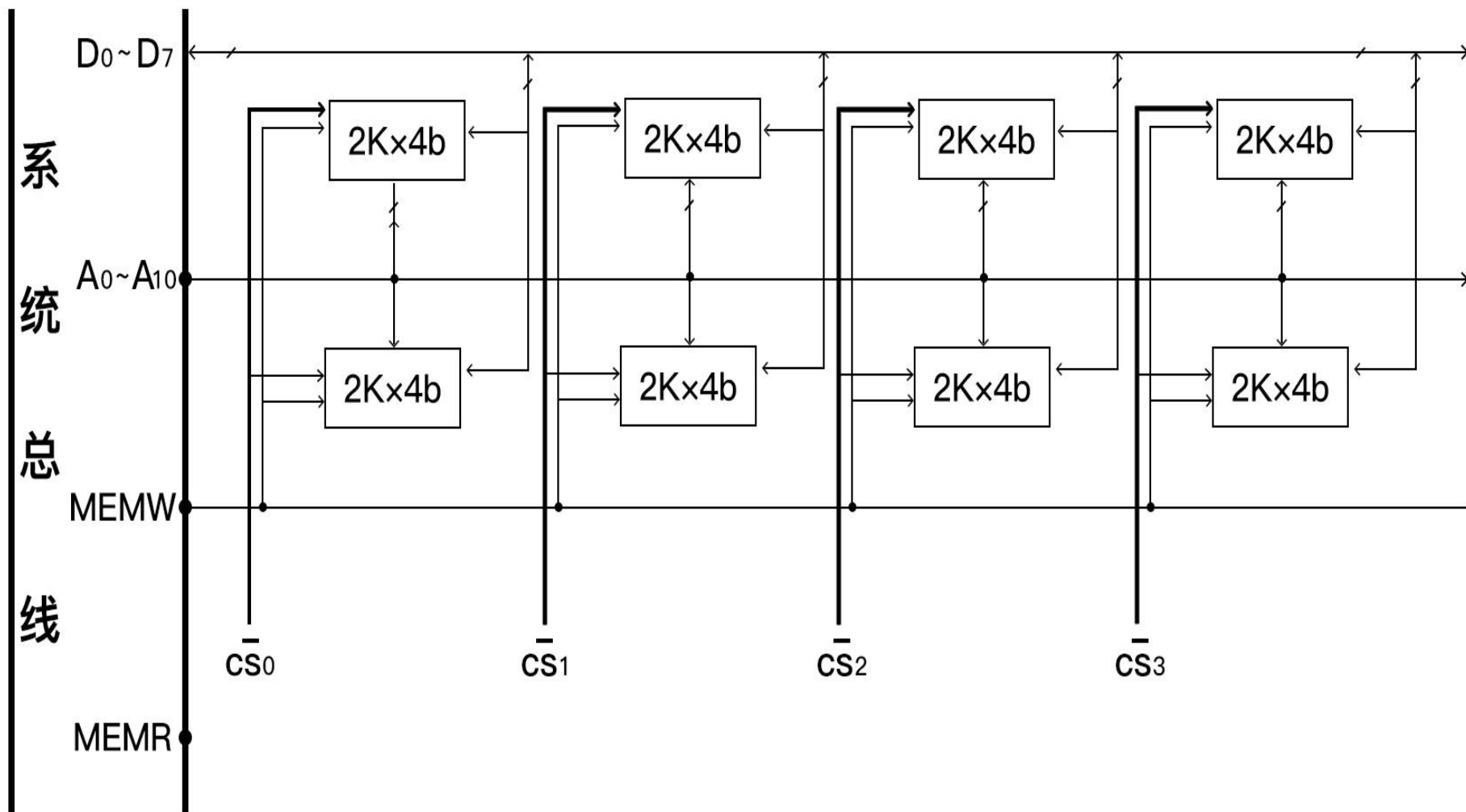
/G2A: $A_{19}A_{14}=00$, /G2B: $A_{18}A_{17}A_{16}A_{15}=1111$, $A_{11}A_{12}A_{13}=000$ —
 011, 片内单元选择 A_0 — A_{10} : $00\cdots 0$ — $FF\cdots F$

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0
0	1	1	1	1	0	0	0	0	0	0	0
0	1	1	1	1	0	0	0	0	0	0	1
.
0	1	1	1	1	0	0	1	1	1	1	0
0	1	1	1	1	0	0	1	1	1	1	1

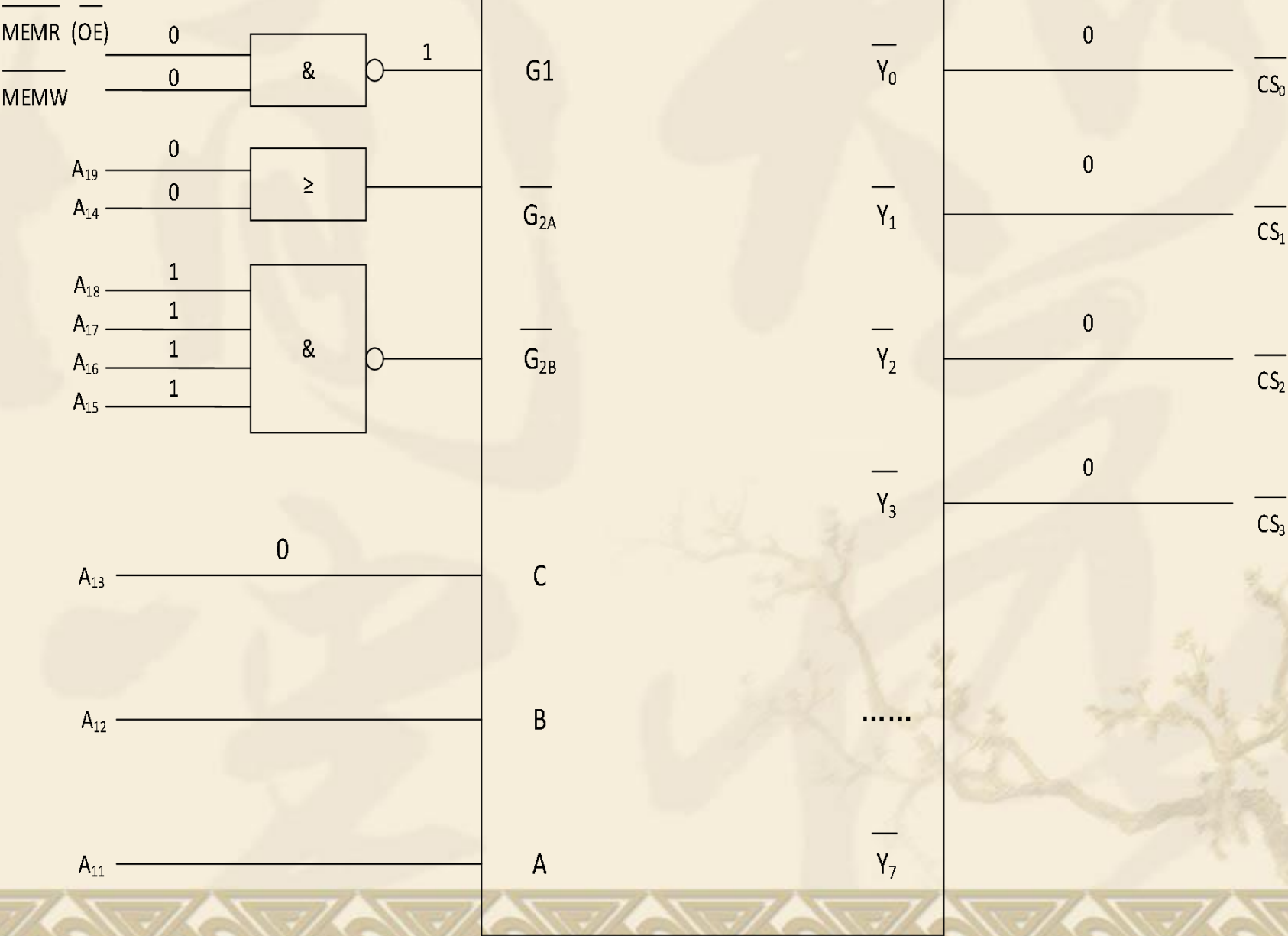


范围为78000H~79FFF: 8K

(3) 画出存储器逻辑电路图



译码器



例2：用 $2K \times 4b$ 的芯片（若干片）构成一个8KB的存储器。地址总线为 $A_0 \sim A_{19}$ ，数据总线为 $D_0 \sim D_7$ ，对芯片读写采用R/W及 /OE控制，且片选信号要求采用74LS138译码器输出。

- （1）需要 $2K \times 4b$ 的芯片多少片构成8KB的存储？
- （2）芯片地址如何分配？74LS138译码器如何设置？
- （3）画出存储器逻辑电路图。

解：(1)需要 $2K \times 4b$ 的芯片8片，2片 $2K \times 4b$ 的芯片组成一组2KB的芯片，共4组；

(2)芯片内地址的分配: $2KB: A_0 \sim A_{10}$;

74LS138译码器设置: 由于8K的地址范围在0000H~1FFFH之间（仅需要13条地址线寻址，而本题地址线是20位,可寻址范围为1M），也就是4组2KB存储芯片不具有唯一的地址范围，因此，须采用部分译码方式；

即剩余的地址线： $A_{19} \sim A_{11}$ 中的部分线可选做为74LS138译码器的输入端、使能端，可采用的方法很多，其中，我们任选一种，如下：输入端、使能端的 $A_{19} \sim A_{11}$ (A_{18} 、 A_{15} 除外)是这样分配的

输入端：ABC分别接入 $A_{11}A_{12}A_{13}$ ，且 $A_{13}=0$ （恒定，四组芯片仅需两条地址线选择）

使能端： $G_1:1$ （恒定），连接： $/MEMR, /MEMW$ （不能同时为0）

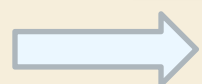
$/G_{2A}: A_{19} A_{17}=00$

$/G_{2B}: A_{16} A_{14}=11$

剩下的高位地址线 $A_{18} A_{15}$ 取值可为：00、01、10、11四种情况

(a) 若 $A_{18}A_{15}=00$, 而 $/G_{2A}=A_{19}A_{17}=00$, $/G_{2B}=A_{16}A_{14}=11$,
 $A_{11}A_{12}A_{13}=000—011$, 片内单元选择 $A_0—A_{10}:00\cdots 0—FF\cdots F$

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0
0	0	0	1	0	1	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	1
.
0	0	0	1	0	1	0	1	1	1	1	0
0	0	0	1	0	1	0	1	1	1	1	1



范围为14000H—15FFFH: 8K

(b) 若 $A_{18}A_{15}=01$, 而 $/G_{2A}=A_{19}A_{17}=00$, $/G_{2B}=A_{16}A_{14}=11$,
 $A_{11}A_{12}A_{13}=000—011$, 片内单元选择 $A_0—A_{10}:00\cdots 0—FF\cdots F$

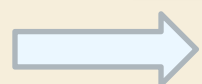
A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0
0	0	0	1	1	1	0	0	0	0	0	0
0	0	0	1	1	1	0	0	0	0	0	1
.
0	0	0	1	1	1	0	1	1	1	1	0
0	0	0	1	1	1	0	1	1	1	1	1



范围为1C000H—1DFFFH: 8K

(c) 若 $A_{18}A_{15}=10$, 而 $/G_{2A}=A_{19}A_{17}=00$, $/G_{2B}=A_{16}A_{14}=11$,
 $A_{11}A_{12}A_{13}=000—011$, 片内单元选择 $A_0—A_{10}:00\cdots 0—FF\cdots F$

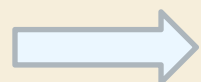
A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0
0	1	0	1	0	1	0	0	0	0	0	0
0	1	0	1	0	1	0	0	0	0	0	1
.
0	1	0	1	0	1	0	1	1	1	1	0
0	1	0	1	0	1	0	1	1	1	1	1



范围为54000H—55FFFH: 8K

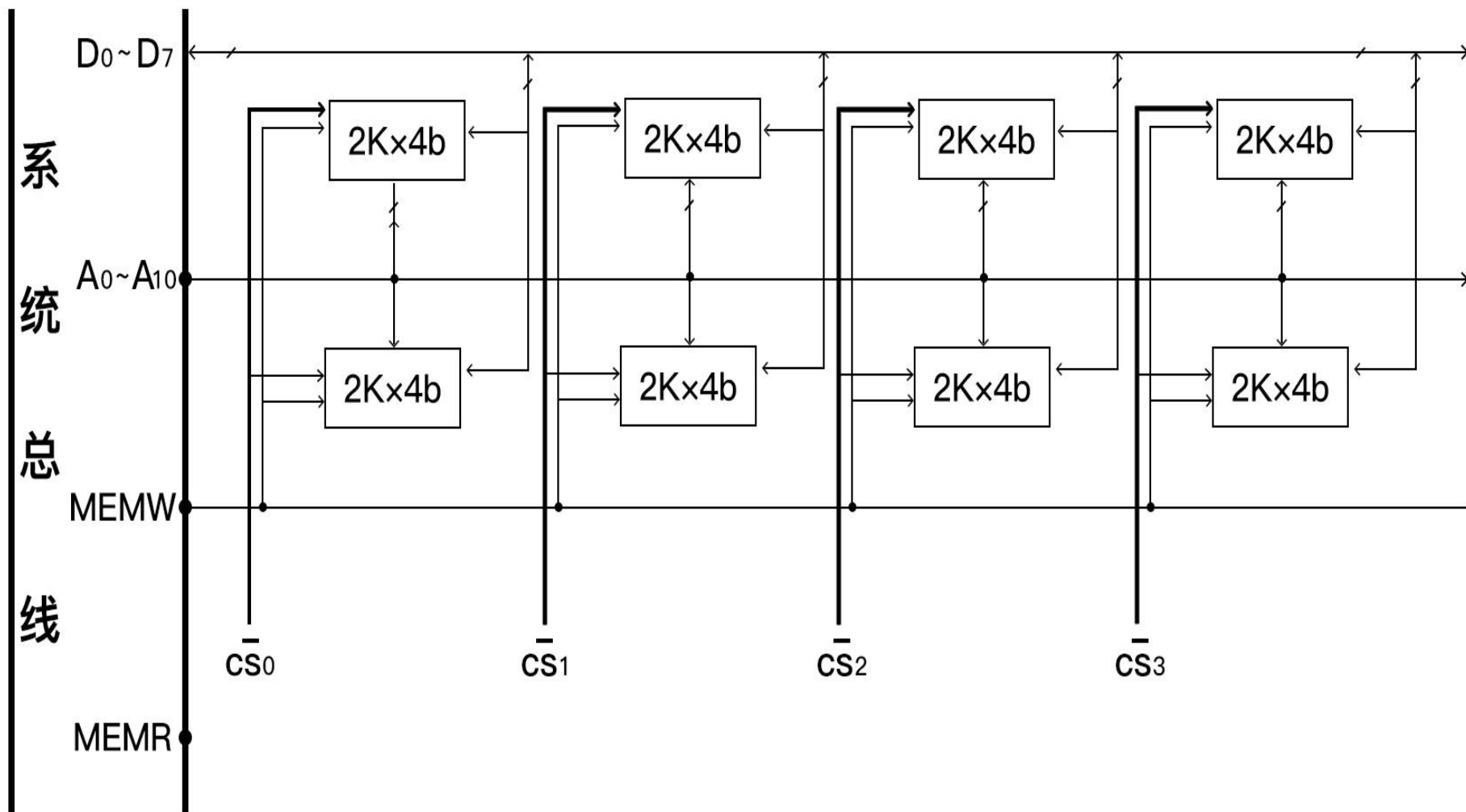
(d) 若 $A_{18}A_{15}=11$, 而 $/G_{2A}=A_{19}A_{17}=00$, $/G_{2B}=A_{16}A_{14}=11$,
 $A_{11}A_{12}A_{13}=000—011$, 片内单元选择 $A_0—A_{10}:00\cdots0—FF\cdots F$

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0
0	1	0	1	1	1	0	0	0	0	0	0
0	1	0	1	1	1	0	0	0	0	0	1
.
0	1	0	1	1	1	0	1	1	1	1	0
0	1	0	1	1	1	0	1	1	1	1	1

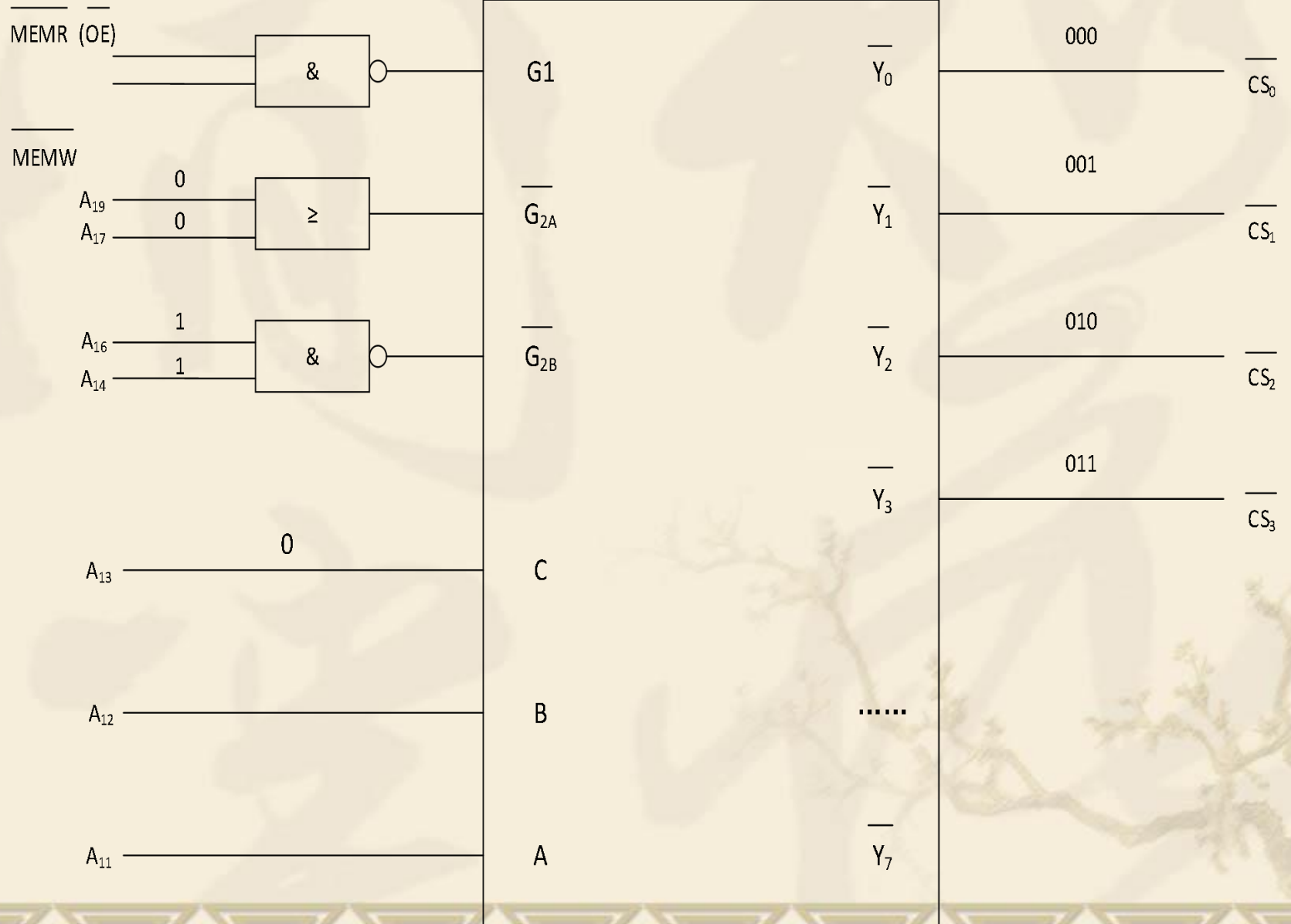


范围为5C000H—5DFFFH: 8K

(3) 画出存储器逻辑电路图



译码器



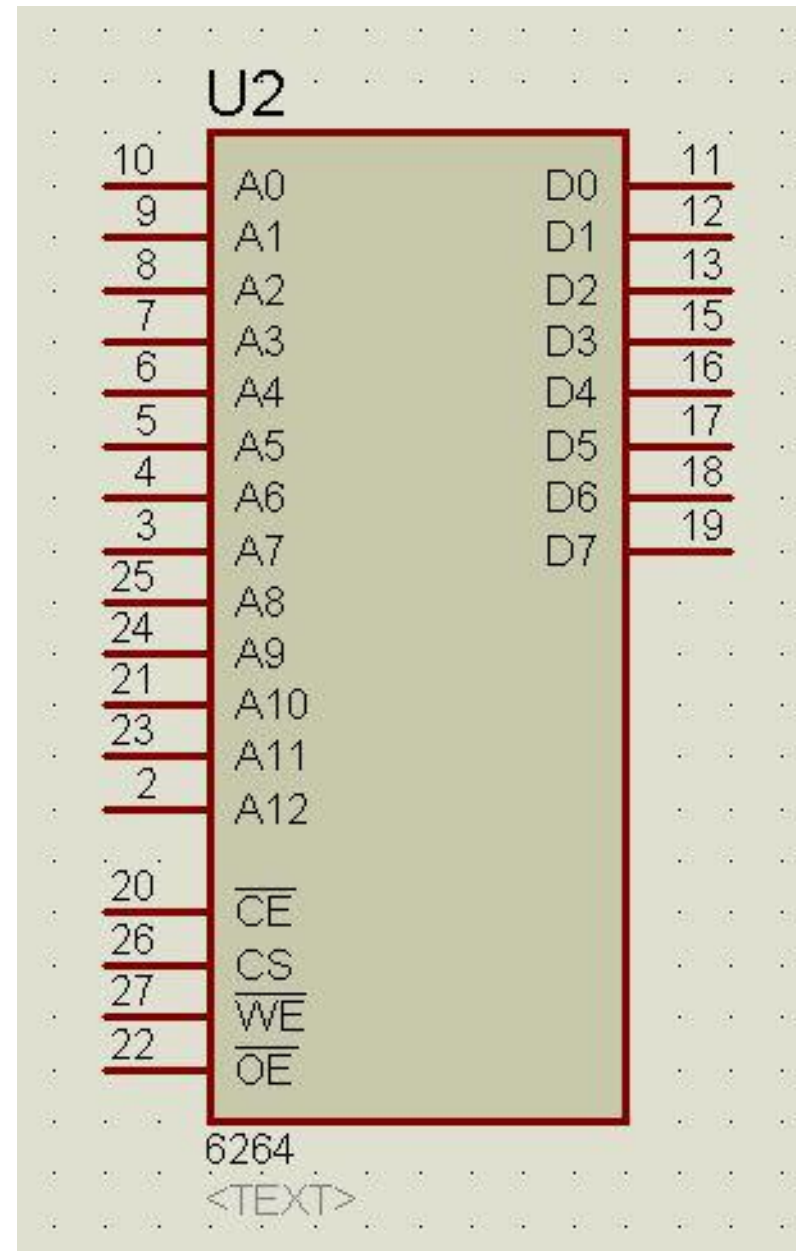
SRAM芯片6264 (intel)

6264是8K*8位静态随机存储器芯片,采用CMOS工艺制造,单一+5V供电,额定功耗200mW,典型存取时间200ns,28线双列直插式封装.

各引脚含义如下:

1. A_0 - A_{12} 为地址线;
2. D_0 - D_7 为数据线;
3. \overline{CE} 、 CS 是片选线;
4. \overline{OE} 是读允许线; \overline{WE} 是写允许线.
5. 其它引线: V_{CC} 为+5V电源, GND 是接地端, NC 表示空端。

2764是8K*8字节的紫外线擦除、电可编程只读存储器, 单一+5V供电, 工作电流为75mA, 维持电流为35mA, 读出时间最大为250nS, 28脚双列直插式



6264功能表

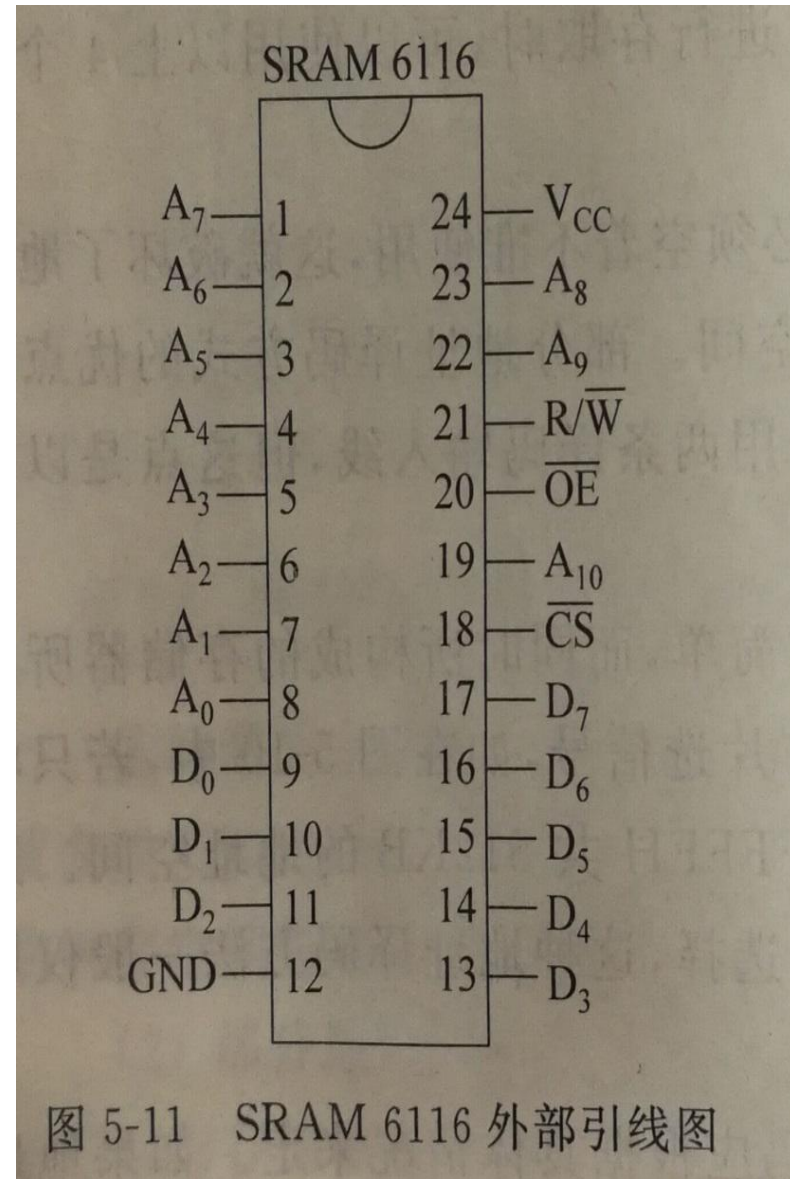
使能端		输入端		输出端
/CE	CS	/OE	/WE	D0~D7
0	1	X	0	写入
0	1	0	1	读出
0	0	X	X	三态（高阻）
1	1	X	X	
1	0	X	X	

SRAM芯片6116 (intel)

6116是**2K*8**位静态随机存储器芯片,采用**CMOS**工艺制造,单一**+5V**供电,额定功耗**200mW**,典型存取时间**200ns**,**24**线双列直插式封装.

各引脚含义如下:

1. **A0-A10**为地址线;
 2. **D0-D7**为数据线;
 3. **/CS**是片选线;
 4. **/OE**是读允许线;**R/W**是读写允许线;
 5. 其它引线: **Vcc**为**+5V**电源, **GND**是接地端。
- 2764**是**8K*8**字节的紫外线擦除、电可编程只读存储器, 单一**+5V**供电, 工作电流为**75mA**, 维持电流为**35mA**, 读出时间最大为**250nS**, **28**脚双列直插式。



一. 全地址译码方式：利用基本逻辑门电路构成或利用138译码器实现

- ❖ 例1：一片SRAM6264芯片与8086 /8088系统(地址总线为 $A_0—A_{19}$)的连接图：
- ❖ 1)要求6264芯片的地址范围为3E000H—3FFFFH（低13位可以是全为0到全为1之间的任何一个值）。
- ❖ 2)要求6264芯片的地址范围为C0000H—C1FFFH。

二、部分地址译码方式:

- ❖ 例题2: 一片SRAM6264芯片与8086 /8088系统 (地址总线为 $A_0—A_{19}$)的连接图: 其地址范围为哪些? (要求地址译码信号线使用 A_{19} 、 A_{17} 、 A_{15} 、 A_{14} 、 A_{13})

三、全地址译码/部分地址译码方式

例题3：用SRAM6116芯片构成范围在78000H—78FFFH之间的一个4KB的存储器。

SRAM6116芯片是 $2K \times 8b$ 的存储芯片，其外部引线如上图所示。具有11根地址线（A0—A10），8根数据线（D0—D7），读写控制信号线R/W（当R/W =0时写入，R/W =1时读出），输出允许信号/OE及片选信号/CS。

例题1:

实现内存地址范围的译码电路。

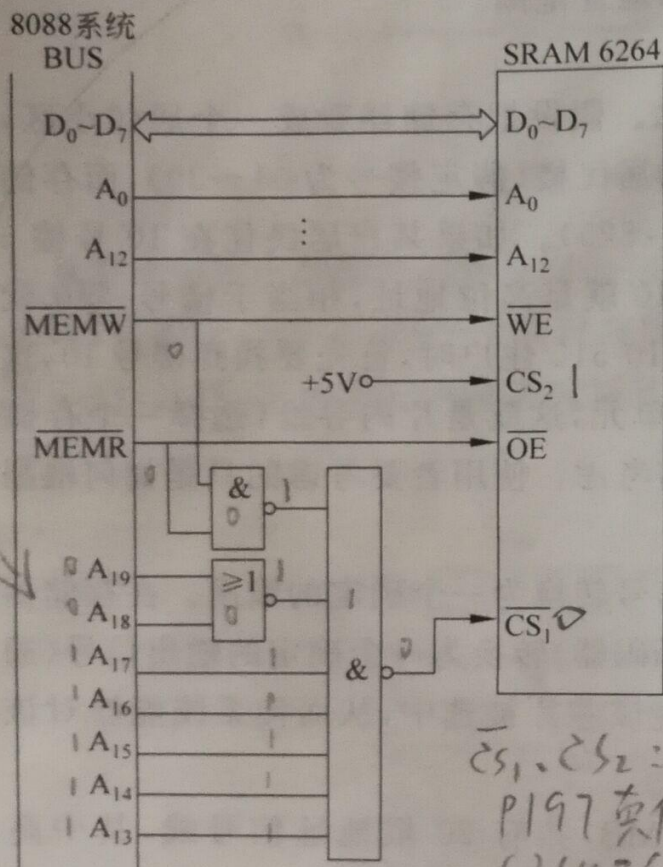


图 5-7 SRAM 6264 的全地址译码连接图

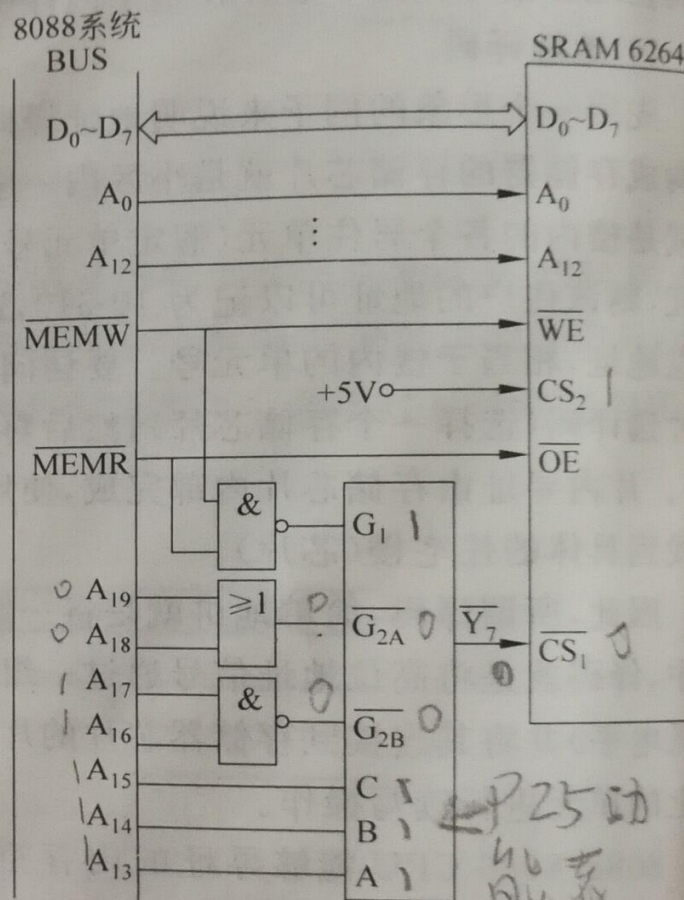


图 5-8 利用 138 译码器实现全地址译码连接

例题2:

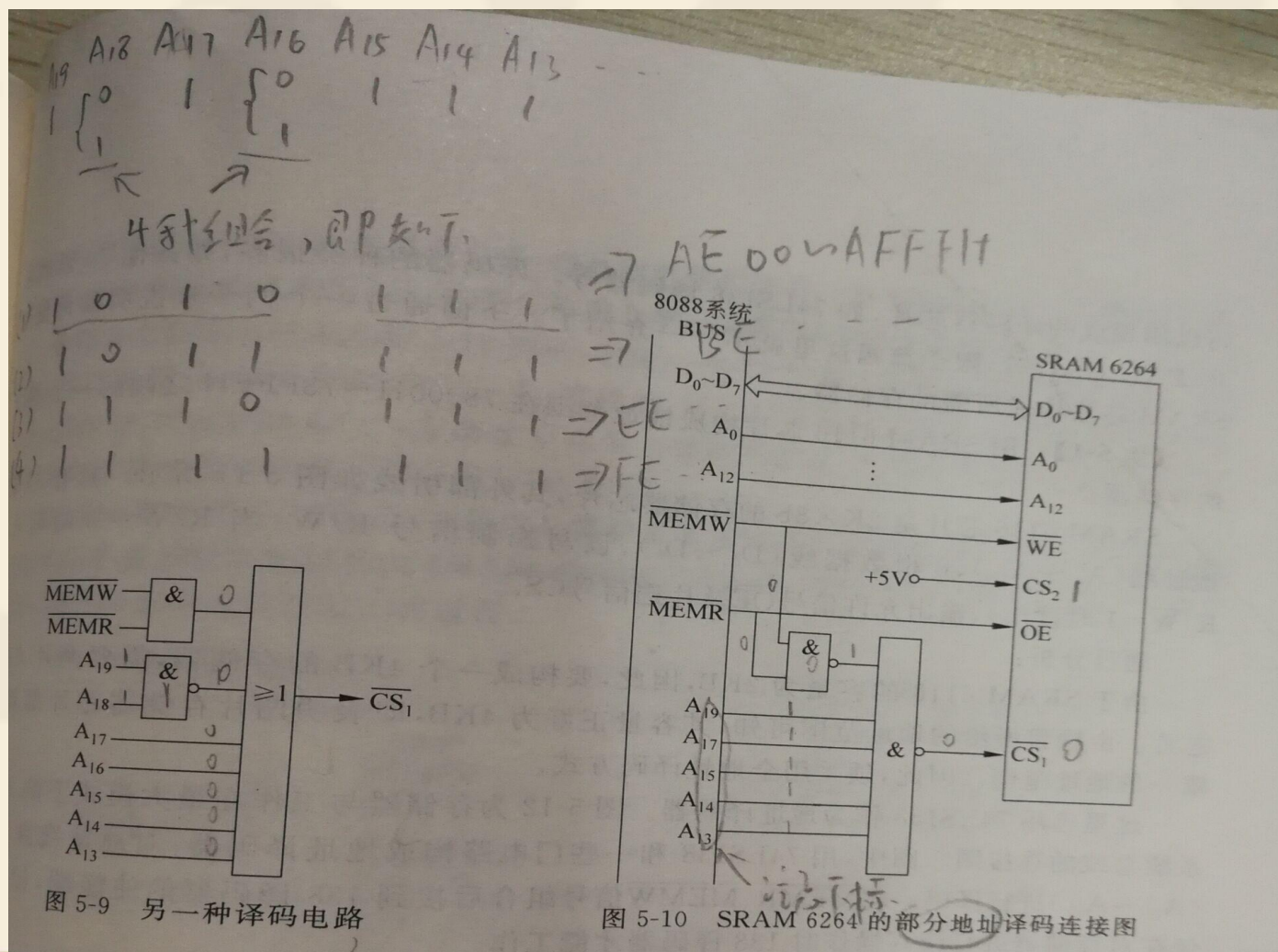


图 5-9 另一种译码电路

图 5-10 SRAM 6264 的部分地址译码连接图

例题3:

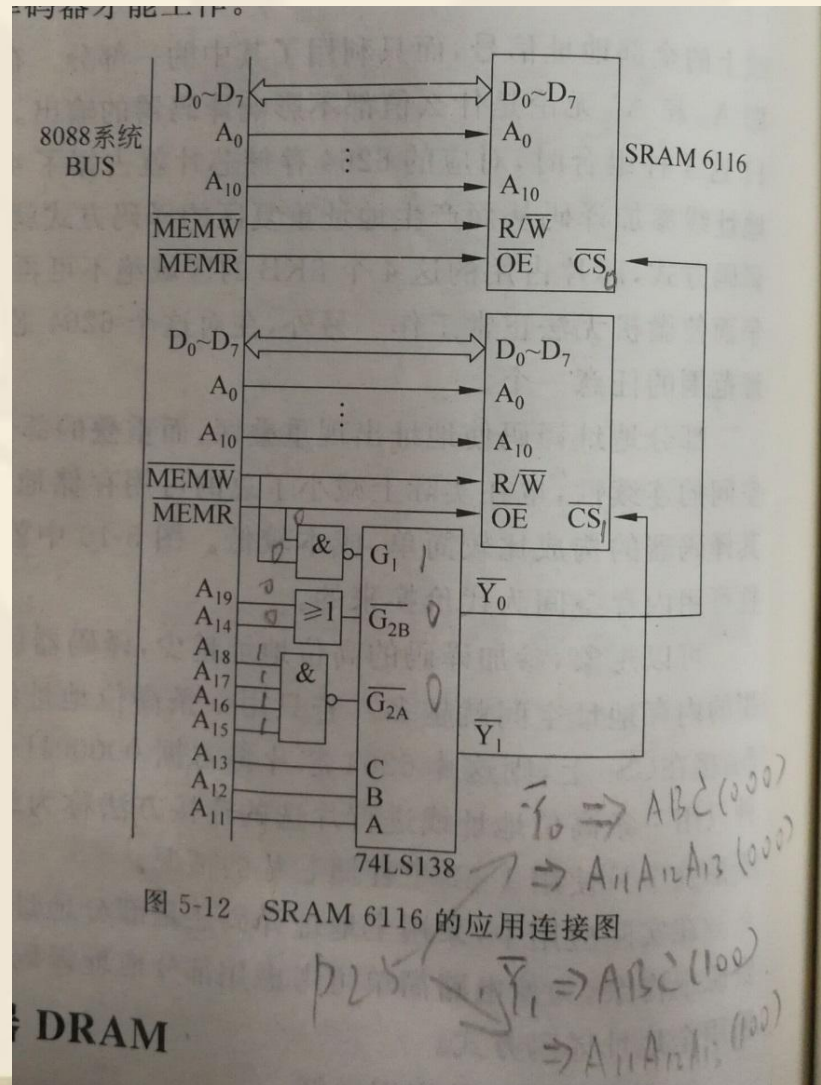


图 5-12 SRAM 6116 的应用连接图