

电子科技大学信息与软件工程学院

实 验 报 告

学 号 2018091618008
姓 名 袁昊男
(实验) 课程名称 数字逻辑设计
理论教师 詹瑾瑜
实验教师 詹瑾瑜

电子科技大学教务处制表

电子科技大学

实验报告

学生姓名：袁昊男 学号：2018091618008 指导教师：詹瑾瑜

实验地点：基础实验大楼 A527 实验时间：2019.04.27

一、实验名称：基本门电路的功能和特性及组合逻辑电路实验

二、实验学时：4 学时

三、实验目的：

- 1、掌握常用集成门电路的逻辑功能与特性；
- 2、掌握各种门电路的逻辑符号；
- 3、了解集成电路的外引线排列及其使用方法；
- 4、学习组合逻辑电路的设计及测试方法；
- 5、学习全加器或全减器的设计方法。

四、实验原理：

1、组合逻辑电路分析方法：

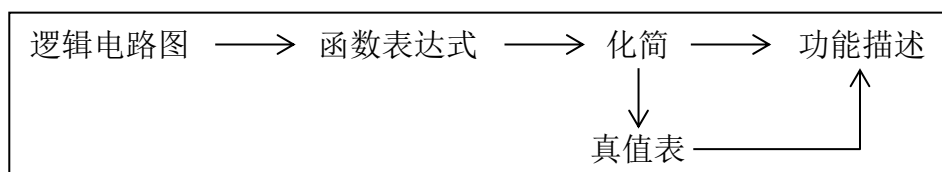


图 4.1.1 组合逻辑电路分析方法

2、组合逻辑电路设计方法：

- (1) 逻辑抽象：分析事件的因果关系，确定输入变量和输出变量；
- (2) 逻辑赋值：定义逻辑状态的含义，即以“0”、“1”分别表示输入和输出的不同状态；
- (3) 根据因果系列出真值表；
- (4) 化简或变换后，得到逻辑函数表达式；
- (5) 画出逻辑电路图。

3、集成器件 74LS04（非）、74LS00（与非）、74LS86（异或）原理：

(1) 74LS04 非门：

在逻辑问题中，某个事件的成立取决于对条件的否定，这样的逻辑关系称为非逻辑。在逻辑代数中，非逻辑关系用非运算来描述，非逻辑又称逻辑反，其运算符号为“ \neg ”。非运算的运算法则为： $\bar{0}=1$ ， $\bar{1}=0$ 。在数字系统与电路中，实现非运算的逻辑电路称为“非门”，其表达式为 $F=\bar{A}$ ，其逻辑符号如图 4.3.1 所示，其真值表如表 4.3.1 所示；74LS04 非门芯片引脚图如图 4.3.2 所示。

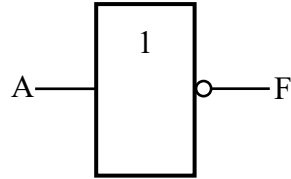


图 4.3.1 非门逻辑符号

表 4.3.1 非运算真值表

A	F
0	1
1	0

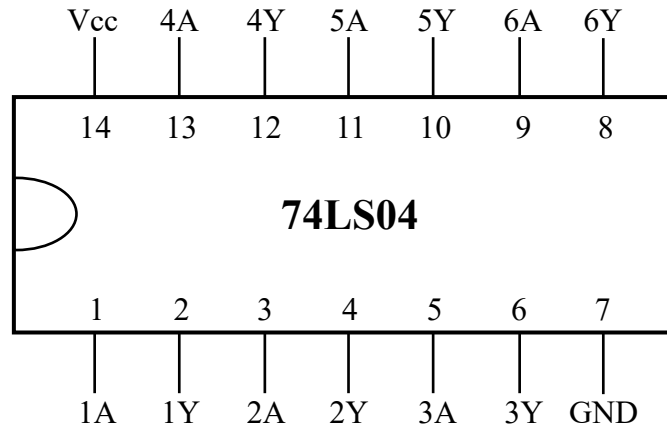


图 4.3.2 74LS04 非门芯片引脚图

(2) 74LS00 与非门：

与逻辑和非逻辑的复合逻辑称为与非逻辑，它可以看成与逻辑后面加了一个非逻辑，实现与非逻辑的电路称为与非门，其表达式为 $F=\overline{A \cdot B} = \overline{AB}$ ，其逻辑符号如图 4.3.3 所示，其真值表如表 4.3.2 所示；74LS00 与非门芯片引脚图如图 4.3.4 所示。

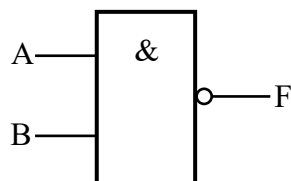


图 4.3.3 与非门逻辑符号

表 4.3.2 与非运算真值表

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

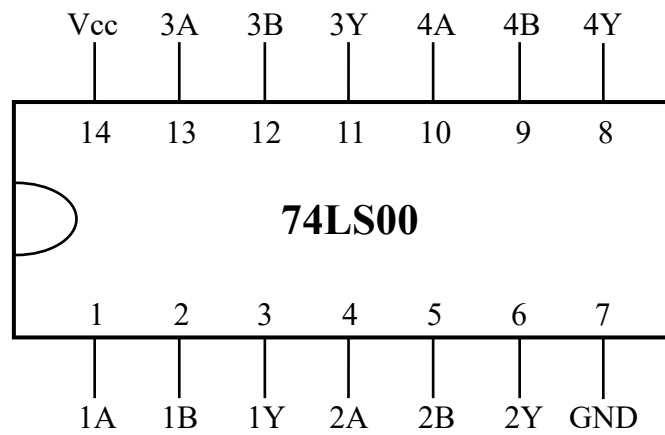


图 4.3.4 74LS00 与非门芯片引脚图

(3) 74LS86 异或门：

异或逻辑是指当两个输入逻辑变量取值不同时输出为 1，相同时输出为 0。实现异或逻辑的电路称为异或门，其表达式为 $F = A \oplus B = \overline{A}B + A\overline{B}$ ，其逻辑符号如图 4.3.5 所示，其真值表如表 4.3.3 所示；74LS86 异或门芯片引脚图如图 4.3.6 所示。

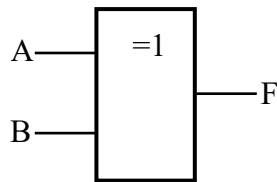


图 4.3.5 异或门逻辑符号

表 4.3.3 异或运算真值表

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

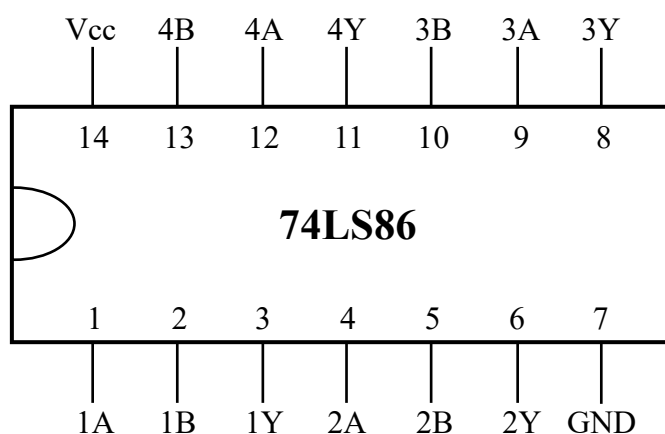


图 4.3.6 74LS86 异或门芯片引脚图

4、全加器设计原理：

数字系统的基本任务之一是进行算数逻辑运算，而在系统中加、减、乘、除均是利用加法进行的，所以加法器便成为数字系统中最基本的运算单元。在实际的加法运算中，除了最低位外，其他各位都需要考虑低位向本位的进位。这种能够对两个一位二进制数相加并考虑低位来的进位的加法运算称为全加。实现全加运算的电路称为全加器。一位全加器的逻辑符号如图 4.4.1 所示。以下说明一位全加器的设计原理：

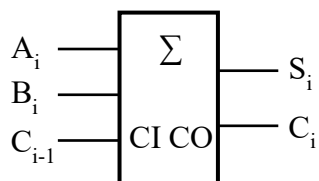


图 4.4.1 一位全加器逻辑符号

两个一位二进制数全加器真值表如表 4.4.1 所示。表中 A_i 和 B_i 分别表示两个加数， C_{i-1} 表示来自相邻低位的进位， S_i 为本位和输出， C_i 为向相邻高位的进位输出。

表 4.4.1 一位全加器的真值表

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0

1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

由真值表画出卡诺图如图 4.4.2 所示：

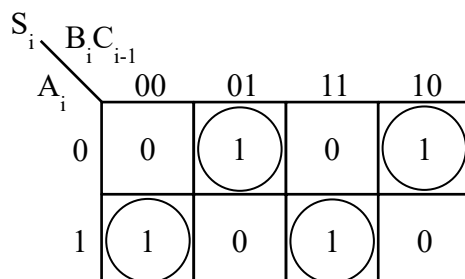


图 4.4.2(a) 全加器卡诺图

$$\begin{aligned}
 S_i &= \overline{A_i} \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \overline{C_{i-1}} + A_i B_i C_{i-1} \\
 &= \overline{A_i} (B_i \oplus C_{i-1}) + A_i (\overline{B_i} \oplus \overline{C_{i-1}}) \\
 &= A_i \oplus B_i \oplus C_{i-1}
 \end{aligned}$$

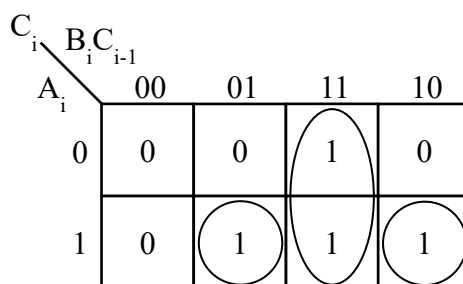


图 4.4.2(b) 全加器卡诺图

$$\begin{aligned}
 C_i &= A_i \overline{B_i} C_{i-1} + A_i B_i \overline{C_{i-1}} + B_i C_{i-1} \\
 &= A_i (B_i \oplus C_{i-1}) + B_i C_{i-1} \\
 &= \overline{\overline{A_i (B_i \oplus C_{i-1})} + \overline{B_i C_{i-1}}} \\
 &= \overline{A_i (B_i \oplus C_{i-1})} \cdot \overline{B_i C_{i-1}}
 \end{aligned}$$

由逻辑函数表达式画出一位全加器的逻辑电路图如图 4.4.3 所示：

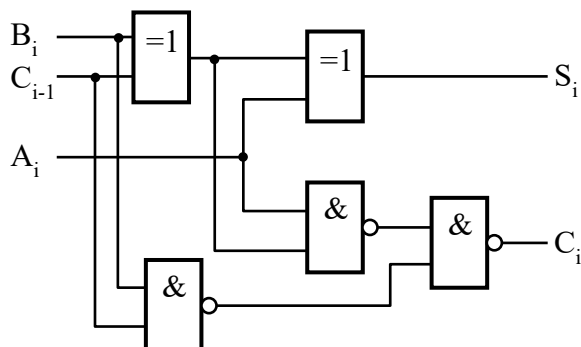


图 4.4.3 一位全加器的逻辑电路图

5、用二输入与非门实现三输入与非门设计原理：

本实验提供的实验器材为 74LS00，是一个二输入与非门。接下来说明仅使用 74LS00 与非门实现三输入与非门的设计原理：

目的逻辑表达式为 $F = \overline{ABC}$ ，运用逻辑代数的基本定律对其进行恒等变形为 $F = \overline{A \cdot (BC + BC)} = \overline{A \cdot \overline{BC} + BC} = \overline{A \cdot \overline{BC}} \cdot \overline{BC} = \overline{A \cdot \overline{BC}} \cdot \overline{BC}$ 。通过逻辑表达式我们可以看出，使用 3 个二输入 74LS00 与非门就可以实现三输入与非门的功能要求。真值表如表 4.5.1 所示：

表 4.5.1 三输入与非门的真值表

A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

逻辑电路图如下图 4.5.1 所示：

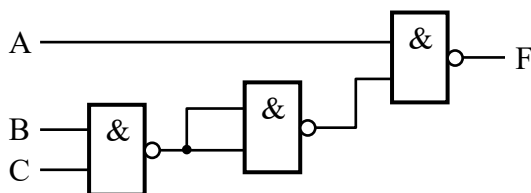


图 4.5.1 三输入与非门的逻辑电路图

6、用二输入与非门实现四输入与非门设计原理：

本实验提供的实验器材为 74LS00，是一个二输入与非门。接下来说明仅使用 74LS00 与非门实现四输入与非门的设计原理：

目的逻辑表达式为 $F = \overline{ABCD}$ ，运用逻辑代数的基本定律对其进行恒等变形为：

$$F = \overline{(AB + AB)(CD + CD)} = \overline{AB + AB + CD + CD} = \overline{AB} \cdot \overline{AB} \cdot \overline{CD} \cdot \overline{CD} \\ = \overline{AB \cdot AB + CD \cdot CD} = \overline{AB \cdot AB \cdot CD \cdot CD}$$

通过逻辑表达式我们可以看出，使用 5 个二输入 74LS00 与非门就可以实现四输入与非门的功能要求。真值表如表 4.6.1 所示：

表 4.6.1 四输入与非门的真值表

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

逻辑电路图如下图 4.6.1 所示：

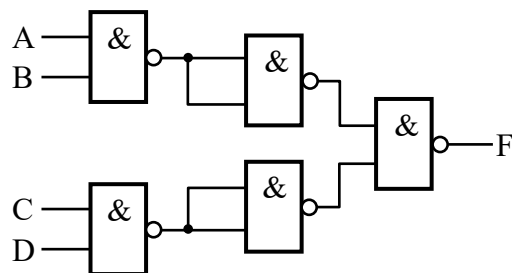


图 4.6.1 四输入与非门的逻辑电路图

7、二位二进制加法器设计原理：

实现多位二进制相加的电路称为加法器。根据进位方式不同，加法器分为串行加法器和超前进位加法器。下面应用串行加法器实现二位二进制数的加法。

将 2 个全加器依次级联起来，就构成了二位二进制加法器，如图 4.7.1 所示（两位二进制加数分别为 A_0B_0 和 A_1B_1 ，第一位结果为 S_0 ，第二位结果为 S_1 ，最高位进位为 C_1 ）。从图中可以看出，两位加数是同时加到各位的输入端，而各位全加器的进位输入则是按照由低向高逐级串行传送的，各进位形成一个进位链。

由于每一位相加的和都与本位的进位输入有关，所以，最高位必须等到各低位全部完成相加并送来进位信号后才能产生运算结果。

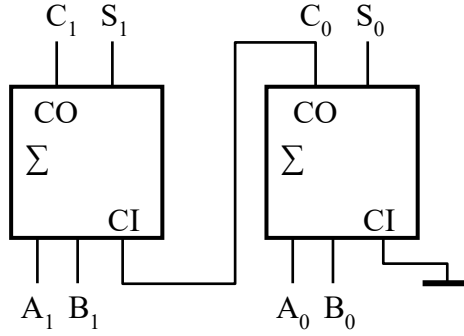


图 4.7.1 二位串行进位加法器

由全加器的输出逻辑表达式： $S_i = A_i \oplus B_i \oplus C_{i-1}$ 、 $C_i = \overline{A_i(B_i \oplus C_{i-1})} \cdot \overline{B_i C_{i-1}}$ 可以得到二位串行加法器各输出的逻辑表达式：

$$S_0 = A_0 \oplus B_0 \oplus 0 = A_0 \oplus B_0$$

$$C_0 = \overline{A_0(B_0 \oplus 0)} \cdot \overline{B_0 \cdot 0} = A_0 B_0$$

$$S_1 = A_1 \oplus B_1 \oplus C_0 = A_1 \oplus B_1 \oplus A_0 B_0$$

$$C_1 = \overline{A_1(B_1 \oplus C_0)} \cdot \overline{B_1 C_0} = \overline{A_1(B_1 \oplus A_0 B_0)} \cdot \overline{B_1 A_0 B_0}$$

二位串行进位加法器的逻辑电路图如下图 4.7.2 所示（其中 C_{-1} 恒置为“0”表示最低位无进位）：

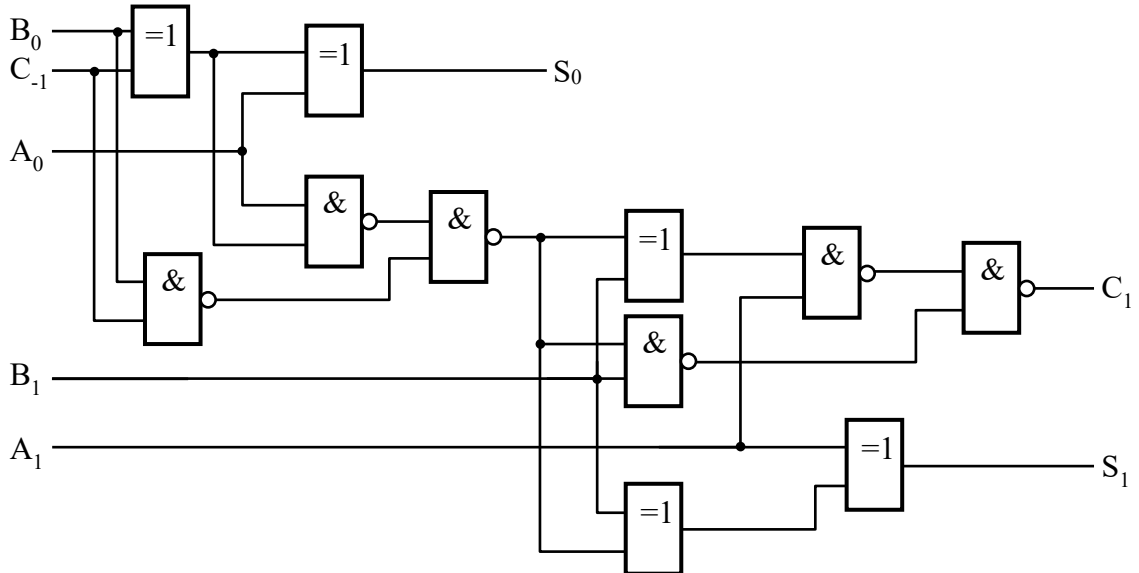


图 4.7.2 二位串行进位加法器的逻辑电路图

8、可控全加/全减器设计原理：

首先进行逻辑抽象：输入信号中设 X 为控制信号， $X=0$ 时实现全减器功能， $X=1$ 时实现全加器功能； A_i ， B_i 为本位的运算数； C_i 为来自低位的进位/借位。

输出信号中设 S_i 为本位的结果； C_{i+1} 为向高位的进位/借位。根据所要求的逻辑功能列出真值表如表 4.8.1 所示：

表 4.8.1 可控全加/全减器真值表

X	A_i	B_i	C_i	S_i	C_{i+1}	X	A_i	B_i	C_i	S_i	C_{i+1}
0	0	0	0	0	0	1	0	0	0	0	0
0	0	0	1	1	1	1	0	0	1	1	0
0	0	1	0	1	1	1	0	1	0	1	0
0	0	1	1	0	1	1	0	1	1	0	1
0	1	0	0	1	0	1	1	0	0	1	0
0	1	0	1	0	0	1	1	0	1	0	1
0	1	1	0	0	0	1	1	1	0	0	1
0	1	1	1	1	1	1	1	1	1	1	1

由真值表画出卡诺图如图 4.8.1 所示：

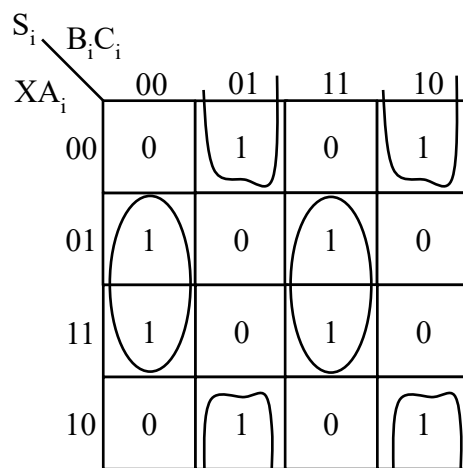


图 4.8.1(a) 可控全加/全减器卡诺图

$$\begin{aligned}
 S_i &= \overline{A_i} \overline{B_i} C_i + \overline{A_i} B_i \overline{C_i} + A_i \overline{B_i} \overline{C_i} + A_i B_i C_i \\
 &= \overline{A_i} (B_i \oplus C_i) + A_i (\overline{B_i \oplus C_i}) = A_i \oplus B_i \oplus C_i
 \end{aligned}$$

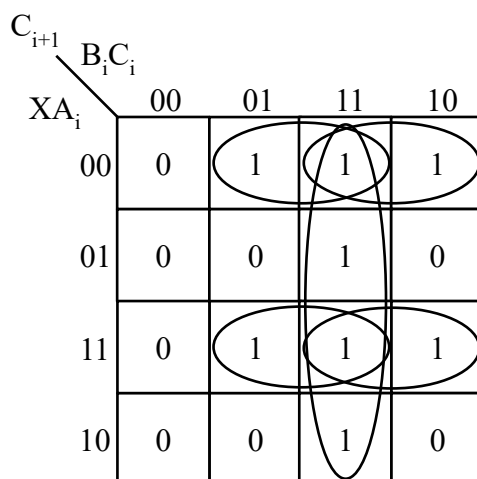


图 4.8.1(b) 可控全加/全减器卡诺图

$$\begin{aligned}
C_{i+1} &= B_i C_i + \overline{X} \overline{A_i} C_i + \overline{X} \overline{A_i} B + X A_i C_i + X A_i B_i \\
&= B_i C_i + (B_i + C_i)(\overline{X} \oplus A_i) = \overline{\overline{B_i C_i} \cdot \overline{(B_i + C_i)(\overline{X} \oplus A_i)}} \\
&= \overline{\overline{B_i C_i} \cdot (\overline{B_i + C_i + X \oplus A_i})} = \overline{\overline{B_i C_i} \cdot \overline{B_i + C_i + X \oplus A_i}} \\
&= \overline{\overline{B_i C_i} \cdot (\overline{B_i + C_i}) \cdot \overline{X \oplus A_i}} \\
&= \overline{\overline{B_i} \cdot \overline{C_i} \cdot \overline{X \oplus A_i} \cdot \overline{B_i C_i}} \\
&= \overline{\overline{B_i} \cdot \overline{C_i} \cdot \overline{X \oplus A_i} \cdot \overline{B_i C_i}}
\end{aligned}$$

根据逻辑表达式画出逻辑电路图如图 4.8.2 所示：

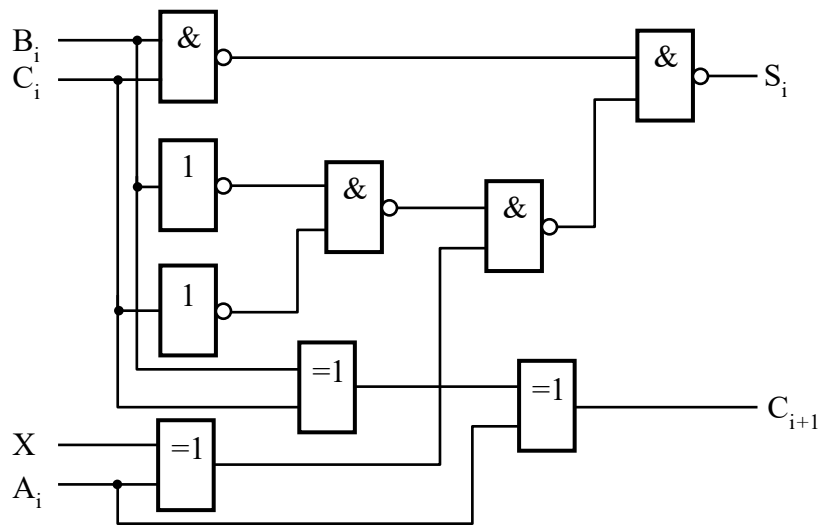


图 4.8.2 可控全加/全减器逻辑电路图

五、实验内容：

- 1、部分 TTL 门电路逻辑功能验证：测试其真值表及其简单组合电路的真值表；
- 2、组合逻辑电路设计之全加器：用 74LS86（异或）和 74LS00（与非）集成块搭出全加器电路，画出其电路图，并按照其真值表输入不同的逻辑电平信号，观察输出结果和进位\借位电平，并记录；
- 3、思考题：
 - (1) 用二输入与非门实现三输入与非门；
 - (2) 用二输入与非门实现四输入与非门；
 - (3) 设计一个二位二进制加法器；
 - (4) 设计一个可控的全加/全减器，控制端为 X。当 X=0 时，实现全减器功能；当 X=1 时，实现全加器功能。

六、实验器材（设备、元器件）：

- 1、数字逻辑实验箱；
- 2、导线若干；
- 3、集成器件：74LS04（非）、74LS00（与非）、74LS86（异或）。

七、实验步骤：

- 1、实验操作规范：
 - (1) 先连线，再上电，先断电，再拆线；
 - (2) 电源和地要正确连接，切勿将两者接反了；
 - (3) 做完实验后，要将电源和导线拆下并整齐放置于实验箱内。
- 2、部分 TTL 门电路逻辑功能验证实验步骤：
 - (1) 在实验箱上插入相应的逻辑门电路，并把输入端接实验箱的逻辑开关，输出端接发光二极管，接好电源正负极，即可进行逻辑门特性验证实验并将门的逻辑特性制成表格。
 - (2) 用 74LS00 连接电路如图 7.2.1 所示，并把输入端接实验箱的逻辑开关，输出端接发光二极管，在 MNXY 各种输入组合下，观测输出 F，并记录下来，写出 $F=f(M,N,X,Y)$ 的逻辑表达式。

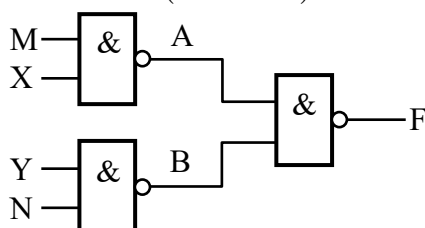


图 7.2.1 74LS00 与非门功能验证逻辑电路图

- 3、全加器、二位二进制加法器、可控全加/全减器设计实验步骤：
 - (1) 根据逻辑功能列出真值表；
 - (2) 根据真值表画出卡诺图并写出输出函数的逻辑表达式；
 - (3) 根据提供的集成器件进一步优化逻辑表达式；
 - (4) 根据逻辑表达式画出电路图，并在实验箱上连接；
 - (5) 按真值表进行逻辑电路功能测试，观察输出电平并记录。
- 4、用二输入与非门实现三输入与非门实验步骤：
 - (1) 写出目标逻辑表达式；
 - (2) 根据提供的集成器件和题目要求对目标逻辑表达式进行恒等变形；
 - (3) 根据逻辑表达式画出电路图，并在实验箱上连接；
 - (4) 按真值表进行逻辑电路功能测试，观察输出电平并记录。

八、实验结果与分析（含重要数据结果分析或核心代码流程分析）

1、部分 TTL 门电路及其简单组合电路逻辑功能验证实验结果与分析：

(1) 74LS04 非门：

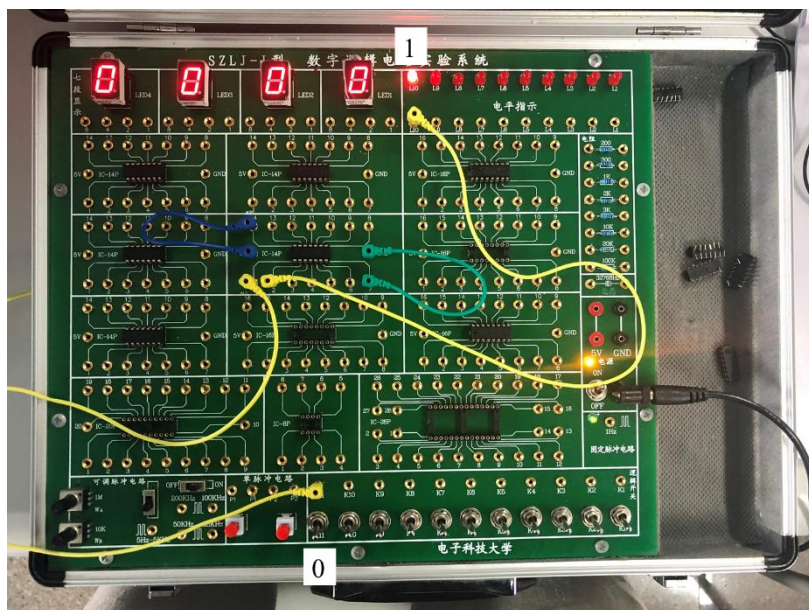


图 8.1.1 74LS04 非门实验结果

实验结果分析：

非门逻辑表达式为 $F = \bar{A}$ ，由测试实验结果可知：当输入为 0 时，输出为 1；当输入为 1 时，输出为 0，符合预期结果。另：所有实验结果与真值表一致。

(2) 74LS00 与非门：

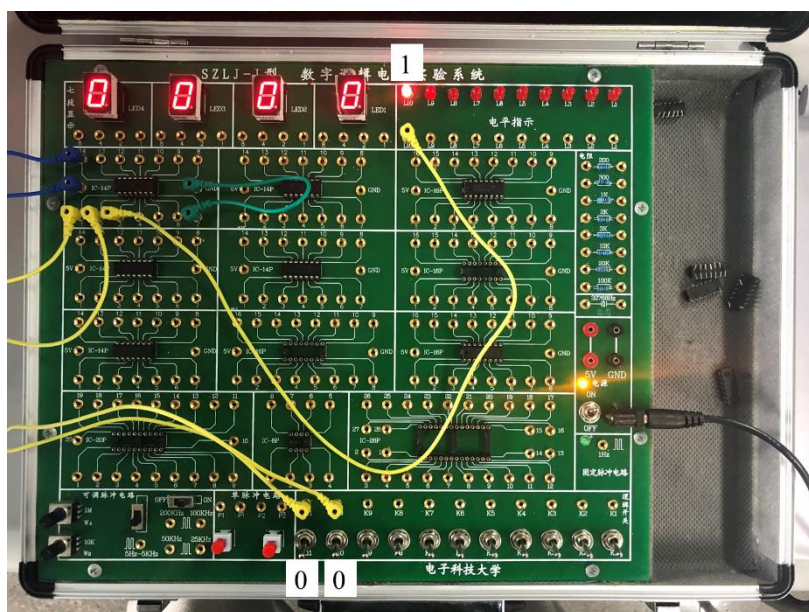


图 8.1.2 74LS00 与非门实验结果

实验结果分析：

与非门逻辑表达式为 $F = \overline{AB}$ ，由测试实验结果可知：当输入为 0 0 时，输出为 1；当输入为 1 1 时，输出为 0，符合预期结果。另：所有实验结果与真值表一致。

(3) 74LS86 异或门：

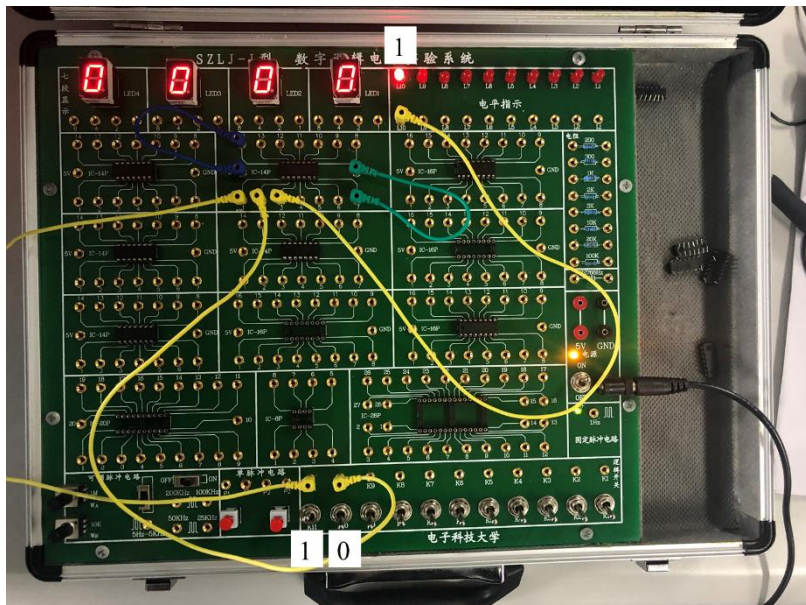


图 8.1.3 74LS86 异或门实验结果

实验结果分析：

异或门逻辑表达式为 $F = A \oplus B$ ，由测试实验结果可知：当输入为 1 0 时，输出为 1；当输入为 1 1 或 0 0 时，输出为 0，符合预期结果。另：所有实验结果与真值表一致。

(4) 74LS00 门组合逻辑电路：

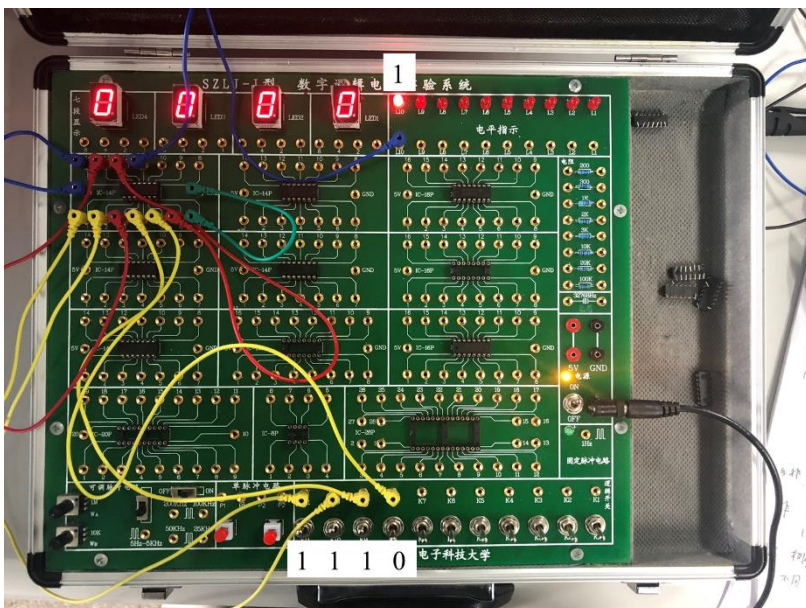


图 8.1.4 74LS00 组合逻辑电路实验结果

实验结果分析：

该电路输出函数逻辑表达式为 $F = \overline{\overline{M \cdot X \cdot Y \cdot N}}$ ，由测试实验结果可知：当输入为 1110 时，输出为 1，符合预期结果。另：所有实验结果与真值表一致。

2、全加器实验结果及分析：

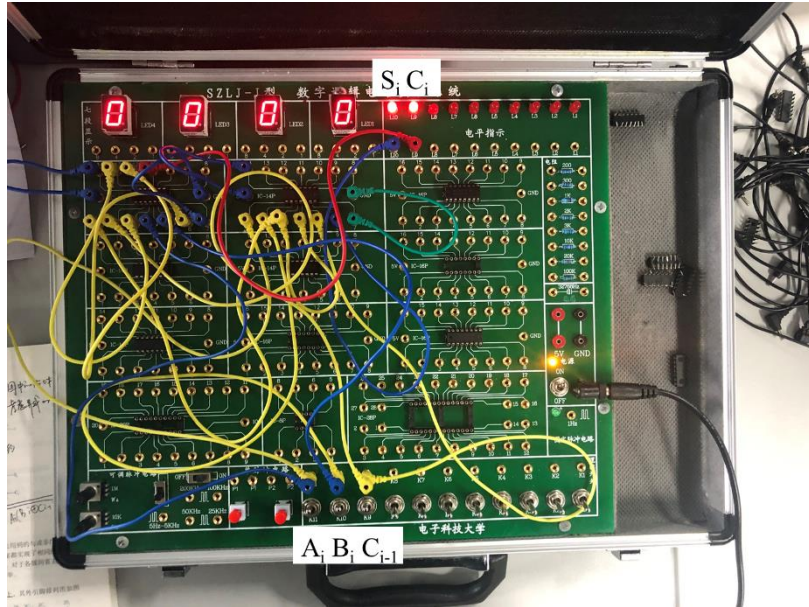


图 8.2.1 全加器逻辑电路实验结果

实验结果分析：

该电路输出逻辑表达式为 $S_i = A_i \oplus B_i \oplus C_{i-1}$ ， $C_i = \overline{\overline{A_i(B_i \oplus C_{i-1})} \cdot \overline{B_i C_{i-1}}}$ ，由测试结果可知：当 A_i 、 B_i 及 C_{i-1} 的输入分别为 1 1 1 时，输出 S_i 为 1、 C_i 为 1，符合预期结果。另：所有实验结果与真值表一致。

3、用二输入与非门实现三输入与非门实验结果及分析：

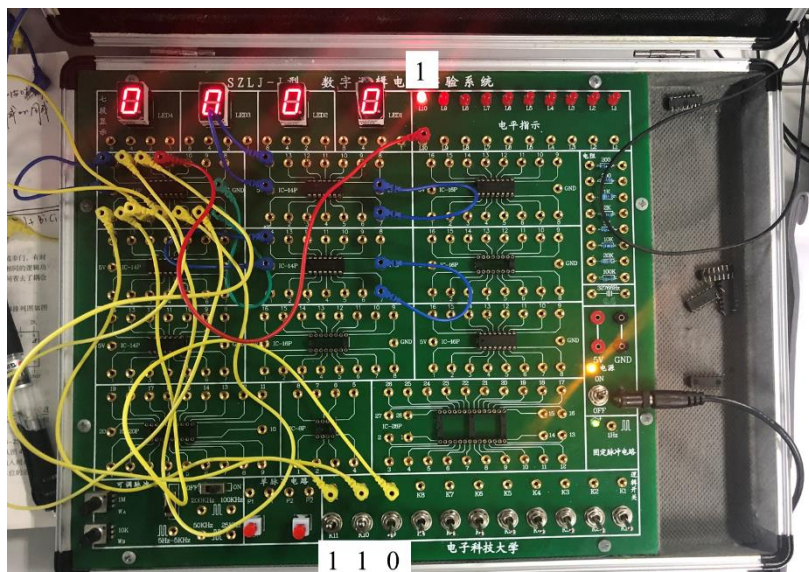


图 8.3.1 二输入与非门实现三输入与非门逻辑电路实验结果

实验结果分析：

该电路输出逻辑表达式为 $F = \overline{A \cdot BC \cdot BC}$ ，由测试结果可知：当 A、B 和 C 的输入分别为 110 时，输出为 1，符合预期结果。另：所有实验结果与预期一致。

4、用二输入与非门实现四输入与非门实验结果及分析：

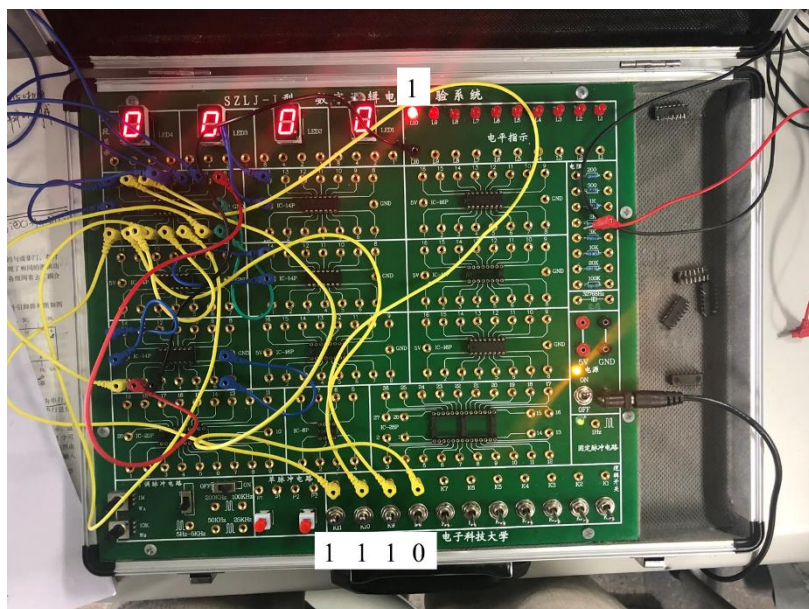


图 8.4.1 二输入与非门实现四输入与非门逻辑电路实验结果

实验结果分析：

该电路输出逻辑表达式为 $F = \overline{\overline{AB} \cdot \overline{AB} \cdot \overline{CD} \cdot \overline{CD}}$ ，由测试结果可知：当 A、B、C 和 D 的输入分别为 1110 时，输出为 1，符合预期结果。另：所有实验结果与真值表一致。

5、二位二进制加法器实验结果及分析：

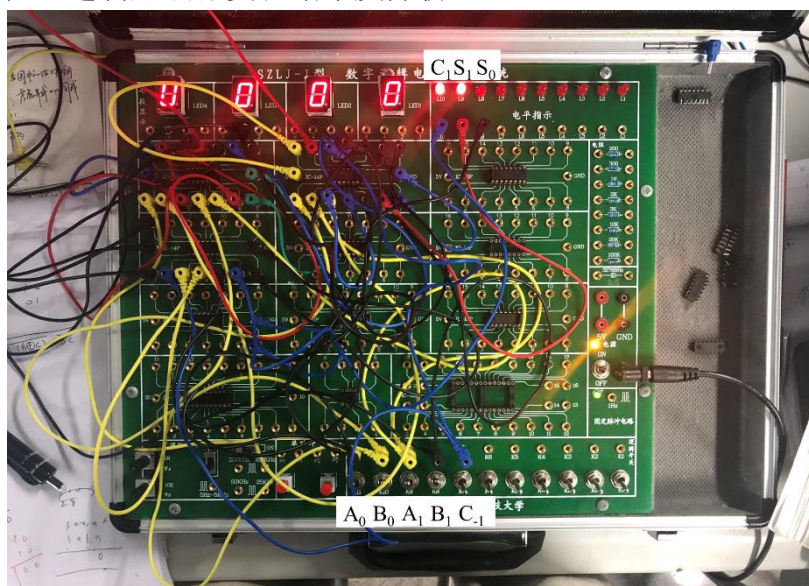


图 8.5.1 二位二进制加法器逻辑电路实验结果

实验结果分析：

该电路输出函数逻辑表达式为 $S_0 = A_0 \oplus B_0$ 、 $S_1 = A_1 \oplus B_1 \oplus A_0 B_0$ 、 $C_1 = \overline{A_1(B_1 \oplus A_0 B_0)} \cdot B_1 A_0 B_0$ ，由测试结果可知：当两个加数 A_0 、 B_0 和 A_1 、 B_1 的输入分别为 11、11 时，输出第一位结果 S_0 为 0，第二位结果 S_1 为 1，最高位进位 C_1 为 1，符合预期结果。另：所有实验结果与真值表一致。

二位串行加法器由于每一位相加的和都与本位的进位输入有关，所以，最高位必须等各低位全部完成相加并送来进位信号后才能产生运算结果。因此串行加法器的最大优点是电路简单，连接方便；其最大缺点是位数越多，运算速度越慢。

6、可控的全加/全减器实验结果及分析：

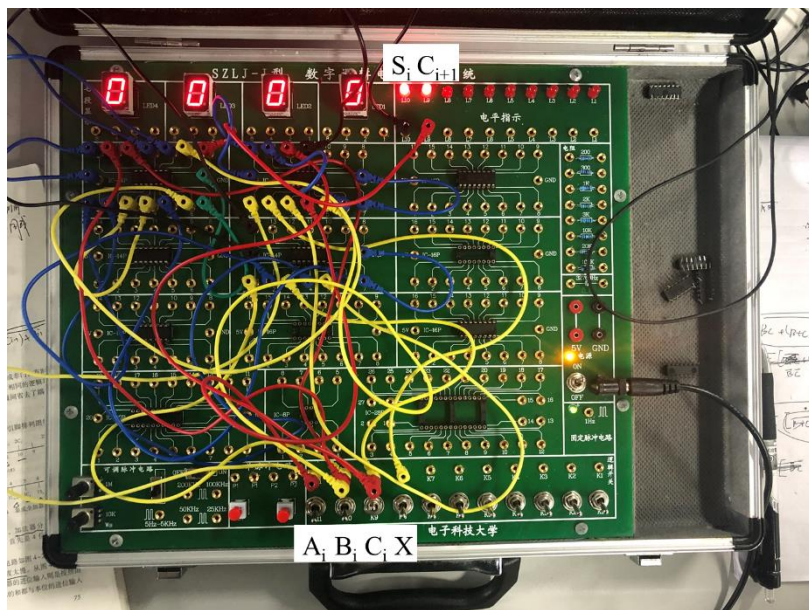


图 8.6.1 可控的全加/全减器逻辑电路实验结果

实验结果分析：

该电路输出函数逻辑表达式为 $S_i = A_i \oplus B_i \oplus C_i$ 、 $C_{i+1} = \overline{B_i \cdot C_i \cdot X} \oplus \overline{A_i \cdot B_i \cdot C_i}$ ，由测试结果可知：当控制端 $X = 0$ 时实现全减器功能，当输入 A_i 、 B_i 和 C_i 分别为 111 时，输出结果位 S_i 为 1，最高位进位 C_{i+1} 为 1，符合预期结果。另：所有实验结果与真值表一致。

九、总结及心得体会：

本次实验是学习《数字逻辑设计》这门课程以来的第一次实验，实验的主要目的在于将目前学习的理论知识应用于实践中，因此实验内容较为基础、难度不大，但能让学生很好的了解并掌握常用集成门电路的逻辑功能与特性，并以此为基础设计简单的全加/全减器电路、分析实验结果。

在实验的过程中能直观的体会到不同电平的输入对输出的直接影响，带着思考去做实验、排除导致错误输出的电路故障。通过本次实验，我掌握了基本逻辑电路的设计、组装流程、能对结果进行预测和分析，并提高了自身逻辑电路分析和动手实践的能力。

十、对本实验过程及方法、手段的改进建议：

我认为除了基本的实验内容外，可以多增加一些更有挑战性和实践意义的逻辑电路设计题供同学们思考和实践，这样不仅能调动同学们的积极性，更能提高同学们解决陌生问题的设计、实践能力。

报告评分：

指导教师签字：