

电子科技大学信息与软件工程学院

实 验 报 告

(一)

学 号 2018091618008

姓 名 袁昊男

(实验) 课程名称 计算机组成原理

理论教师 刘辉

实验教师 刘辉

电子科技大学

实验报告

学生姓名：袁昊男

学号：2018091618008

指导教师：刘辉

实验地点：三教 501

实验时间：2019.11.23

一、实验名称：8 位算术逻辑运算实验

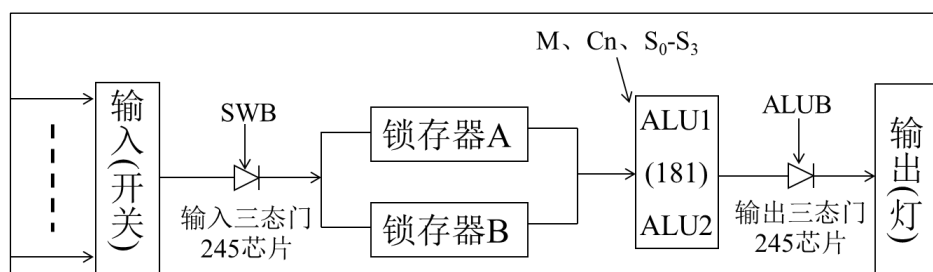
二、实验学时：4 学时

三、实验目的：

- 1、掌握算术逻辑运算器单元 ALU（74LS181）的工作原理；
- 2、掌握模型机运算器的数据传送通路组成原理；
- 3、验证 74LS181 的组合功能；
- 4、按给定数据，完成实验指导书中的算术 / 逻辑运算。

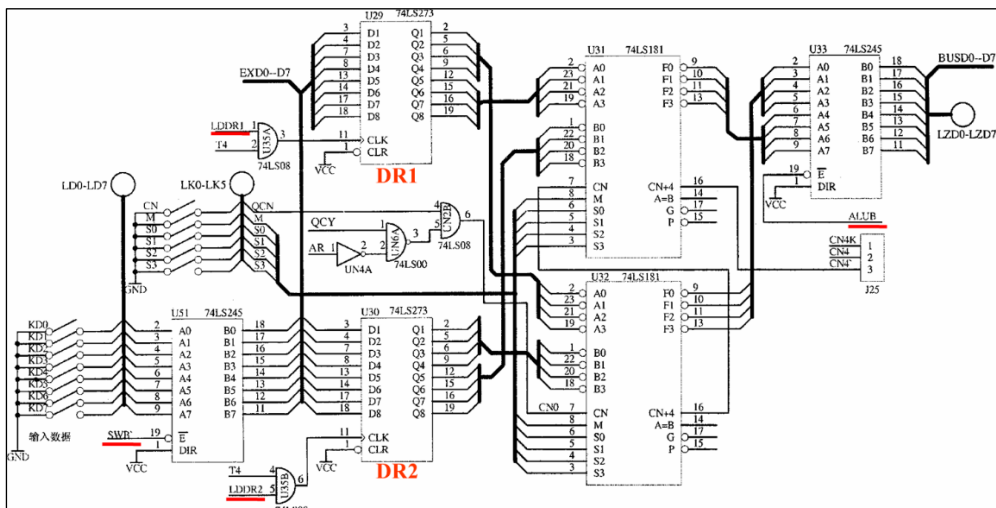
四、实验原理：

1、



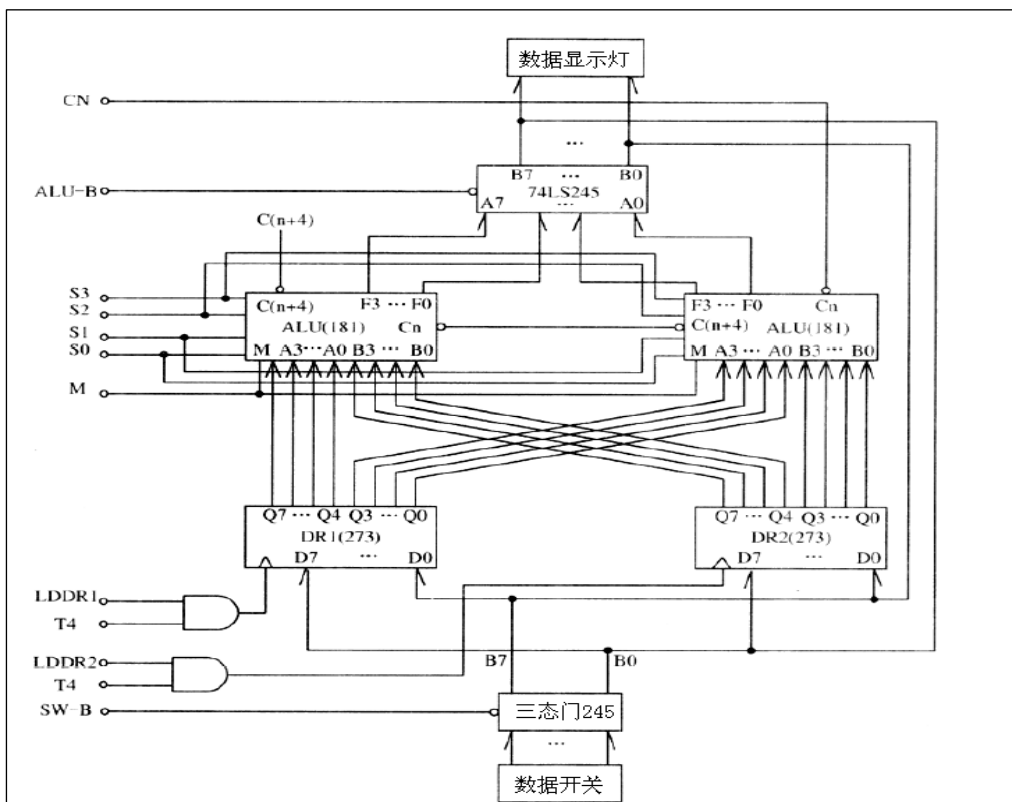
- (1) 通过二进制数码开关 KD7-KD0（低位）向输入三态门（74LS245 芯片，U51）输入数据；
- (2) 输入三态门通过 8 位数据总线将输入数据分送锁存器 DR1 和 DR2（74LS273 芯片，U29，U30）锁存信息；
- (3) 同时将 DR1 和 DR2 中的数据送运算器参与运算（由两片 74LS181 以并 / 串形式构成 8 位字长的 ALU，U31，U32）；
- (4) 将运算结果送输出三态门（74LS245 芯片，U33）；
- (5) 输出三态门通过 8 位数据总线将输出结果用数据显示灯 LZD7-LZD0（低位）显示。

2、运算器数据通路图

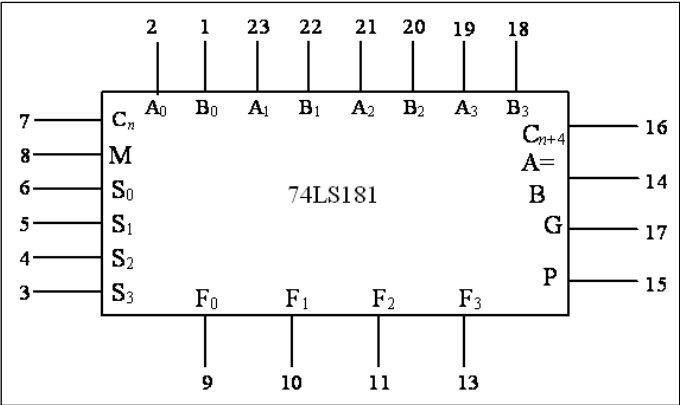


数据输入三态缓冲器门控信号 SWB，数据输出三态缓冲器门控信号 ALUB；数据锁存 DR1 打入脉冲信号 LDDR1，数据锁存 DR2 打入脉冲信号 LDDR2。

运算器数据通路图（简化版）：



3、74LS181 芯片外特性



4、74LS181 功能表

	S_3	S_2	S_1	S_0	M = 0 (算术运算)		M = 1 (逻辑运算)
					$C_n = 1$ (无进位)	$C_n = 0$ (有进位)	
4 位 A L U	0	0	0	0	$F = A$	$F = A \text{ 加 } 1$	$F = \bar{A}$
	0	0	0	1	$F = A + B$	$F = (A + B) \text{ 加 } 1$	$F = \overline{A + B}$
	0	0	1	0	$F = A + \bar{B}$	$F = (A + \bar{B}) \text{ 加 } 1$	$F = \bar{A} \cdot B$
	0	0	1	1	2 的补	$F = 0$	$F = 0$
	0	1	0	0	$F = A \text{ 加 } (A \cdot \bar{B})$	$F = A \text{ 加 } (A \cdot \bar{B}) \text{ 加 } 1$	$F = \bar{A} \cdot \bar{B}$
	0	1	0	1	$F = (A + B) \text{ 加 } A\bar{B}$	$F = (A + B) \text{ 加 } (A\bar{B}) \text{ 加 } 1$	$F = \bar{B}$
	0	1	1	0	$F = A \text{ 减 } B \text{ 减 } 1$	$F = A \text{ 减 } B$	$F = A \oplus B$
	0	1	1	1	$F = (A \cdot \bar{B}) \text{ 减 } 1$	$F = A \cdot \bar{B}$	$F = A \cdot \bar{B}$
	1	0	0	0	$F = A \text{ 加 } A \cdot B$	$F = A \text{ 加 } AB \text{ 加 } 1$	$F = \bar{A} + B$
	1	0	0	1	$F = A \text{ 加 } B$	$F = A \text{ 加 } B \text{ 加 } 1$	$F = \overline{A \oplus B}$
	1	0	1	0	$F = (A + \bar{B}) \text{ 加 } AB$	$F = (A + \bar{B}) \text{ 加 } AB \text{ 加 } 1$	$F = B$
	1	0	1	1	$F = A \cdot B \text{ 减 } 1$	$F = A \cdot B$	$F = A \cdot B$
	1	1	0	0	$F = A \text{ 加 } A$	$F = A \text{ 加 } A \text{ 加 } 1$	$F = 1$
	1	1	0	1	$F = (A + B) \text{ 加 } A$	$F = (A + B) \text{ 加 } A \text{ 加 } 1$	$F = A + \bar{B}$
	1	1	1	0	$F = (A + \bar{B}) \text{ 加 } A$	$F = (A + \bar{B}) \text{ 加 } A \text{ 加 } 1$	$F = A + B$
	1	1	1	1	$F = A \text{ 减 } 1$	$F = A$	$F = A$

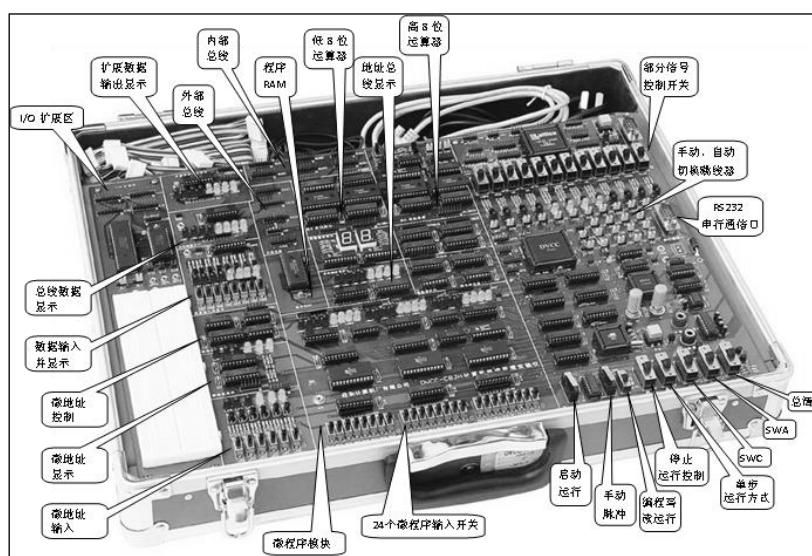
五、 实验内容：

- 1、 连接线路，验证 74LS181 的组合功能；
- 2、 按给定数据，完成实验指导书中的算术 / 逻辑运算。

六、 实验器材（设备、元器件）：

DVCC 实验机一台、连接线若干根。

DVCC 实验机平面图：



七、 实验步骤：

- 1、 连接线路，仔细检查核对后接通电源：
 - (1) ALUBUS 连 EXJ3、ALU01 连 BUS1、SJ2 连 UJ2；
 - (2) 跳线器 J23 上 T4 连 SD；
 - (3) LDDR1, LDDR2, ALUB, SWB 四个跳线器拨在左边；
 - (4) AR 跳线器拨在左边，同时开关 AR 拨在“1”电平。
- 2、 用二进制数据开关 KD7-KD0（低位）向 DR1 和 DR2 寄存器置入 8 位运算数据：
 - (1) 开始实验时，右下方的“停止运行控制”开关向上设置为运行状态；
 - (2) 调拨 8 位数据开关 KD7-KD0（地位）为 00110101（35H），准备向 DR1 送二进制数据；
 - (3) 数据输出三态缓冲器门控开关 ALUB=1（关闭）；
 - (4) 数据输入三态缓冲器门控开关 SWB=0（打开）；
 - (5) 数据锁存 DRi 控制开关 LDDR1=1（打开），同时 LDDR2=0（关闭）；打入脉冲信号 T4（手动脉冲），将数据 35H 置入 DR1；
 - (6) 重复步骤（2）~（6），其中的步骤（5）将 LDDR1 与 LDDR2 互换，即可将数据 48H 置入 DR2。
- 3、 检验 DR1 和 DR2 置入的数据：
 - (1) 数据输出三态缓冲器门控开关 ALUB=0（打开）；
 - (2) 数据输入三态缓冲器门控开关 SWB=1（关闭）；
 - (3) 数据锁存 DRi 控制开关 LDDR1、LDDR2=0（关闭）；
 - (4) 设置开关 M、开关 S₃、S₂、S₁、S₀ 相应值：

如 $M=1$ ， $S_3、S_2、S_1、S_0=1111$ ，验证 8 位数据 $DR1$ ； $S_3、S_2、S_1、S_0=1010$ ，验证 8 位数据 $DR2$ 。

4、验证 74LS181 的算术和逻辑运算功能：

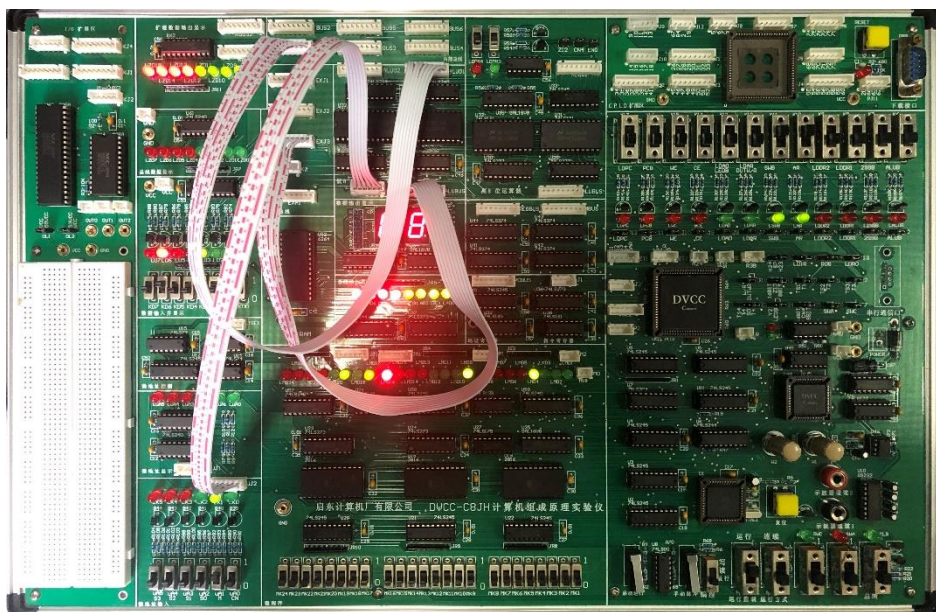
在给定 $DR1=35H$ 、 $DR2=48H$ 的情况下，改变算术逻辑运算功能发生器的功能设置，观察运算器的输出。

5、填写实验报告表。

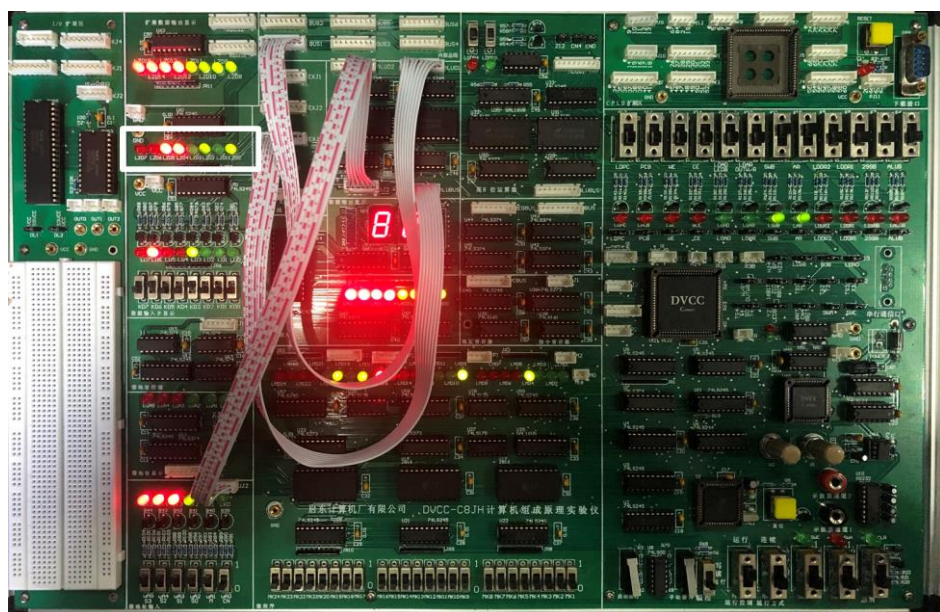
将输出结果填入实验报告表中，并和理论分析进行比较、验证。

八、实验结果与分析（含重要数据结果分析或核心代码流程分析）

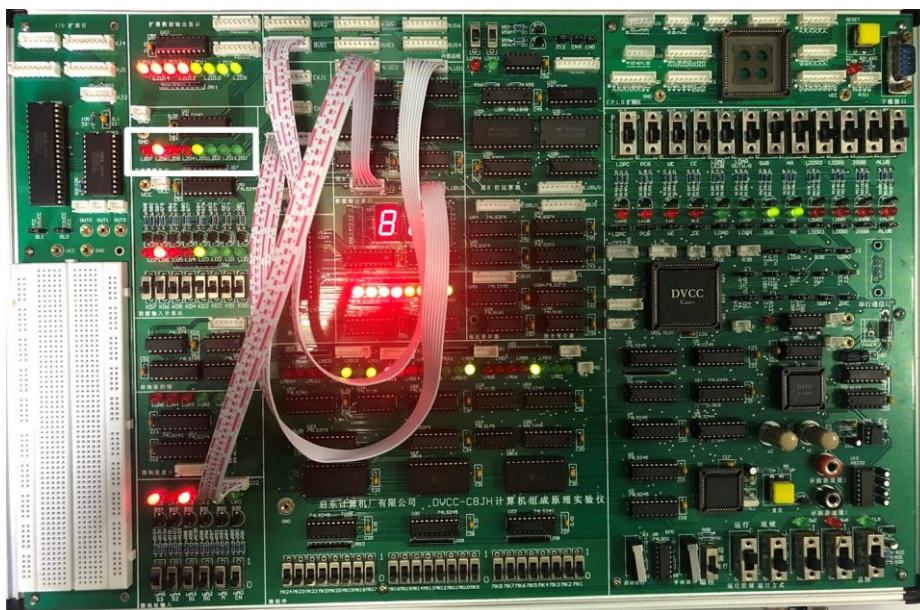
1、DVCC 实验机连线结果



2、DR1 验证结果



3、DR2 验证结果



4、实验数据输出表

S_3	S_2	S_1	S_0	DR1	DR2	M = 0 (算术运算)		M = 1 (逻辑运算)
						$C_n = 1$ (无进位)	$C_n = 0$ (有进位)	
0	0	0	0	35H	48H	00110101	00110110	11001010
0	0	0	1	35H	48H	01111101	01111110	10000010
0	0	1	0	35H	48H	10110111	10111000	01001000
0	0	1	1	35H	48H	11111111	00000000	00000000
0	1	0	0	35H	48H	01101010	01101011	11111111
0	1	0	1	35H	48H	10110010	10110011	10110111
0	1	1	0	35H	48H	11101100	11101101	01111101
0	1	1	1	35H	48H	00110100	00110101	00110101
1	0	0	0	35H	48H	00110101	00110110	11001010
1	0	0	1	35H	48H	01111101	01111110	10000010
1	0	1	0	35H	48H	10110111	10111000	01001000
1	0	1	1	35H	48H	11111111	00000000	00000000
1	1	0	0	35H	48H	01101010	01101011	11111111

1	1	0	1	35H	48H	10110010	10110011	10110111
1	1	1	0	35H	48H	11101100	11101101	01111101
1	1	1	1	35H	48H	00110100	00110101	00110101

结论：与理论计算验证一致。

5、思考题

- (1) 根据 74LS181 功能表中 $M=0$ (算术运算): $C_n=1$ (无进位) 与 $C_n=0$ (有进位) 这两列的运算规则, 比较该两列之间结果有何异同?

答: 因为有来自低位的进位, 所以 $C_n=0$ (有进位) 的结果是 $C_n=1$ (无进位) 的“算术加”1。

- (2) 根据 74LS181 功能表中 $M=0$ (算术运算): $C_n=1$ (无进位) 与 $C_n=0$ (有进位), 且 $S_3S_2S_1S_0=1001$ 时。根据运算规则, 当 $DR1=35H$, $DR2=48H$ 时:

- a) 其结果与手工运算的结果比较;

答: $C_n=1$ (无进位) 时, 进行的运算是 $35H+48H$, 应该等于 $7DH=01111101B$, 与手工计算结果一致; $C_n=0$ (有进位) 时, 进行的运算是 $35H+48H+1=7FH=01111110B$, 与手工计算结果一致。

- b) 比较在实验平台上实现两数相加与课程内模型机中加法指令 $ADD R_0, R_1$ 的执行过程时序控制的差异。

答: 课程内模型机加法 ADD 指令执行过程是:

FT₀: $M \rightarrow IR, PC+1 \rightarrow PC;$

ST: 无

DT: 无

ET₀: $R_0 \text{ ADD } R_1 \rightarrow R_1;$

ET₁: $PC \rightarrow MAR;$

实验平台上的执行过程是: 分别先后将操作数通过脉冲置入对应寄存器中, 然后设置 ALU 的算术运算对应的操作码 $S_3S_2S_1S_0$ 为 1001 (算术加), 可在运算器输出指示上观察到算术运算后的结果。

九、 总结及心得体会:

此实验主要是对算术逻辑运算器单元 ALU (74LS181) 的工作原理的了解与掌握、对模型机运算器的数据传送通路组成原理的了解以及验证 74LS181 的组合功能并根据按给定数据, 完成实验指导书中的算术 / 逻辑运算。

通过这个实验，我查阅了书籍和网络资源，较清楚地掌握了 74LS181 芯片的功能和内部运算过程，掌握了 74LS181 芯片对应的不同控制信号状态，这对于学习《计算机组成原理》中的 CPU 内部运算逻辑部分有很大的帮助。

十、 对本实验过程及方法、手段的改进建议：

此实验内容较简单，可以组合安排更具挑战性的实验内容激发学生的研究兴趣，供学生实践、提升实验能力。

报告评分：

指导教师签字：