

电子科技大学信息与软件工程学院

# 实 验 报 告

学 号 2018091618008  
姓 名 袁昊男  
(实验) 课程名称 数字逻辑设计  
理论教师 詹瑾瑜  
实验教师 詹瑾瑜

电子科技大学教务处制表

# 电子科技大学

## 实验报告

学生姓名：袁昊男      学号：2018091618008      指导教师：詹瑾瑜

实验地点：基础实验大楼 A527      实验时间：2019.06.22

### 一、实验名称：数值比较器和计数器实验

### 二、实验学时：4 学时

### 三、实验目的：

- 1、强化组合逻辑电路的设计及测试方法；
- 2、学习数值比较器的设计方法；
- 3、学习时序逻辑电路的设计及测试方法；
- 4、掌握集成二进制同步计数器 74LS161 的逻辑功能；

### 四、实验原理：

注：下文中的与门均可用与非门和非门构成，为描述方便，直接使用与门。

#### 1、一位数值比较器设计：

表 4.1.1 一位数值比较器真值表

A	B	$F_1(A > B)$	$F_2(A = B)$	$F_3(A < B)$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

从真值表中可得： $F_1 = A\bar{B}$ 、 $F_2 = \bar{A}\cdot\bar{B} + AB$ 、 $F_3 = \bar{A}B$ 。由于实验器材中仅给出了 74LS04（非）、74LS00（与非）、74LS86（异或）三种集成器件，因此上述表达式还可改写为 $F_1 = \overline{\overline{A}B}$ 、 $F_2 = \overline{A \oplus B}$ 、 $F_3 = \overline{\overline{A}\bar{B}}$ 。

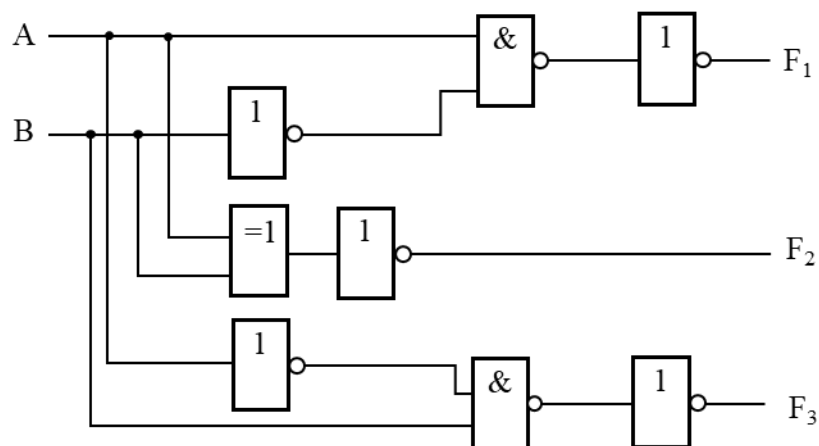


图 4.1.1 逻辑电路图

## 2、60 进制计数器设计：

采用 74LS161：4 位二进制同步计数器。引脚图如图 4.2.1 所示：

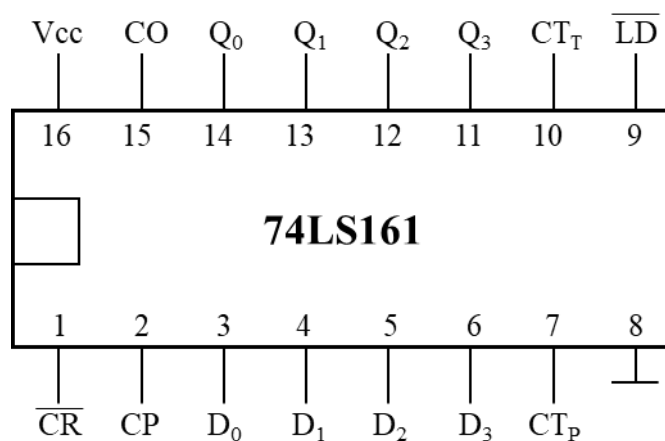


图 4.2.1 74LS161 芯片引脚图

$\overline{\text{CR}}$ ：清 0 端（异步）；

$\overline{\text{LD}}$ ：预置数控制端（同步）；

D<sub>0</sub>、D<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>：预置数输入端；

CP：计数脉冲输入端（上升沿有效）；

CT<sub>P</sub>、CT<sub>T</sub>：计数器工作状态控制端；

CO：进位信号输出端；

Q<sub>0</sub>、Q<sub>1</sub>、Q<sub>2</sub>、Q<sub>3</sub>：计数器状态输出端。

功能表：

表 4.2.1 74LS161 芯片功能表

$\overline{\text{CR}}$	$\overline{\text{LD}}$	$\text{CT}_\text{P}$	$\text{CT}_\text{T}$	$\text{CP}$	$\text{D}_3$	$\text{D}_2$	$\text{D}_1$	$\text{D}_0$	$\text{Q}_3^{n+1}$	$\text{Q}_2^{n+1}$	$\text{Q}_1^{n+1}$	$\text{Q}_0^{n+1}$
0	d	d	d	d	d	d	d	d	0	0	0	0
1	0	d	d	$\uparrow$	$\text{d}_3$	$\text{d}_2$	$\text{d}_1$	$\text{d}_0$	同步置数			
1	1	1	1	$\uparrow$	d	d	d	d	加法计数			
1	1	0	d	d	d	d	d	d	$\text{Q}_3^n$	$\text{Q}_2^n$	$\text{Q}_1^n$	$\text{Q}_0^n$
1	1	d	0	d	d	d	d	d	$\text{Q}_3^n$	$\text{Q}_2^n$	$\text{Q}_1^n$	$\text{Q}_0^n$

**异步清 0 功能：**当  $\overline{\text{CR}}=0$  时，计数器清 0。从表 4.2.1 中可见，在  $\overline{\text{CR}}=0$  时，其他输入信号都不起作用，由集成钟控触发器的逻辑特性可知，其异步复位输入信号是优先的， $\overline{\text{CR}}=0$  正是通过  $\text{R}_\text{D}$  使计数器清 0 的。

**同步置数功能：** $\overline{\text{CR}}=1$ 、 $\overline{\text{LD}}=0$  时，在 CP 上升沿的作用下，数据  $\text{d}_3\text{d}_2\text{d}_1\text{d}_0$  并行置入计数器，使  $\text{Q}_3^{n+1}\text{Q}_2^{n+1}\text{Q}_1^{n+1}\text{Q}_0^{n+1}=\text{d}_3\text{d}_2\text{d}_1\text{d}_0$ 。

(1) 使用发光二极管输出计数结果：

根据功能表，74LS161 分为异步清 0 和同步置数。60 进制计数器的有效状态为 0~59。

a. 异步清 0 法：

若采用异步清 0 法，则在 60 状态产生异步清 0 信号（ $60=00111100$ ），使得  $\overline{\text{CR}}=0$ 。

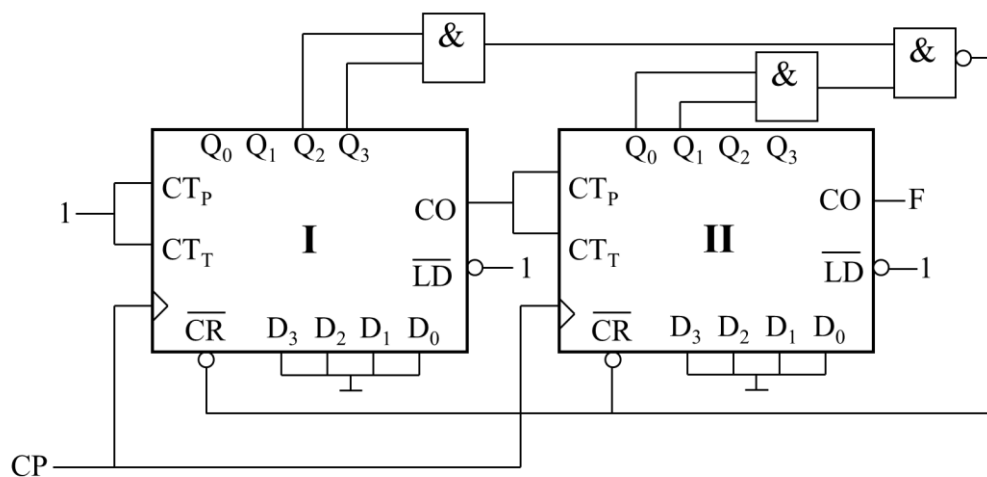


图 4.2.2 异步清 0 法逻辑电路图

b. 同步置数法：

若采用同步置数法，则在 59 状态产生预置数（ $59=00111011$ ），使得  $\overline{\text{LD}}=0$ 。

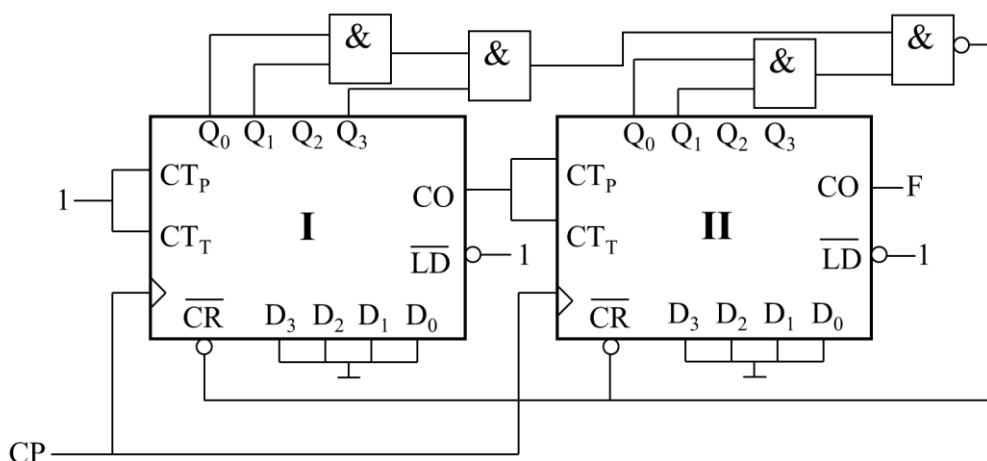


图 4.2.3 同步置数法逻辑电路图

(2) 使用 7 段数码管输出计数结果：

利用两片 74LS161 芯片分别作为 60 进制计数器的高位和低位，分别与 7 段数码管连接。其中一个通过基本门芯片构成一个十进制计数器，另一个构成六进制计数器。十进制计数器（个位）和六进制计数器（十位）均采用异步清 0 法构成。

计数器十位的计数要求：当个位计数器从 0000 计数到 1001 时，十位计数器要计数一次。可通过两芯片之间级联实现。

a. 十进制计数器（个位）：

计数器应从 0000 状态开始计数，当第十个 CP 上升沿出现时（即 1010 状态出现时）应立即返回到 0000 状态。值得注意的是，电路是在进入 1010 状态后立即被设置成 0000 状态的。如图 4.2.4 逻辑电路图所示， $Q_3$ 、 $Q_1$  被作为反馈信号接到与非门的输入端，输出端与 74LS161 的清 0 端  $\overline{CR}$  相连。

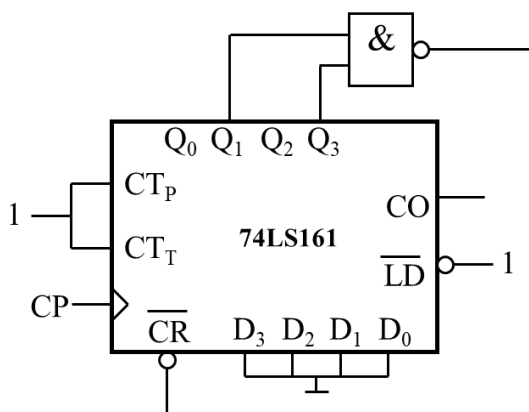


图 4.2.4 十进制计数器逻辑电路图

b. 六进制计数器（十位）：

计数器应从 0000 状态开始计数，当第六个 CP 上升沿出现时（即 0110 状态出现时）应立即返回到 0000 状态。值得注意的是，电路是在进入 0110 状态后立即被设置成 0000 状态的。如图 4.2.5 逻辑电路图所示， $Q_3$ 、 $Q_2$  被作为反馈信号接到与非门的输入端，输出端与 74LS161 的清零端  $\overline{CR}$  相连。

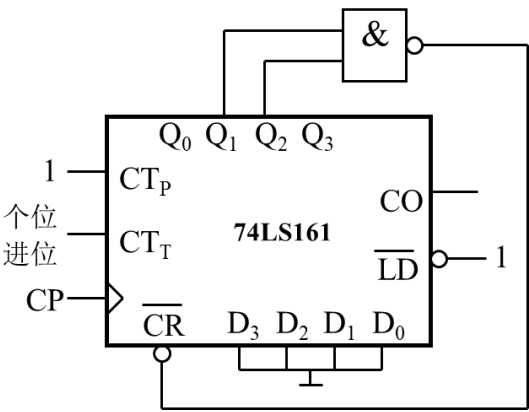


图 4.2.5 六进制计数器逻辑电路图

c. 来自个位的进位电路：十进制计数器（个位）的输出端  $Q_1$ 、 $Q_2$  接到与门的输入端，与门的输出端与六进制计数器（十位）相连。当十进制计数器（个位）计数到 1001 状态时，六进制计数器（十位） $CT_T$  端接收到“1”信号，此时六进制计数器（十位）处于保持状态，当下一个 CP 上升沿到来时，计数器个位和十位同时处于计数状态，紧接着计数器十位  $CT_T$  端接收到“0”信号，继而保持新的状态。来自个位的进位逻辑电路图如下图所示：

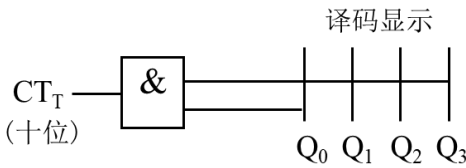


图 4.2.6 来自个位的进位逻辑电路图

d. 综上所述，可设计 60 进制计数器电路如图 4.4.7 所示：



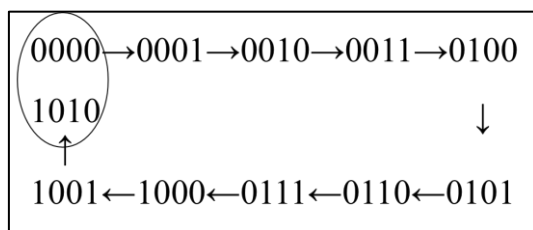


图 4.3.2 状态转换图

$\overline{\text{CR}}$ : 清 0 端 (异步);

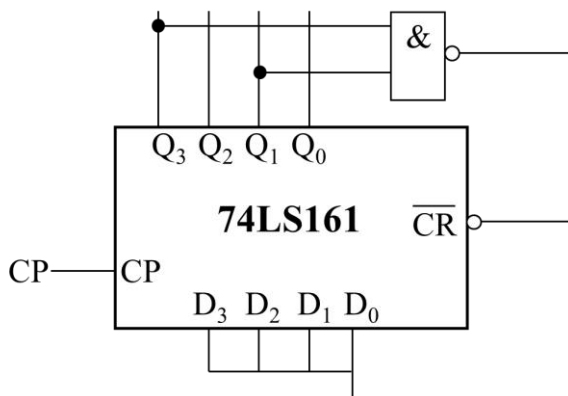


图 4.3.3 例 2 逻辑电路图

(2) 集成计数器的级联

例 3: 用 74LS161 构成 256 进制加法计数器。

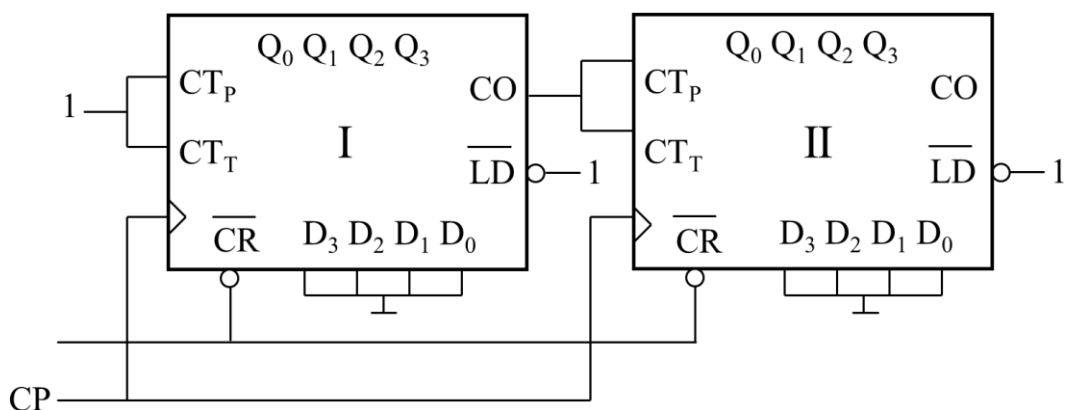


图 4.3.4 例 3 逻辑电路图

4、(思考题) 两位数值比较器设计:

设二位二进制数为  $A_1A_0$ 、 $B_1B_0$ , 输出为  $F_1(A < B)$ 、 $F_2(A = B)$ 、 $F_3(A > B)$ 。根据逻辑可直接写出输出函数的表达式:  $F_1 = \overline{A_1}B_1 + (A_1 \odot B_1)\overline{A_0}B_0$ ,  $F_2 = (A_1 \odot B_1)(A_0 \odot B_0)$ ,  $F_3 = A_1\overline{B_1} + (A_1 \odot B_1)A_0\overline{B_0}$ 。由于实验器材中仅给出了 74LS04 (非)、74LS00 (与非)、74LS86 (异或) 三种集成器件, 因此上述表达式还可改写为:



$$\begin{aligned}
 F_1 &= \overline{A_1}B_1 + (A_1 \odot B_1)\overline{A_0}B_0 \\
 &= \overline{\overline{A_1}B_1 + (A_1 \odot B_1)\overline{A_0}B_0} \\
 &= \overline{\overline{A_1}B_1} \cdot \overline{(A_1 \odot B_1)\overline{A_0}B_0}, \\
 &= \overline{\overline{A_1}B_1} \cdot \overline{(A_1 \oplus B_1)\overline{A_0}B_0} \\
 &= \overline{\overline{A_1}B_1} \cdot \overline{(A_1 \oplus B_1)} \overline{\overline{A_0}B_0} \\
 &= \overline{\overline{A_1}B_1} \cdot (A_1 \oplus B_1) \overline{\overline{A_0}B_0}
 \end{aligned}$$

$$\begin{aligned}
 F_2 &= (A_1 \odot B_1)(A_0 \odot B_0) \\
 &= \overline{(A_1 \oplus B_1)} \cdot \overline{(A_0 \oplus B_0)}, \\
 &= \overline{\overline{\overline{(A_1 \oplus B_1)}}} \cdot \overline{\overline{\overline{(A_0 \oplus B_0)}}} \\
 &= \overline{\overline{(A_1 \oplus B_1)}} \cdot \overline{\overline{(A_0 \oplus B_0)}}
 \end{aligned}$$

$$\begin{aligned}
 F_3 &= A_1\overline{B_1} + (A_1 \odot B_1)A_0\overline{B_0} \\
 &= \overline{\overline{A_1\overline{B_1} + (A_1 \odot B_1)A_0\overline{B_0}}} \\
 &= \overline{\overline{A_1\overline{B_1}}} \cdot \overline{\overline{(A_1 \odot B_1)A_0\overline{B_0}}}; \\
 &= \overline{\overline{A_1\overline{B_1}}} \cdot \overline{\overline{(A_1 \oplus B_1)A_0\overline{B_0}}} \\
 &= \overline{\overline{A_1\overline{B_1}}} \cdot \overline{\overline{(A_1 \oplus B_1)}} \overline{\overline{A_0\overline{B_0}}} \\
 &= \overline{\overline{A_1\overline{B_1}}} \cdot \overline{\overline{(A_1 \oplus B_1)}} \overline{\overline{A_0\overline{B_0}}}
 \end{aligned}$$

逻辑电路图在原理和画法上十分简单，但因为过于繁琐，故此处省略。

## 五、实验内容：

### 1、一位数值比较器设计：

用 74LS86（异或）、74LS00（与非）和 74LS04（非）搭出一位数值比较器电路，画出其逻辑电路图，并验证它的运算。

### 2、时序逻辑电路设计之计数器：

用 74LS161 和其他逻辑门器件搭建一个 60 进制计数器电路，并将结果输出到发光二极管（或 7 段数码管）显示出来，画出其逻辑电路图，并验证它的运算。

### 3、思考题：

- (1) 设计一个两位二进制数值比较器
- (2) 设计其他进制计数器
- (3) 设计带暂停功能的计数器

## 六、实验器材（设备、元器件）：

- 1、数字逻辑实验箱；
- 2、导线若干；
- 3、集成器件：74LS04（非）、74LS00（与非）、74LS86（异或）、74LS161（4 位二进制同步计数器）

## 七、实验步骤：

### 1、实验操作规范：

- (1) 先连线，再上电，先断电，再拆线；

- (2) 电源和地要正确连接，切勿将两者接反了；
- (3) 做完实验后，要将电源和导线拆下并整齐放置于实验箱内。
- 2、根据逻辑功能列出真值表；
- 3、根据真值表画出卡诺图并写出输出函数的逻辑表达式；
- 4、根据提供的集成器件进一步优化逻辑表达式；
- 5、根据逻辑表达式画出电路图，并在实验箱上连接；
- 6、按真值表进行逻辑电路功能测试，观察输出电平并记录。

## 八、实验结果与分析（含重要数据结果分析或核心代码流程分析）

### 1、一位数值比较器：

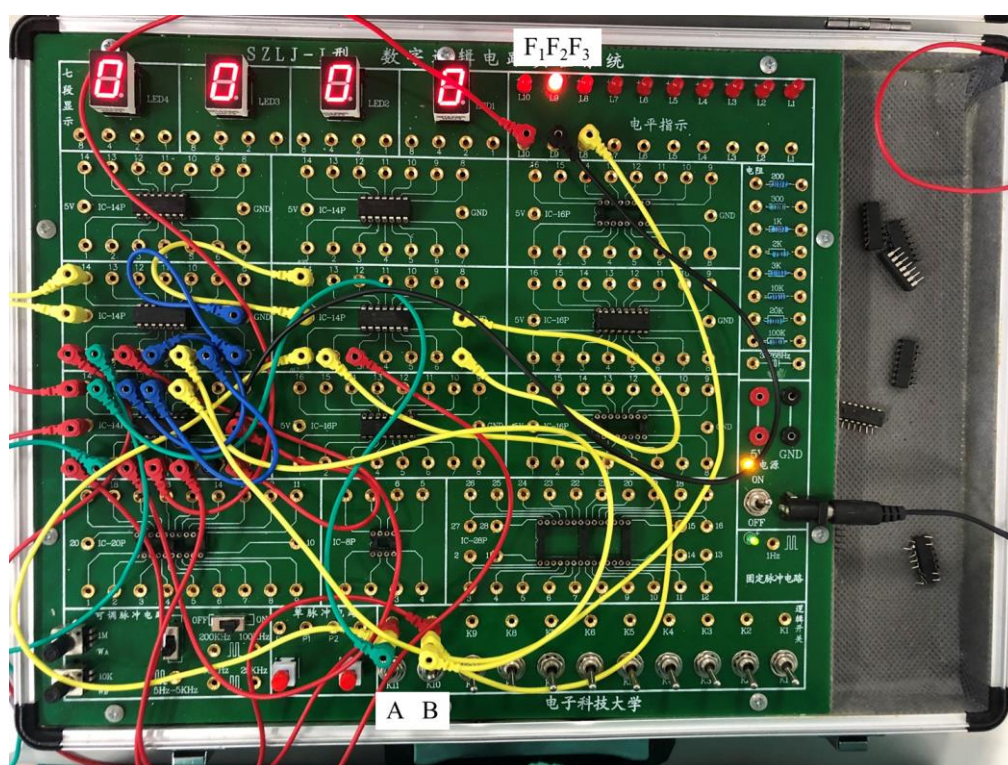


图 8.1.1 一位数值比较器实验结果

实验结果分析：输出结果的表达式分别为  $F_1 = \overline{A}B$ 、 $F_2 = A \oplus B$ 、 $F_3 = \overline{A}B$ ，当  $A=1$ ， $B=1$  时，输出  $F_1(A > B) = 0$ 、 $F_2(A = B) = 1$ 、 $F_3(A < B) = 0$ ，符合预期结果。

### 2、60 进制计数器：



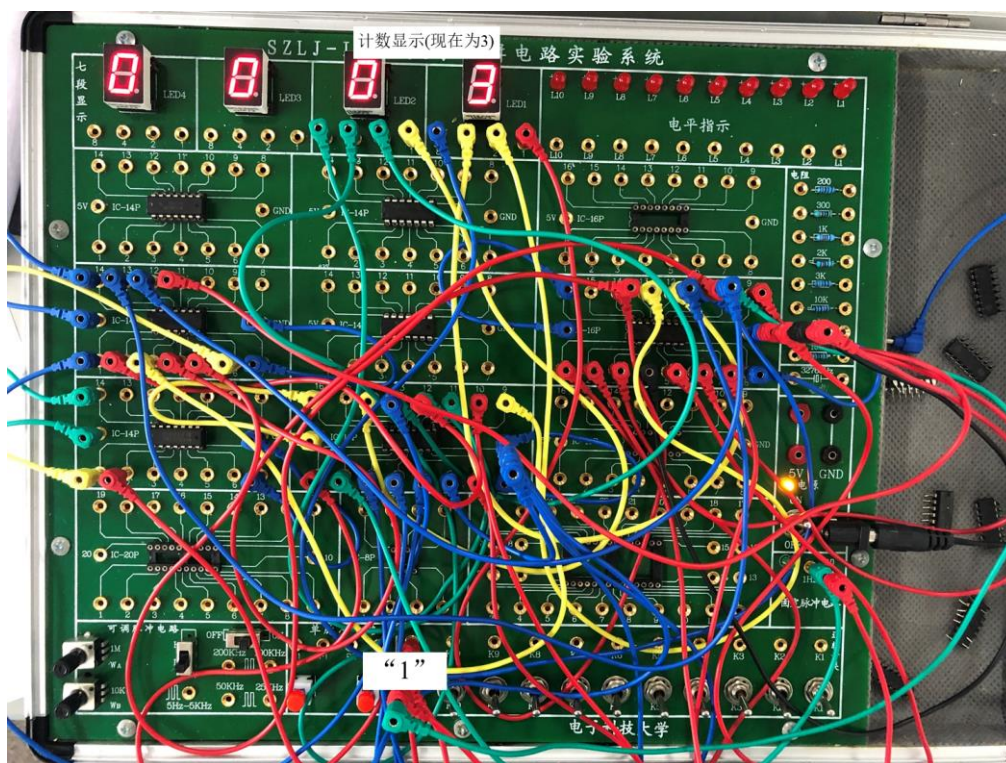


图 8.2.1 60 进制计数器(a)

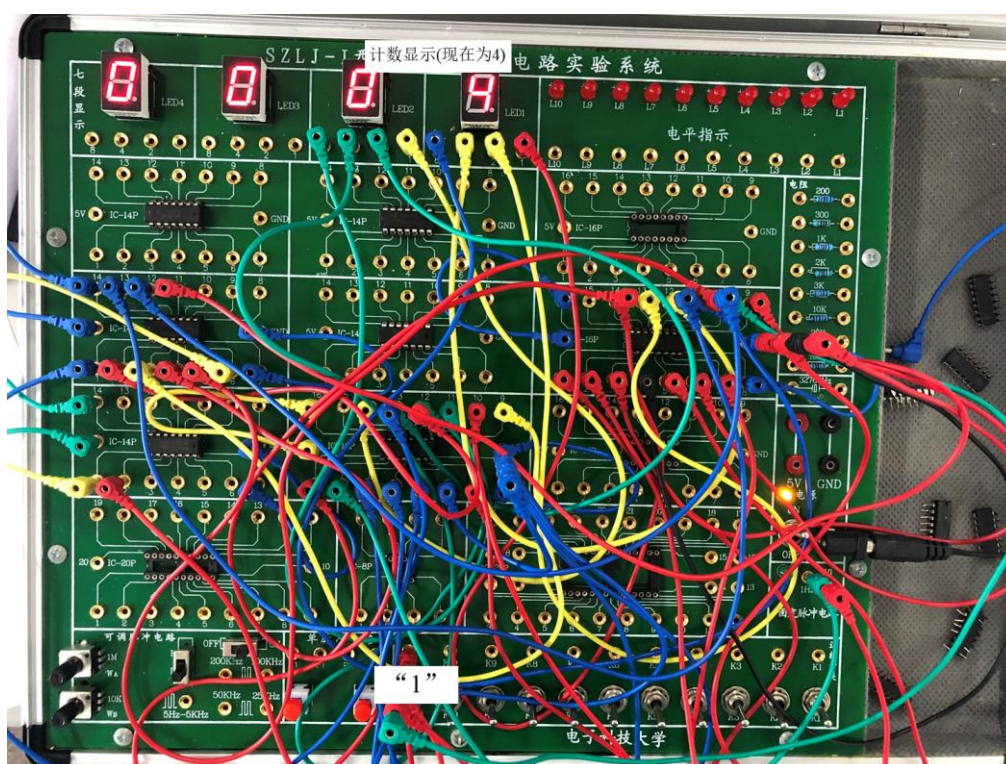


图 8.2.2 60 进制计数器(b)

**实验结果分析：**用异步清 0 法将计数结果输出到 7 段数码管显示，按逻辑电路图连接电路后能正确实现 60 进制计数器功能。

### 3、两数值比较器：



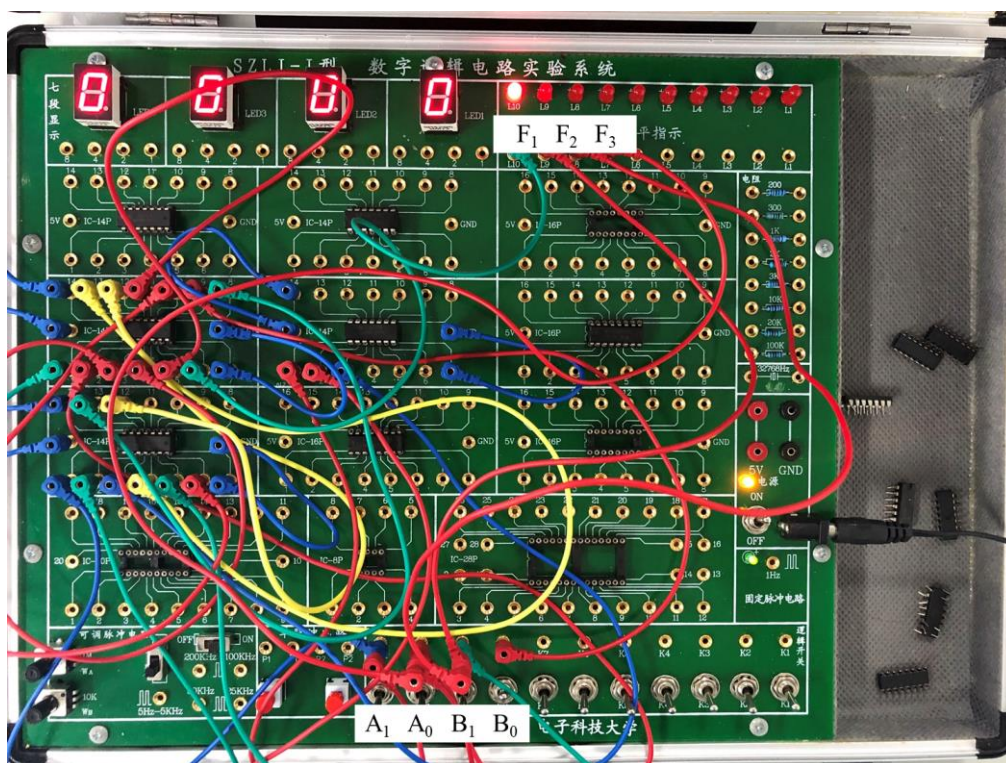


图 8.3.1 两位数值比较器

实验结果分析：输出结果的表达式分别为  $F_1 = A_1 B_1 \cdot (A_1 \oplus B_1) A_0 B_0$ 、 $F_2 = (A_1 \oplus B_1) \cdot (A_0 \oplus B_0)$ 、 $F_3 = A_1 B_1 \cdot (A_1 \oplus B_1) A_0 B_0$ ，当  $A_1 A_0 = 00$ ， $B_1 B_0 = 11$  时，输出  $F_1(A < B) = 1$ 、 $F_2(A = B) = 0$ 、 $F_3(A > B) = 0$ ，符合预期结果。

## 九、总结及心得体会：

本次实验是《数字逻辑设计》的第二次实验，主要目的在于将目前学习的理论知识应用于实践中，因此实验内容较为基础、难度不大。主要内容为强化组合逻辑电路的设计方法、了解并掌握时序逻辑的设计及测试方法、掌握利用 74LS161 芯片设计任意进制计数器的一般方法，并能根据设计的逻辑电路图搭建逻辑电路、分析实验结果。

在实验的过程中能直观的体会到输入对输出的影响，使抽象的内容形象化。通过本次实验，我巩固了组合逻辑电路的设计，掌握了时序逻辑电路的设计、组装流程，能对结果进行预测和分析，并提高了自身逻辑电路分析和动手实践的能力。

## 十、对本实验过程及方法、手段的改进建议：

我认为除了基本的实验内容外，可以多增加一些更有挑战性和实践意义的逻

辑电路设计题供同学们思考和实践，这样不仅能调动同学们的积极性，更能提高同学们解决陌生问题的设计、实践能力。

**报告评分：**

**指导教师签字：**