

## 3.4 算术逻辑运算部件

**本节需解决的关键问题：**

如何以加法器为基础，实现各种运算处理。

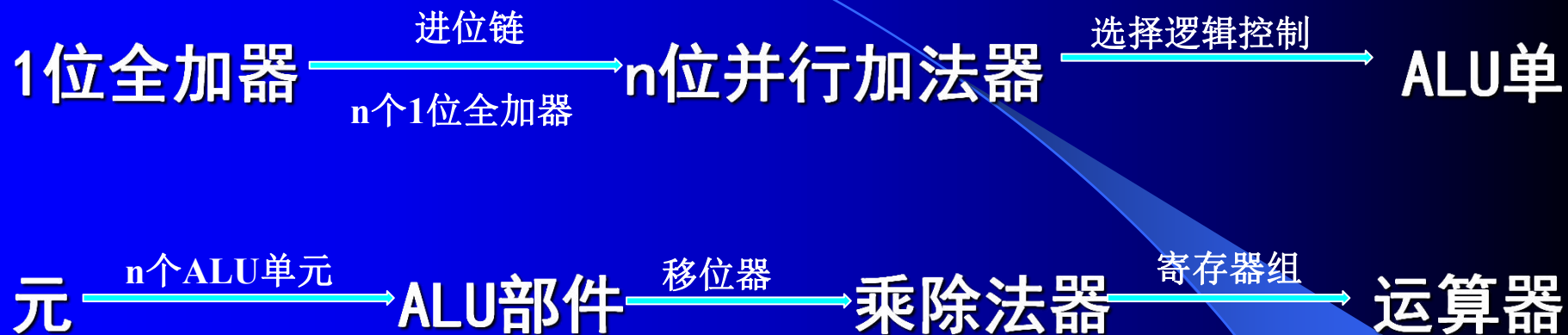
**解决思路：**

复杂运算 → 四则运算 → 加法运算

**解决方法：**

在加法器的基础上，增加移位传送功能，并选择输入控制条件。

# 算术逻辑运算部件的组成

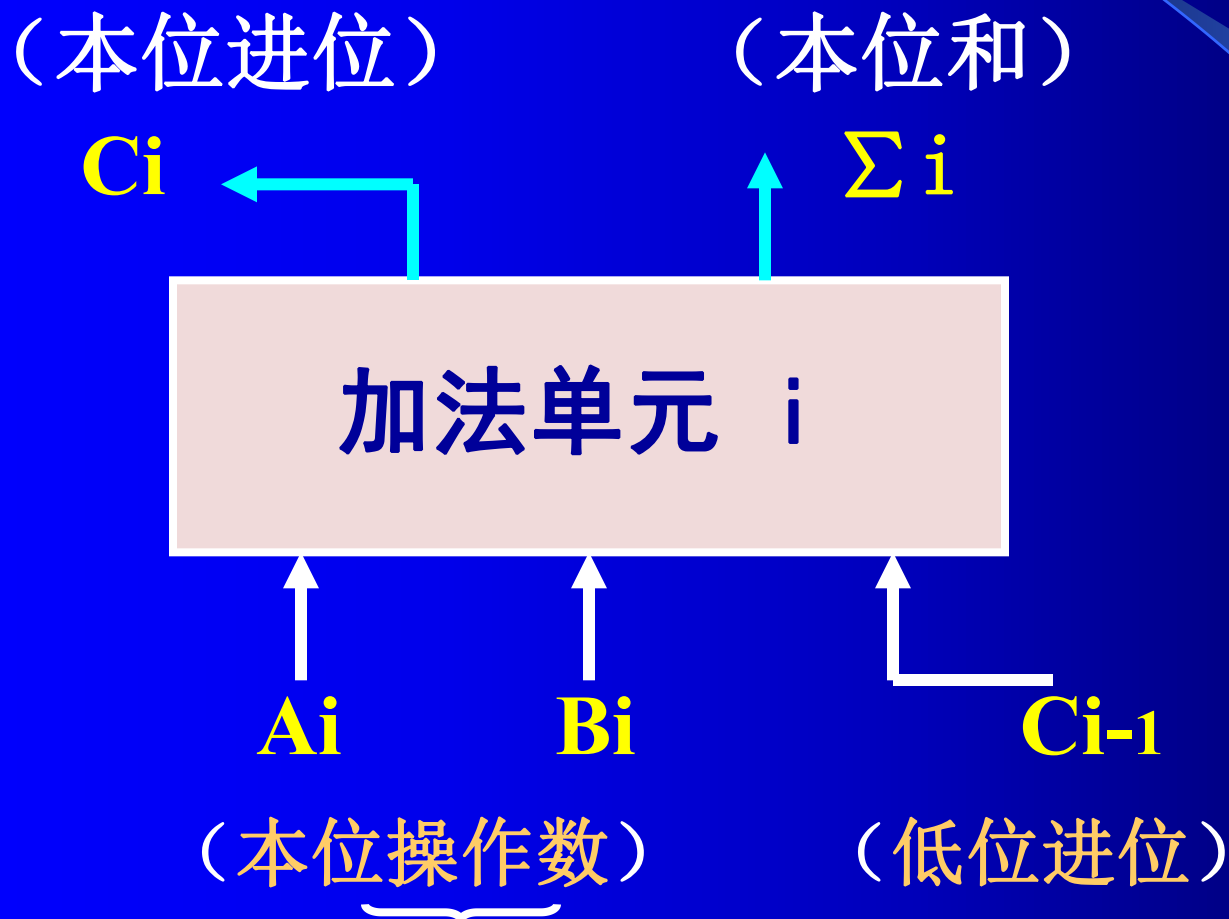


例：计算+1101, +1111两数相加的值。（补码，双符号位）

$$\begin{array}{r} 001101 \\ + 001111 \\ \hline 011100 \end{array}$$

### 3.4.1 加法单元

#### 1. 加法单元的输入和输出

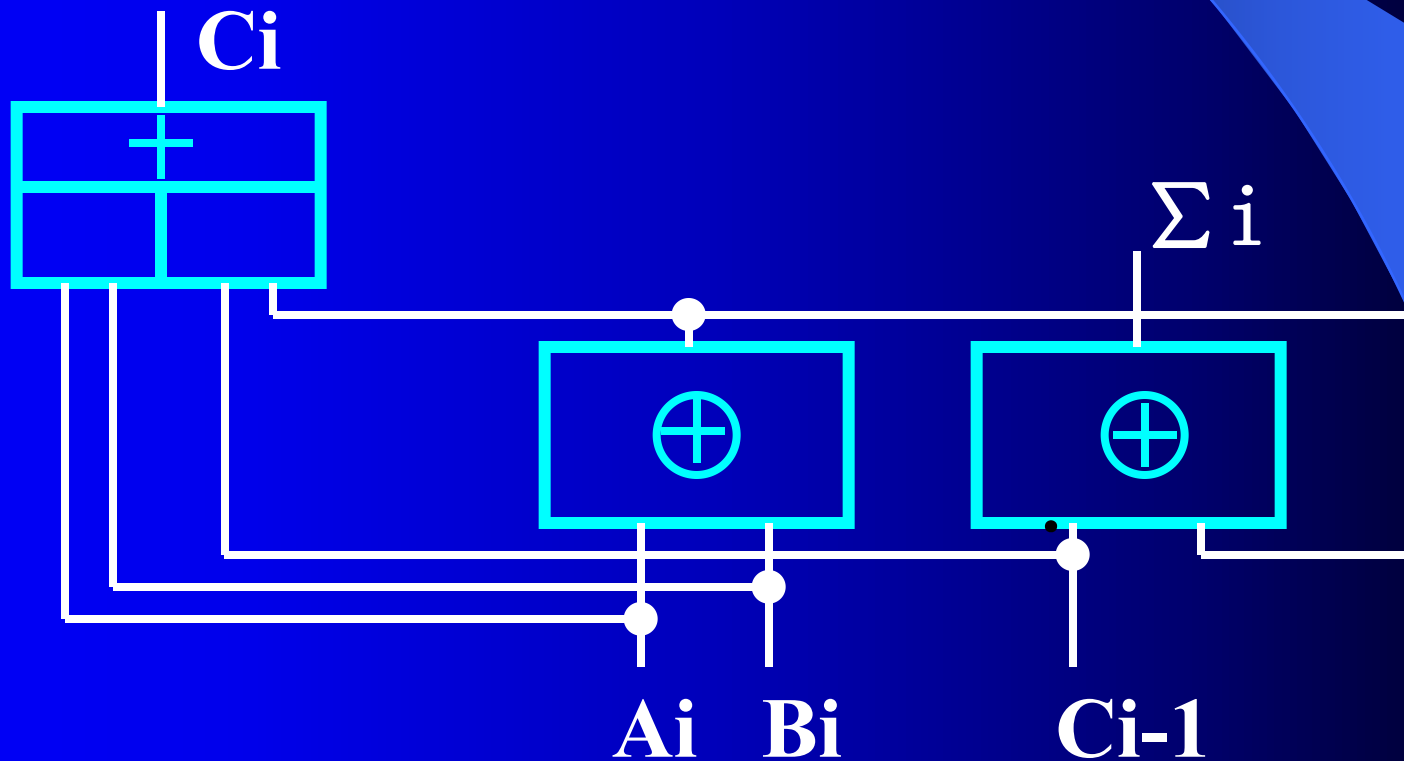


一个输入为1时:  
 $\Sigma i$ 为1,  $C_i$ 为0;  
两个输入为1时:  
 $\Sigma i$ 为0,  $C_i$ 为1;  
三个输入为1时:  
 $\Sigma i$ 为1,  $C_i$ 为1。

## 2. 全加器

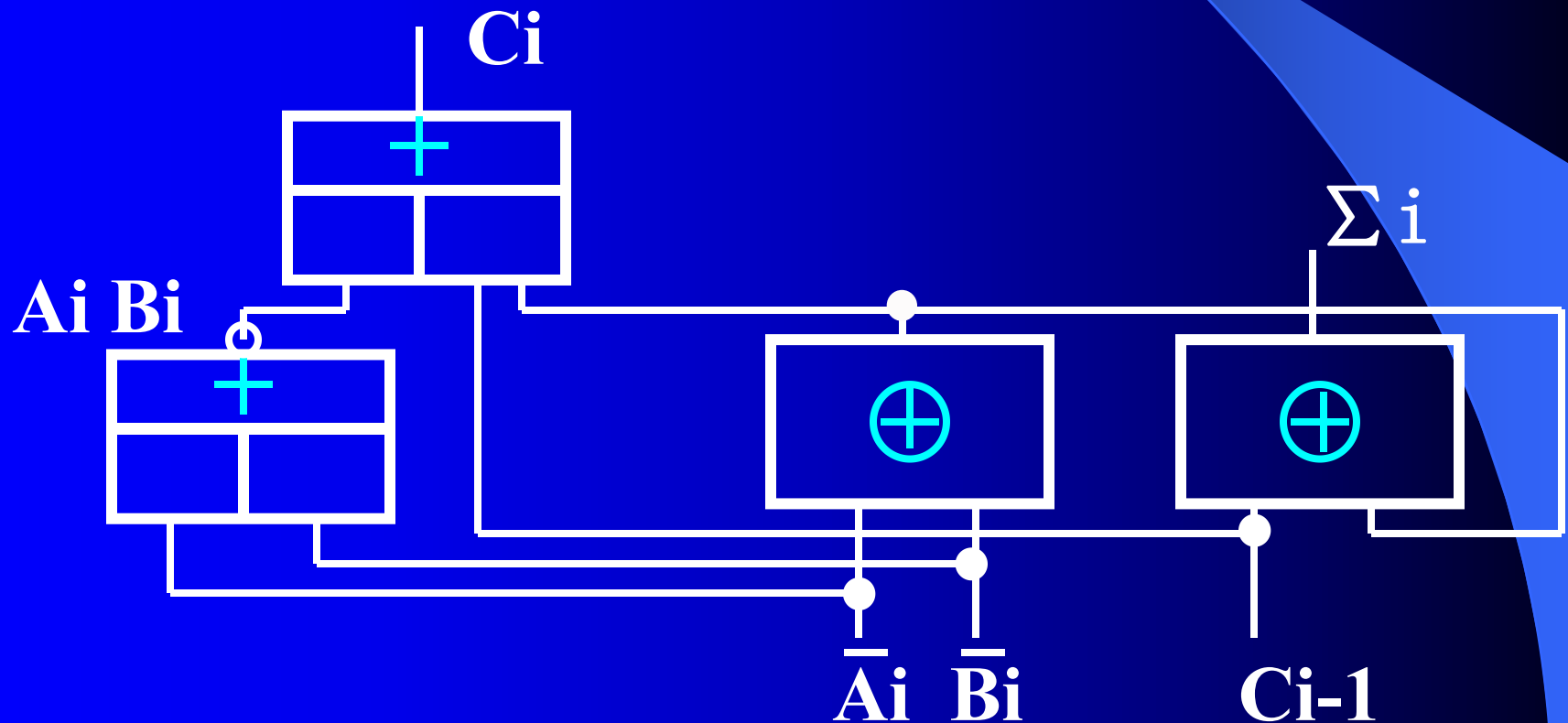
### (1) 逻辑一

$$\begin{cases} \Sigma i = (A_i \oplus B_i) \oplus C_{i-1} \\ C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} \end{cases}$$



## (2) 逻辑二

$$\begin{cases} \Sigma i = (\bar{A}i \oplus \bar{B}i) \oplus C_{i-1} \\ C_i = \bar{\bar{A}i + \bar{B}i} + (\bar{A}i \oplus \bar{B}i)C_{i-1} \end{cases}$$



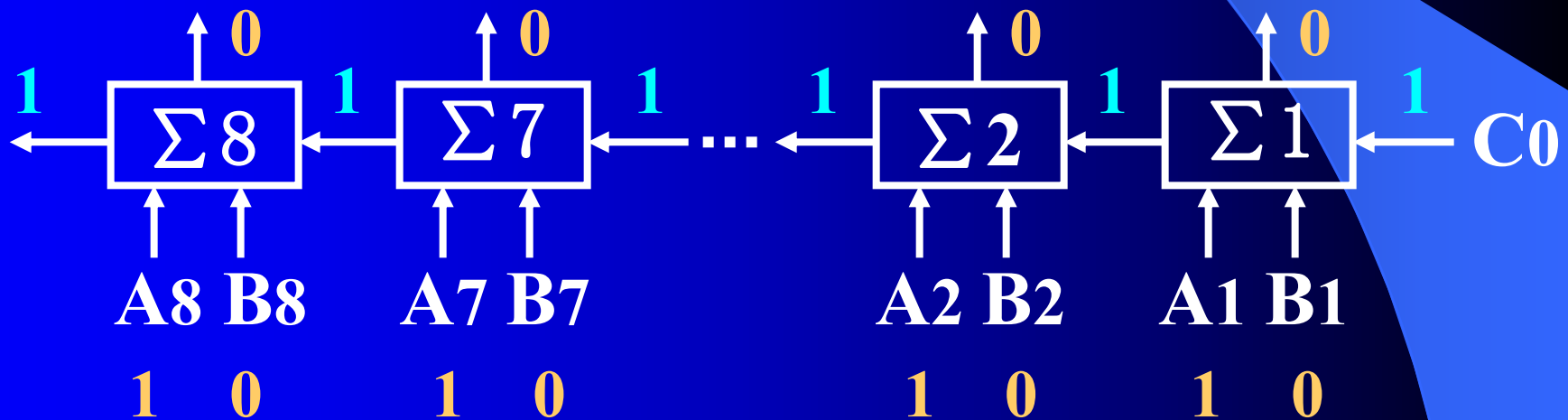
## 3.4.2 加法器与进位链逻辑

### 一. 并行加法器

1. 定义：用n位全加器一步实现n位相加。

2. 特点：各位同时相加。

例. 先看一个8位数相加的例子



3. 影响运算速度的主要因素  
进位信号的传递

## 二. 并行加法器的进位链

### (1) 进位链的基本逻辑关系

$$C_i = A_i B_i + (A_i + B_i) C_{i-1},$$

$$A_i B_i + (A_i \bar{B}_i) \bar{C}_{i-1},$$

$$A_i B_i + (A_i + B_i) C_{i-1}$$

令  $\underline{G_i} = A_i B_i$  进位产生函数

$$\underline{P_i} = A_i \oplus B_i, \bar{A}_i \oplus \bar{B}_i, A_i + B_i$$

所以  $C_i = \underline{G_i} + \underline{P_i} C_{i-1}$  进位传递函数  
(进位条件)

本地进位、绝对进位

条件进位、传递进位

## (2) 串行进位

特点：进位信号逐位形成。

设n位加法器

1) 逻辑式

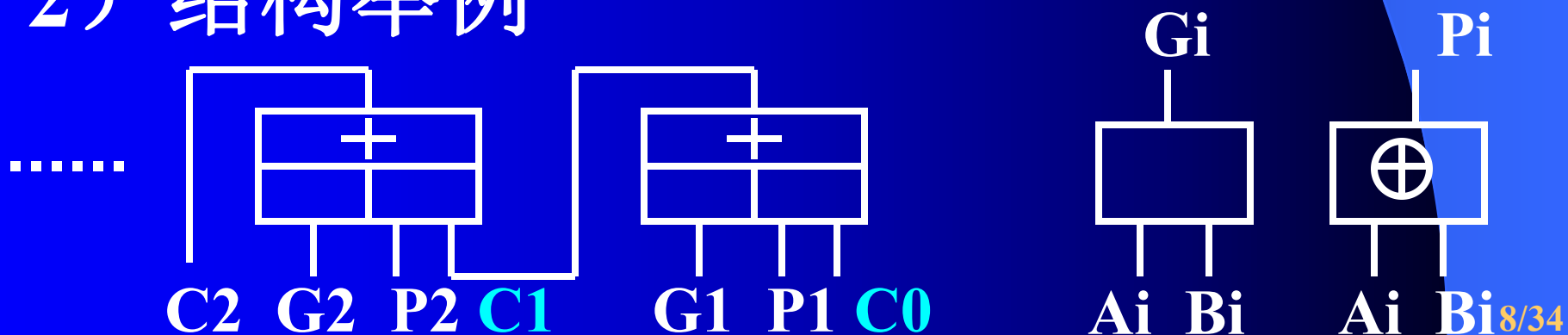
$$C_1 = G_1 + P_1C_0$$

$$C_2 = G_2 + P_2C_1$$

⋮

$$C_n = G_n + P_nC_{n-1}$$

2) 结构举例





### (3) 并行进位

特点：各位进位信号同时形成。

设n位加法器

#### 1) 逻辑式

$$C_1 = G_1 + P_1C_0$$

$$C_2 = G_2 + P_2C_1$$

$$\vdots = G_2 + P_2G_1 + P_2P_1C_0$$

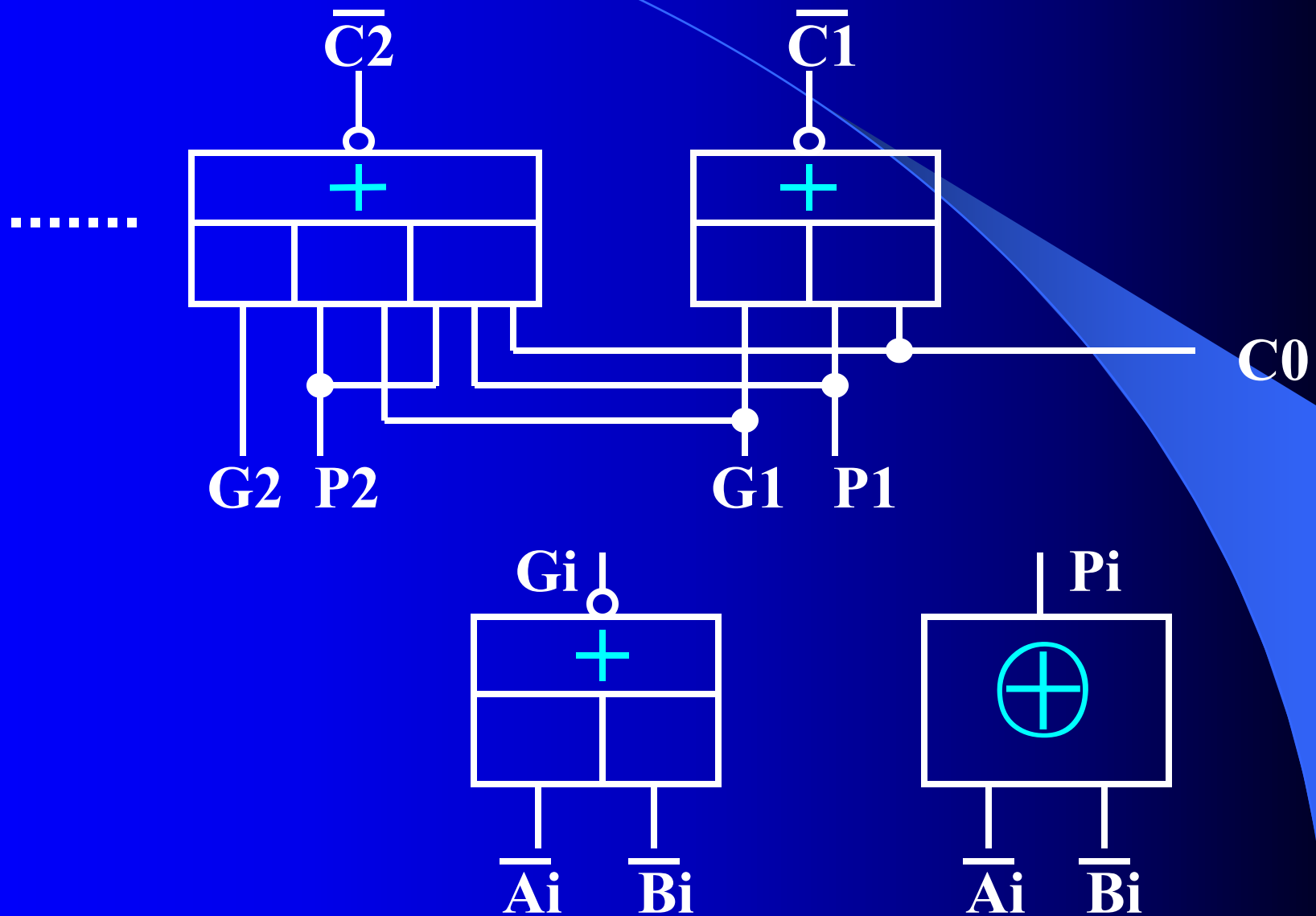
$\vdots$

$$C_n = G_n + P_nC_{n-1}$$

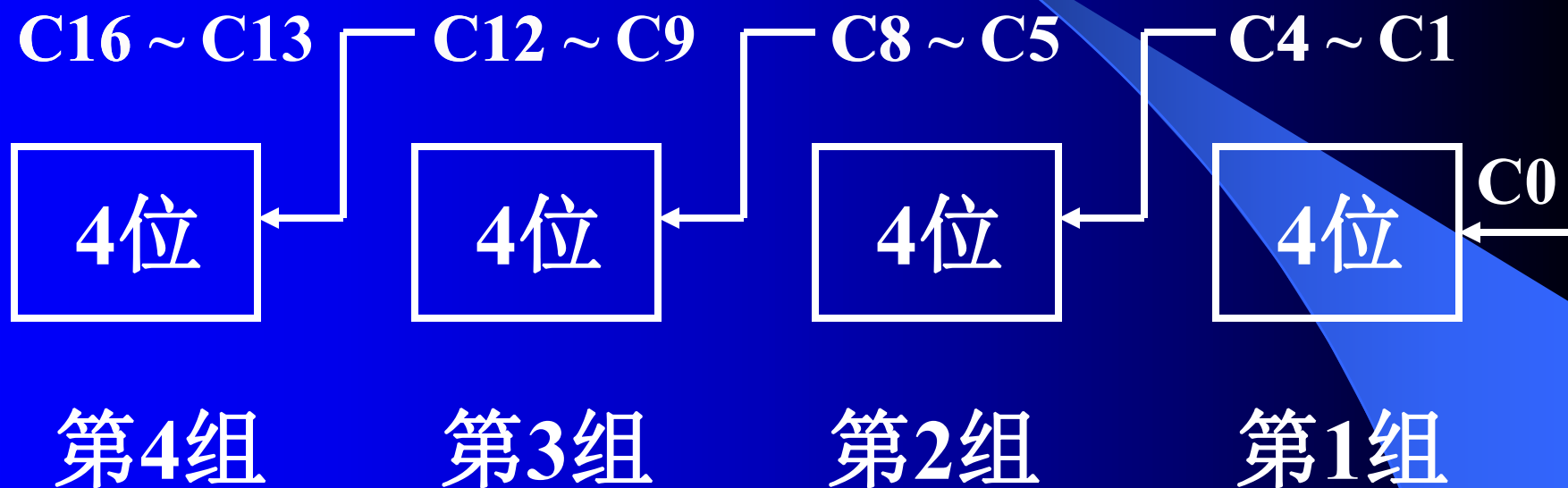
$$= G_n + \underbrace{P_nG_{n-1} + \dots + P_nP_{n-1}\dots P_2P_1C_0}_{n+1 \text{ 项}}$$

n + 1 项

## 2) 结构举例



(4) 组内并行、组间并行  
设16位加法器，4位一组，分为4组：



分级（2级）同时进位

# 1) 第1组进位逻辑式

## 组内:

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 G_1 + P_2 P_1 C_0$$

$$C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$$

## 组间:

$$C_4 = \underbrace{G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1}_{G_I} + \underbrace{P_4 P_3 P_2 P_1 C_0}_{P_I}$$

所以  $C_I = G_I + P_I C_0$

## 2) 第2组进位逻辑式

### 组内:

$$C_5 = G_5 + P_5 C_I$$

$$C_6 = G_6 + P_6 G_5 + P_6 P_5 C_I$$

$$C_7 = G_7 + P_7 G_6 + P_7 P_6 G_5 + P_7 P_6 P_5 C_I$$

### 组间:

$$C_8 = G_8 + P_8 G_7 + P_8 P_7 G_6 + P_8 P_7 P_6 G_5 + P_8 P_7 P_6 P_5 C_I$$

$\overbrace{\hspace{15em}}^{G_{II}}$   
 $\underbrace{\hspace{15em}}_{P_{II}}$

所以  $C_{II} = G_{II} + P_{II} C_I$

### 3) 第3组进位逻辑式

组内:

$$C_9 = G_9 + P_9 C_{II}$$

$$C_{10} = G_{10} + P_{10} G_9 + P_{10} P_9 C_{II}$$

$$C_{11} = G_{11} + P_{11} G_{10} + P_{11} P_{10} G_9 + P_{11} P_{10} P_9 C_{II}$$

组间:

$$C_{12} = \underbrace{G_{12} + P_{12} G_{11} + P_{12} P_{11} G_{10} + P_{12} P_{11} P_{10} G_9}_{P_{III}} + \underbrace{P_{12} P_{11} P_{10} P_9}_{P_{III}} C_{II}$$

所以  $C_{III} = G_{III} + P_{III} C_{II}$

## 4) 第4组进位逻辑式

组内:

$$C_{13} = G_{13} + P_{13}C_{III}$$

$$C_{14} = G_{14} + P_{14}G_{13} + P_{14}P_{13}C_{III}$$

$$C_{15} = G_{15} + P_{15}G_{14} + P_{15}P_{14}G_{13} + P_{15}P_{14}P_{13}C_{III}$$

组间:

$$C_{16} = \underbrace{G_{16} + P_{16}G_{15} + P_{16}P_{15}G_{14} + P_{16}P_{15}P_{14}G_{13}}_{G_{IV}} + \underbrace{P_{16}P_{15}P_{14}P_{13}}_{P_{IV}}C_{III}$$

所以  $C_{IV} = G_{IV} + P_{IV}C_{III}$

## 5) 各组间进位逻辑

$$C_I = \underline{G_I + P_I C_0}$$

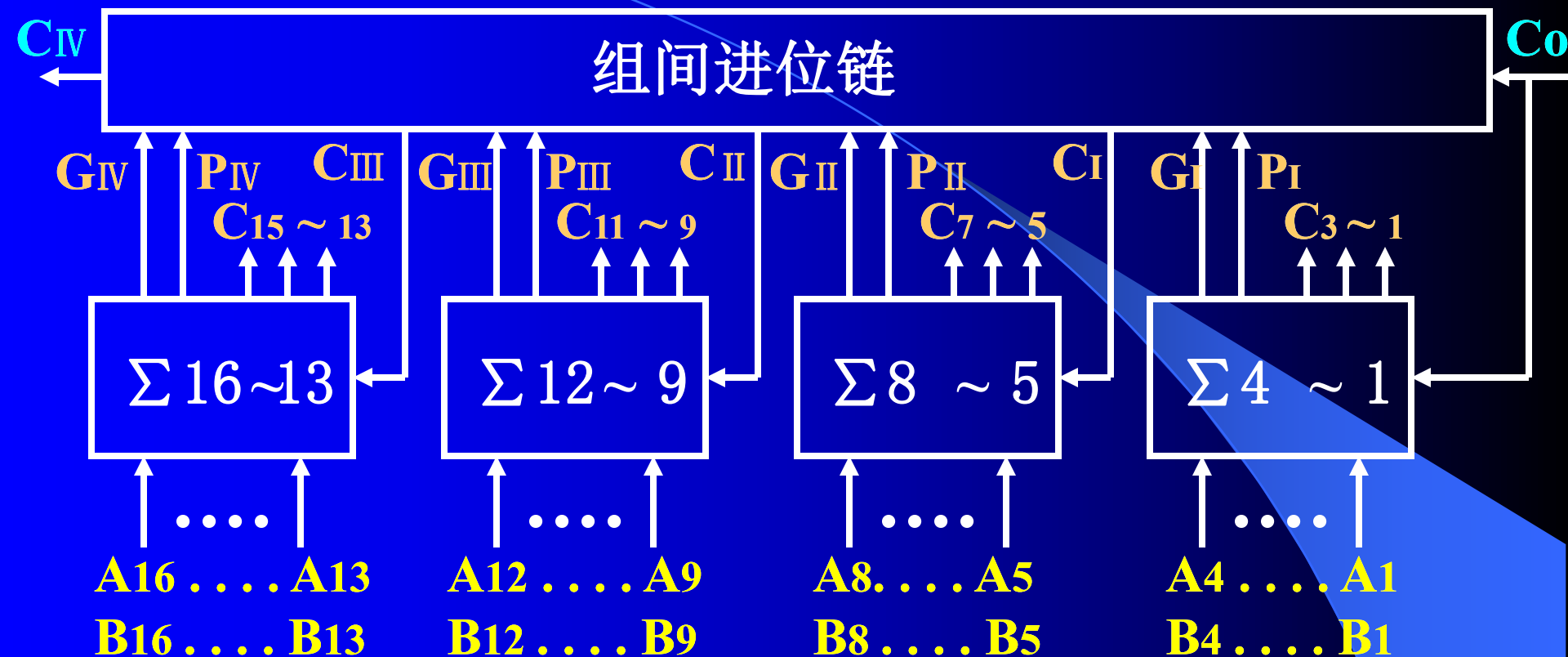
$$\begin{aligned} C_{II} &= G_{II} + P_{II} C_I \\ &= \underline{G_{II} + P_{II} G_I + P_{II} P_I C_0} \end{aligned}$$

$$\begin{aligned} C_{III} &= G_{III} + P_{III} C_{II} \\ &= \underline{G_{III} + P_{III} G_{II} + P_{III} P_{II} G_I + P_{III} P_{II} P_I C_0} \end{aligned}$$

$$\begin{aligned} C_{IV} &= G_{IV} + P_{IV} C_{III} \\ &= \underline{G_{IV} + P_{IV} G_{III} + P_{IV} P_{III} G_{II}} \\ &\quad \underline{+ P_{IV} P_{III} P_{II} G_I + P_{IV} P_{III} P_{II} P_I C_0} \end{aligned}$$



## 6) 结构示意图



## 7) 进位传递过程



**[例]** 已知操作数 $A_i$ 、 $B_i$ ，初始进位 $C_0$ 。试写出 $C_6$ 的逻辑式。

串行进位： $C_6 = G_6 + P_6 \underline{C_5}$

并行进位： $C_6 = G_6 + P_6 G_5 + P_6 P_5 G_4 + \dots$   
 $+ P_6 P_5 \dots P_1 C_0$

分级同时进位，4位一组：

$$C_6 = G_6 + P_6 G_5 + P_6 P_5 \underline{C_1}$$

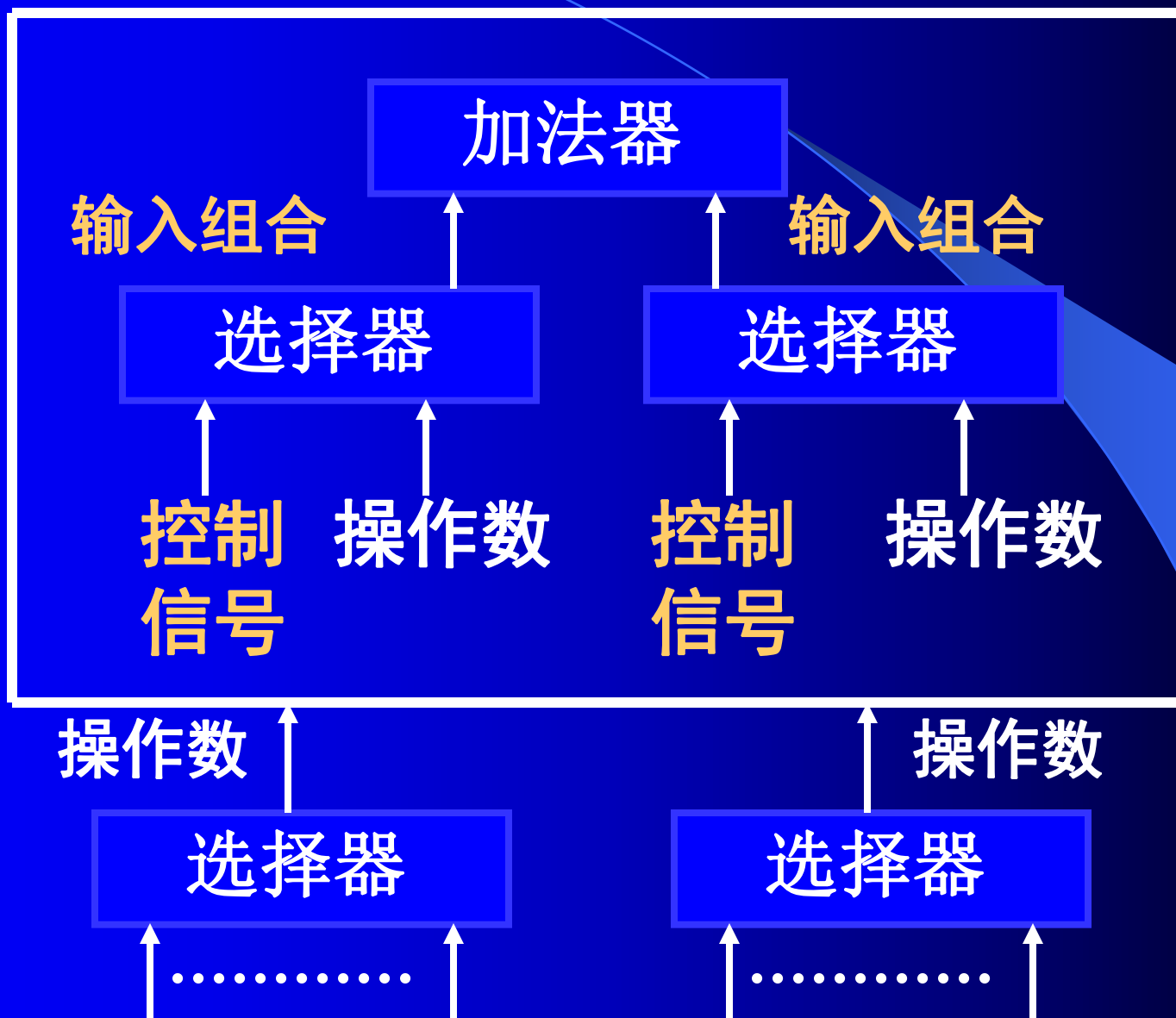
$$C_1 = G_1 + P_1 C_0$$

$$G_1 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1$$

$$P_1 = P_4 P_3 P_2 P_1 \quad G_i = A_i B_i \quad P_i = A_i \oplus B_i$$

### 3.4.3 ALU部件

ALU

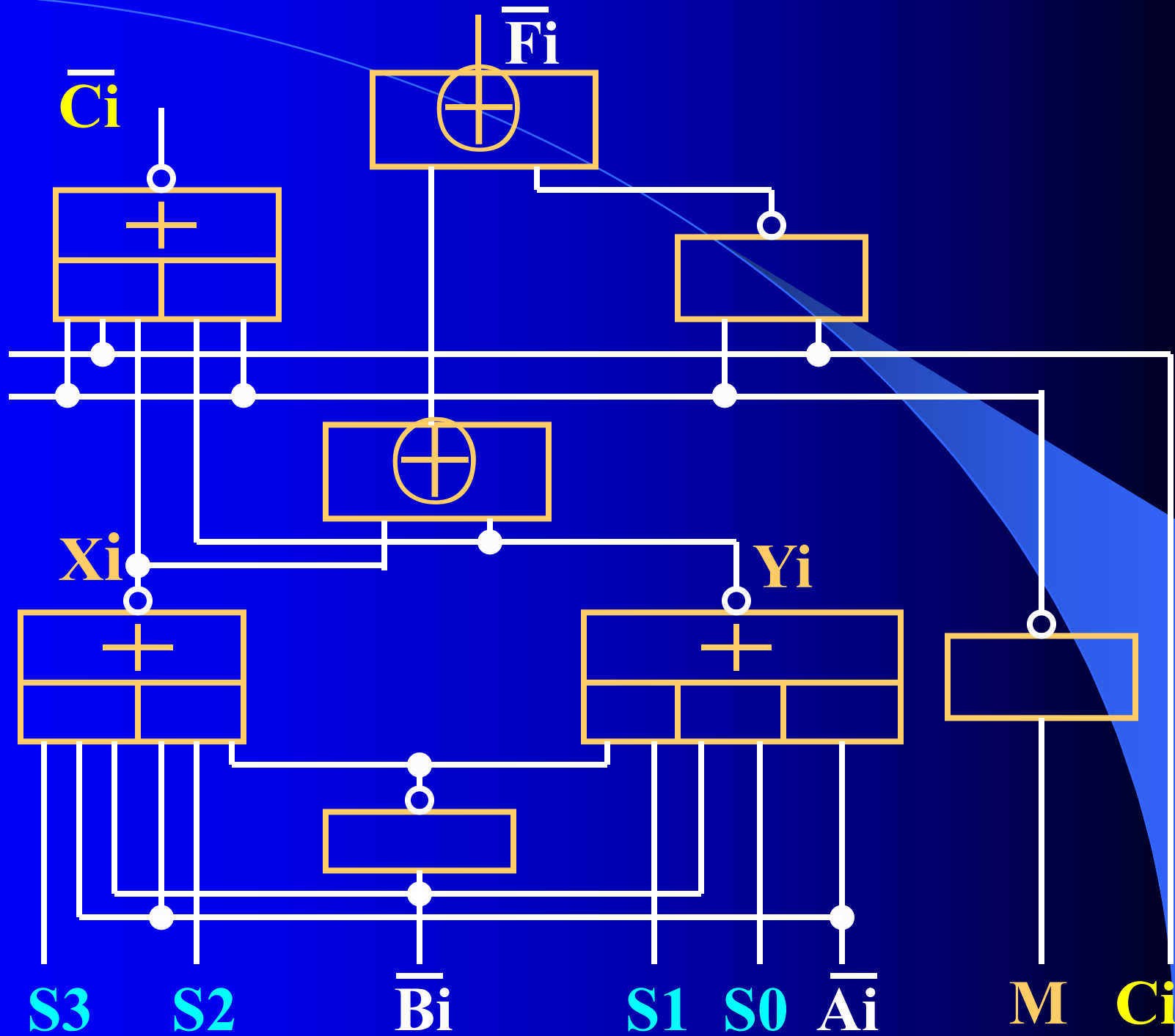


以SN74181芯片（4位片ALU）为例。

## 1. ALU的组成

### （1）一位逻辑

- 1位加法器（求和、进位）
- 1位输入选择器（1对与或非门）
- 1个公共控制门（算术或逻辑运算）



输入端:

操作数  $A_i$ 、 $B_i$

低位进位  $C_{i-1}$

控制信号  $M$ :

$\left\{ \begin{array}{l} 1 \text{ 做逻辑运算} \\ 0 \text{ 做算术运算} \end{array} \right.$

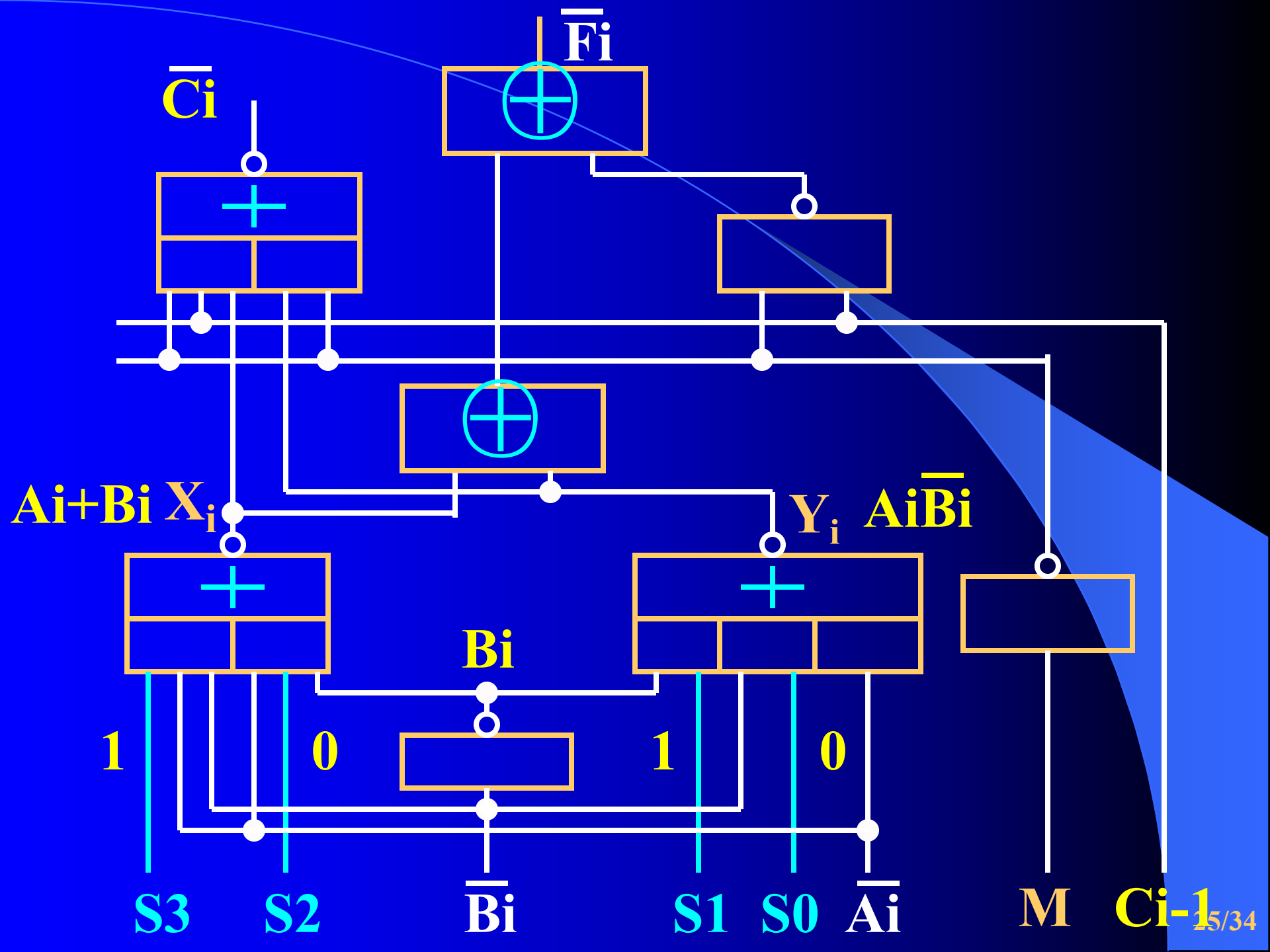
控制信号  $S_3S_2S_1S_0$

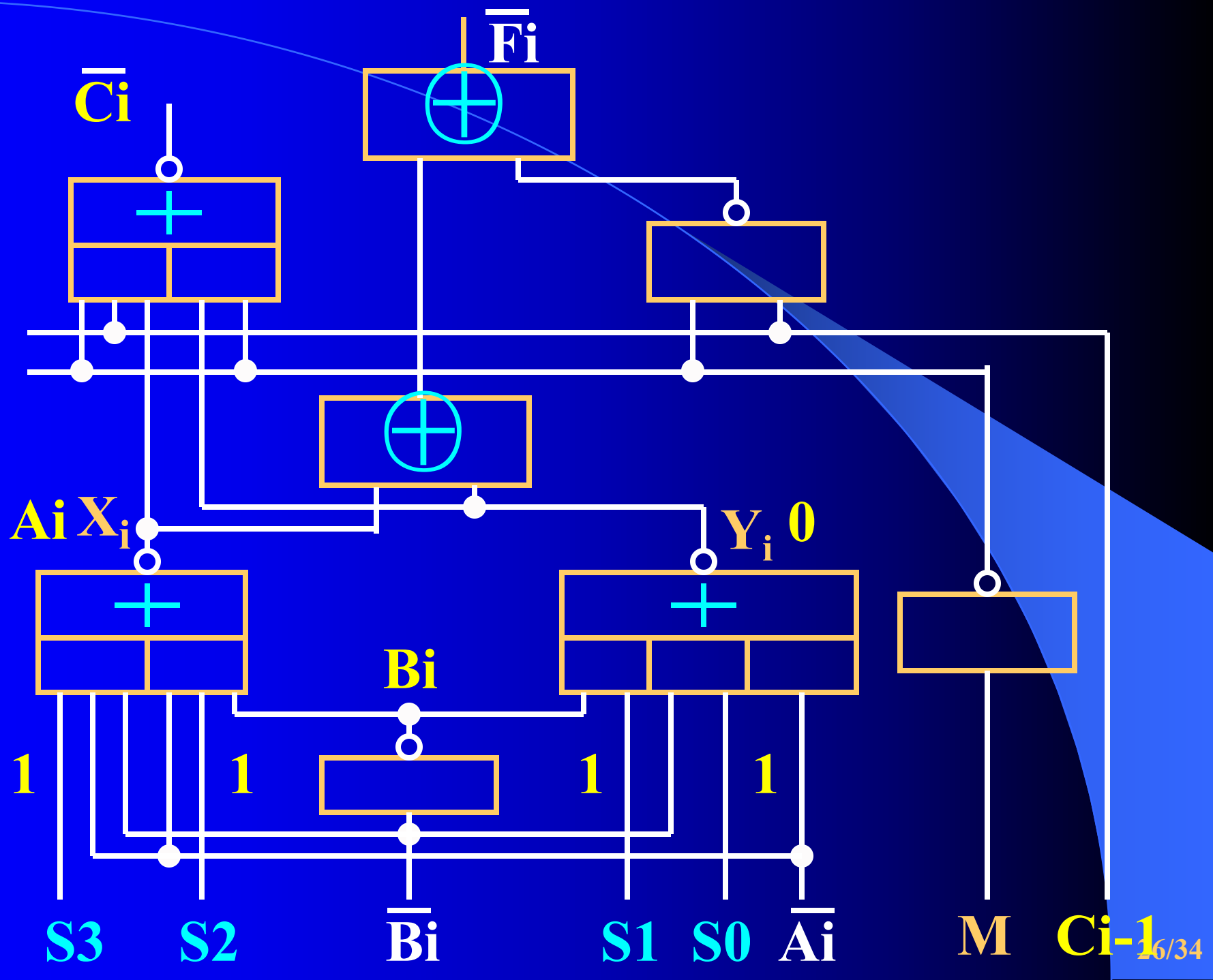
$\left\{ \begin{array}{l} \text{控制产生 } G_i、P_i \\ \text{控制形成多种输入组合} \end{array} \right.$











教材的表：

S3	S2	输出 $X_i$	S1	S0	输出
$\bar{Y}_i$	0	1	0	0	$A_i$
0	1	$A_i + \bar{B}_i$	0	1	$A_i B_i$
1	0	$A_i + B_i$	1	0	$A_i \bar{B}_i$
1	1	$A_i$	1	1	0

## (2) 多位逻辑

参见图：

4位ALU

组内并行进位链

符合比较 “ $A=B$ ”

初始进位  $C_n$

进位输出  $\left\{ \begin{array}{l} C_{n+4} \text{ —— 构成组间串行进位} \\ \overline{G}、\overline{P} \text{ —— 构成组间并行进位} \end{array} \right.$

## 2. 运算功能

16种算术运算功能， 16种逻辑运算功能  
参见下表。

# SN74181功能表

S3 S2 S1 S0	M = 1 (逻辑运算)	M = 0 (算术运算)	
		C0=0 (无进位)	C0=1 (有进位)
0000	$F = \neg A$	A减1	A
0001	$F = \neg (A + B)$	AB减1	AB
0010	$F = \neg A + B$	A/B减1	A/B
0011	逻辑1	全1	0
0100	$F = \neg (A + B)$	A加 (A+/B)	A加 (A+/B) 加1
0101	$F = \neg B$	AB加 (A+/B)	AB加 (A+/B) 加1
0110	$F = \neg (A \oplus B)$	A加/B	A减B
0111	$F = (A + /B)$	A+/B	A+/B加1

# SN74181功能表

S3 S2 S1 S0	M = 1 (逻辑运算)	M = 0 (算术运算)	
		C0=0 (无进位)	C0=1 (有进位)
1000	$F = \neg AB$	$F = A \text{ 加 } (A+B)$	$F = A \text{ 加 } (A+B) \text{ 加 } 1$
1001	$F = A \oplus B$	$F = A \text{ 加 } B$	$F = A \text{ 加 } B \text{ 加 } 1$
1010	$F = B$	$F = A/B \text{ 加 } (A+B)$	$F = A/B \text{ 加 } (A+B) \text{ 加 } 1$
1011	$F = A+B$	$F = A+B$	$F = A+B \text{ 加 } 1$
1100	逻辑0	0	1
1101	$F = A/B$	$F = AB \text{ 加 } A$	$F = AB \text{ 加 } A \text{ 加 } 1$
1110	$F = AB$	$F = A/B \text{ 加 } A$	$F = A/B \text{ 加 } A \text{ 加 } 1$
1111	$F = A$	$F = A$	$F = A \text{ 加 } 1$

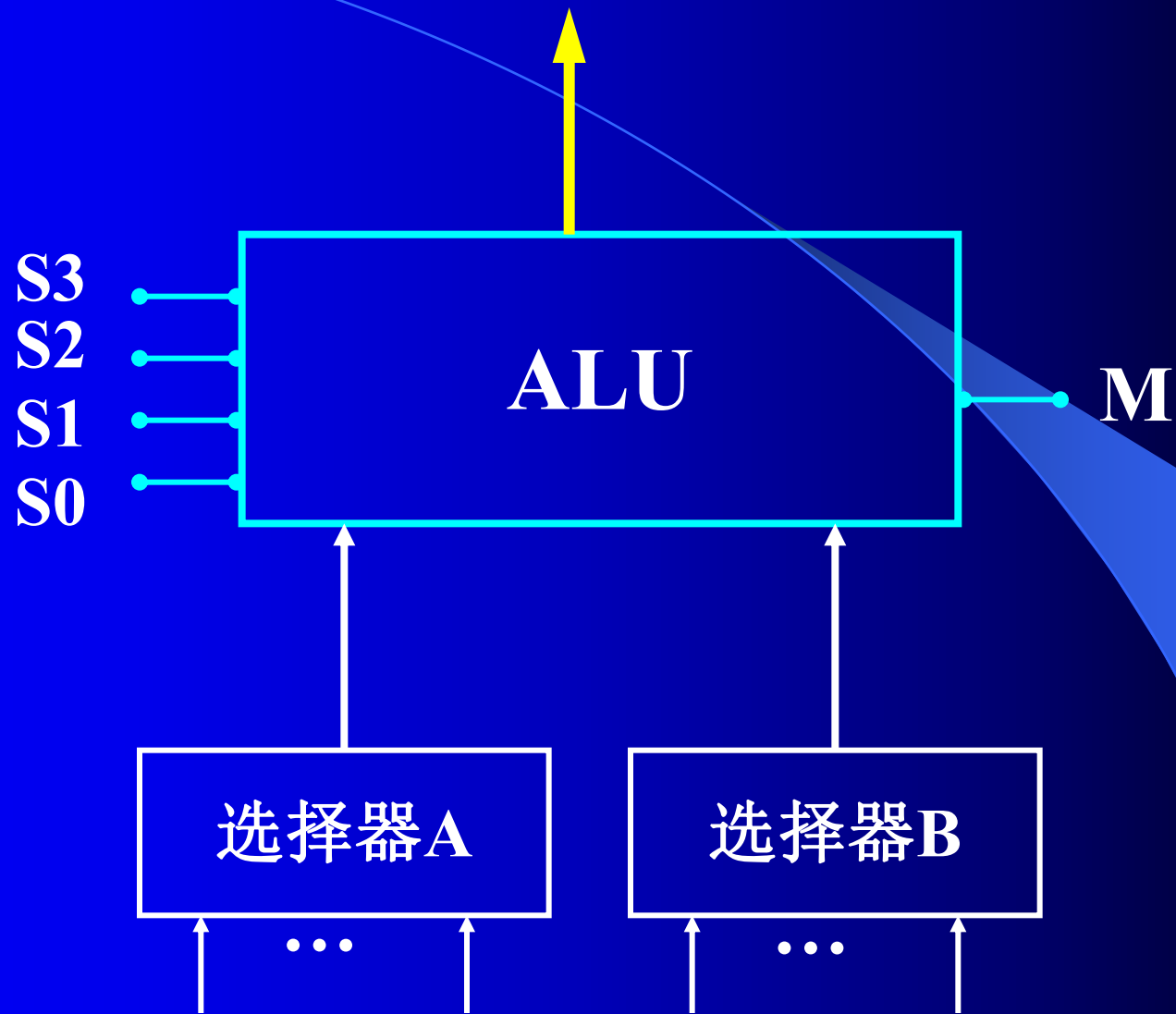
# 常用算术逻辑运算微命令

	M	S3	S2	S1	S0	C0	
A+1	0	1	1	1	1	1	算 术 运 算
A-1	0	0	0	0	0	0	
A+B	0	1	0	0	1	0	
A-B	0	0	1	1	0	1	
传送A	1	1	1	1	1	0	逻 辑 运 算
传送B	1	1	0	1	0	0	



## (1) 组间串行





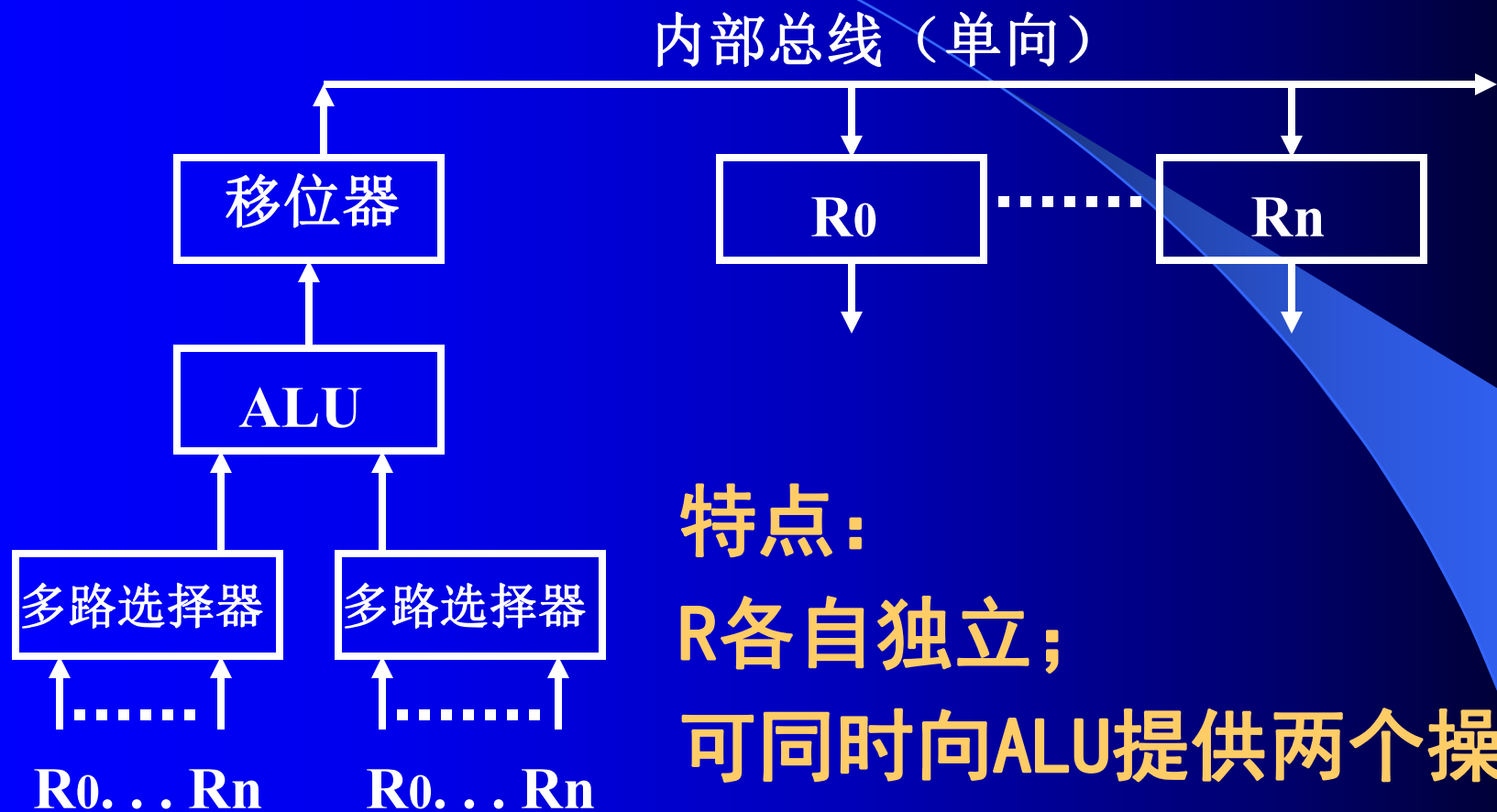
### 3.4.4 运算器组织

寄存器组 { 独立结构  
                  { 小型存储器结构 { 单口  
  { 双口

独立R、双口RAM用多路选择器作为ALU的输入逻辑，

单口RAM用锁存器作为ALU的输入逻辑。

# 1、带多路选择器的运算器



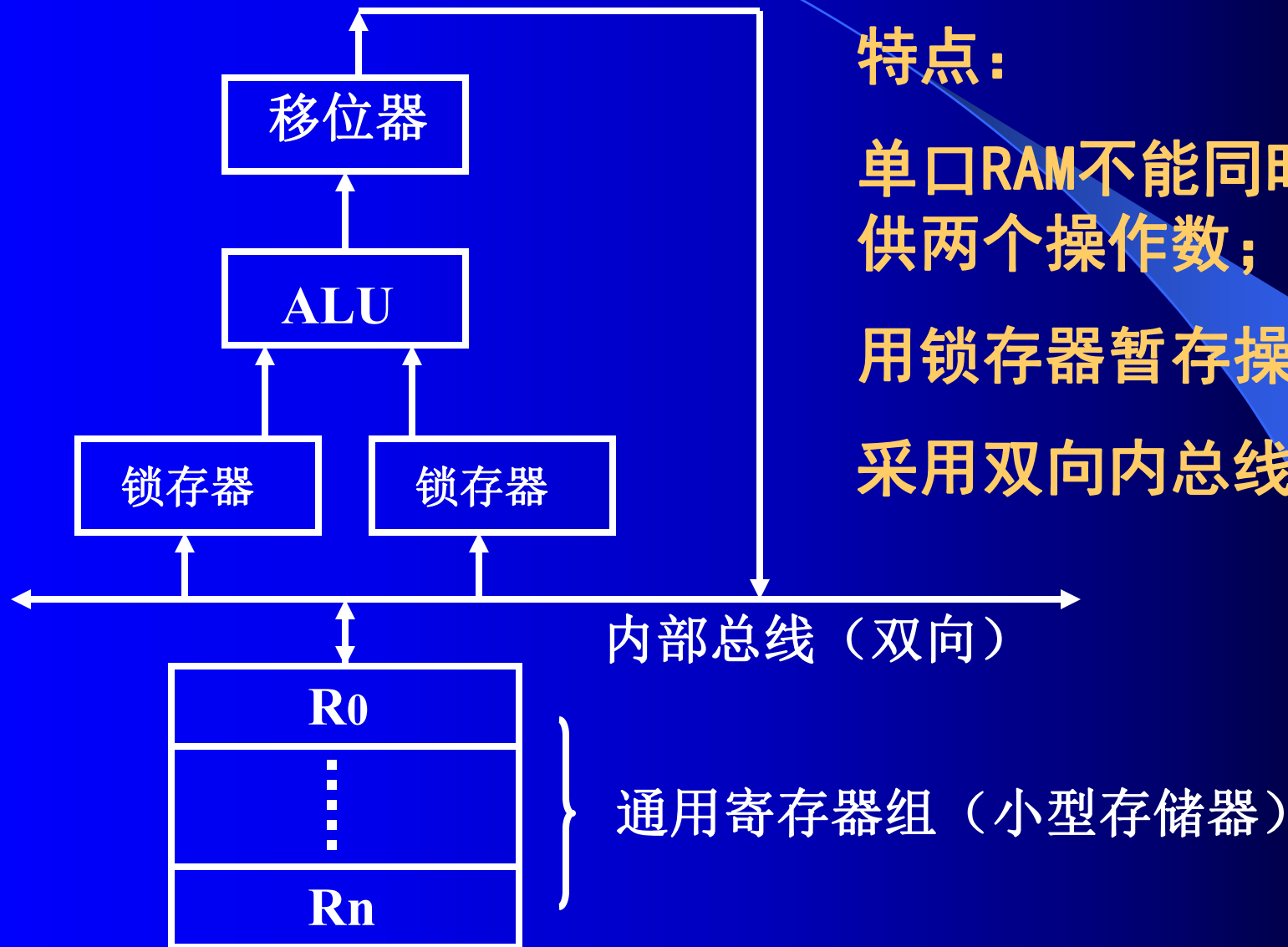
特点:

R各自独立;

可同时向ALU提供两个操作数;

采用单向内总线。

## 2、带输入锁存器的运算器



**特点：**

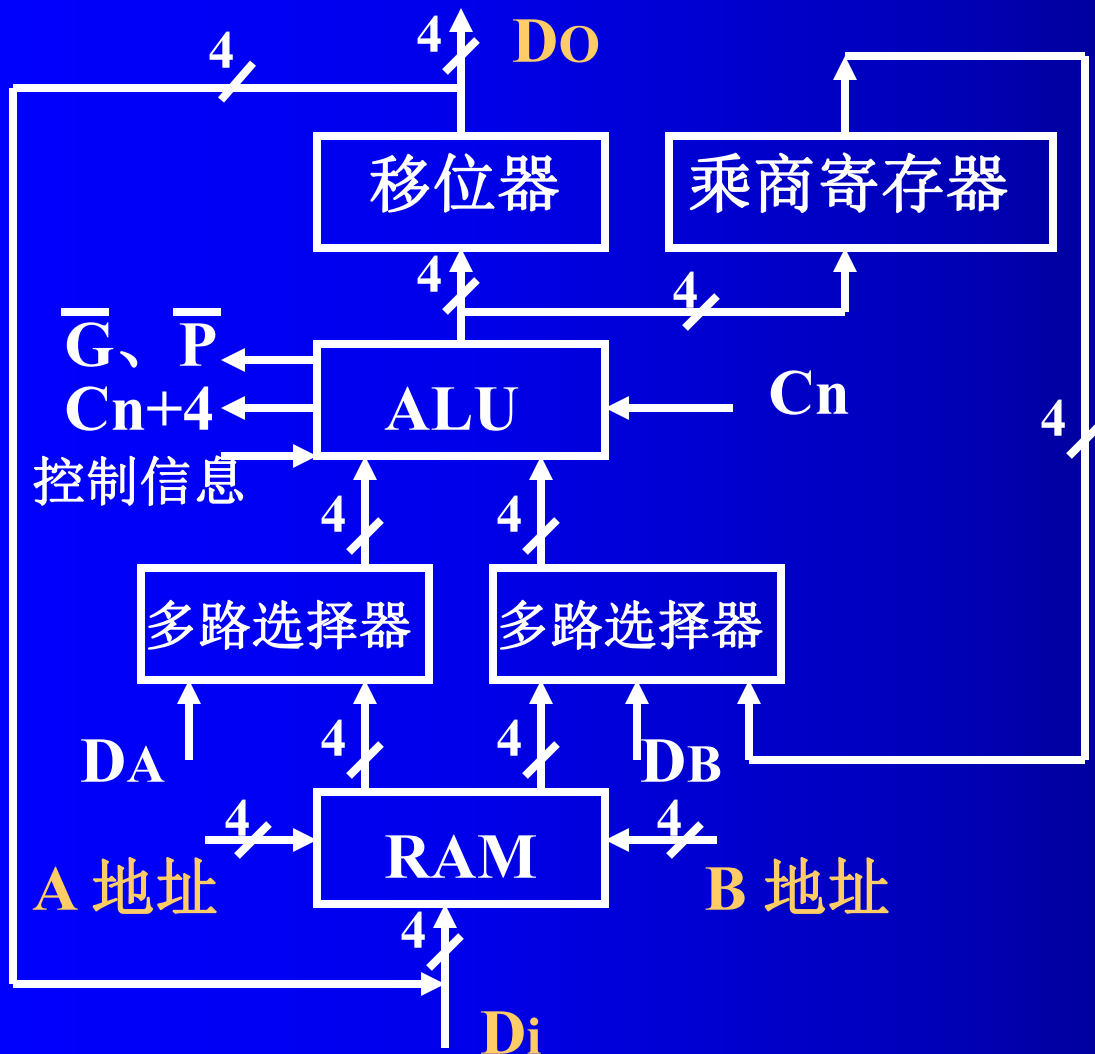
单口RAM不能同时向ALU提供两个操作数；

用锁存器暂存操作数；

采用双向内总线。

# 3、位片式运算器

## 例. 4位片运算器粗框



特点:

用双口RAM（两地址端、两数据端）作通用寄存器组，可同时提供数据；

用多路选择器作输入逻辑，不需暂存操作数；

ALU增加乘、除功能，用乘商寄存器存放乘数、乘积或商。