

4.2 半导体存储器



存储信息原理

- 静态存储器SRAM（双极型、静态MOS型）：
依靠双稳态电路内部交叉反馈的机制存储信息。功耗较大，速度快，作Cache。
- 动态存储器DRAM（动态MOS型）：
依靠电容存储电荷的原理存储信息。功耗较小，容量大，速度较快，作主存。

4.2.1 静态MOS存储单元与存储芯片

1. 六管单元

(1) 组成

T1、T3: MOS反相器

T2、T4: MOS反相器

触发器

T5、T6: 控制门管

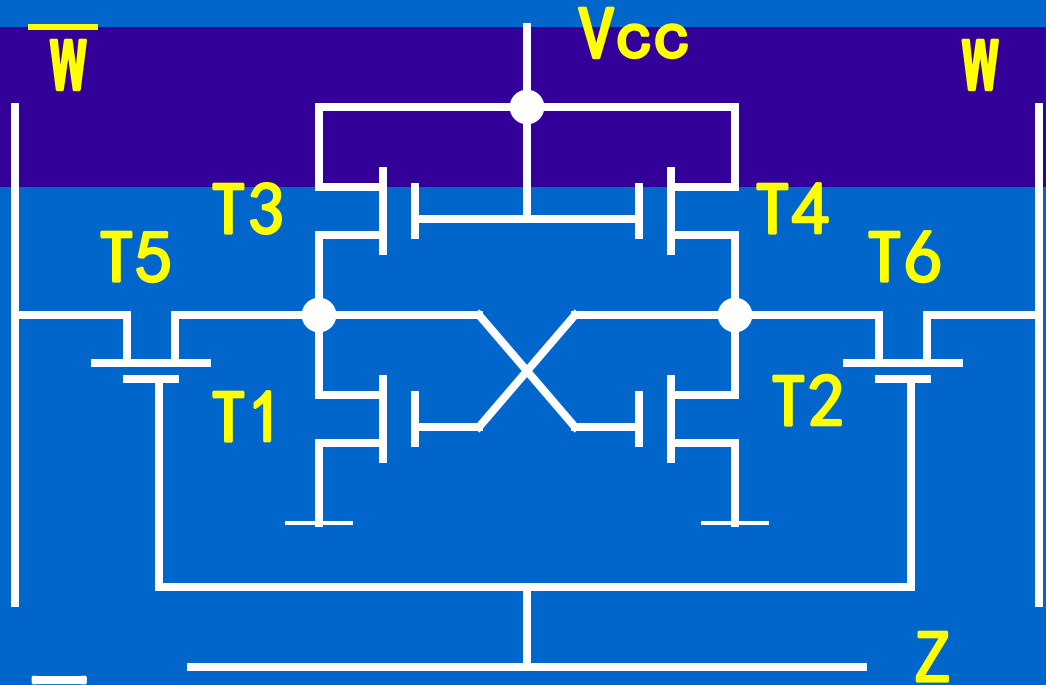
Z: 字线, 选择存储单元

\bar{W} 、 W ：位线，完成读/写操作

(2) 定义

“0”： T1导通， T2截止；

“1”： T1截止， T2导通。

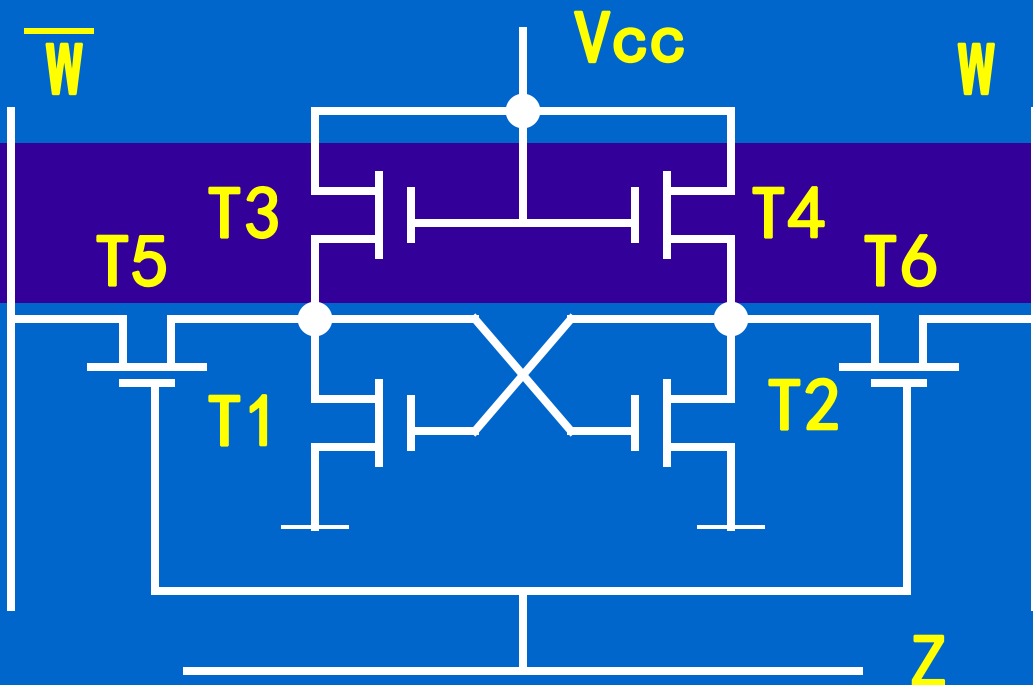


(3) 工作

Z: 加高电平, T5、T6 导通, 选中该单元。

写入：在 \overline{W} 、 W 上分别加高、低电平，写1/0。

读出：根据 \overline{w} 、 w 上有无
电流，读1/0。



(4) 保持

Z: 加低电平, T5、T6截止, 该单元未选中, 保持原状态。

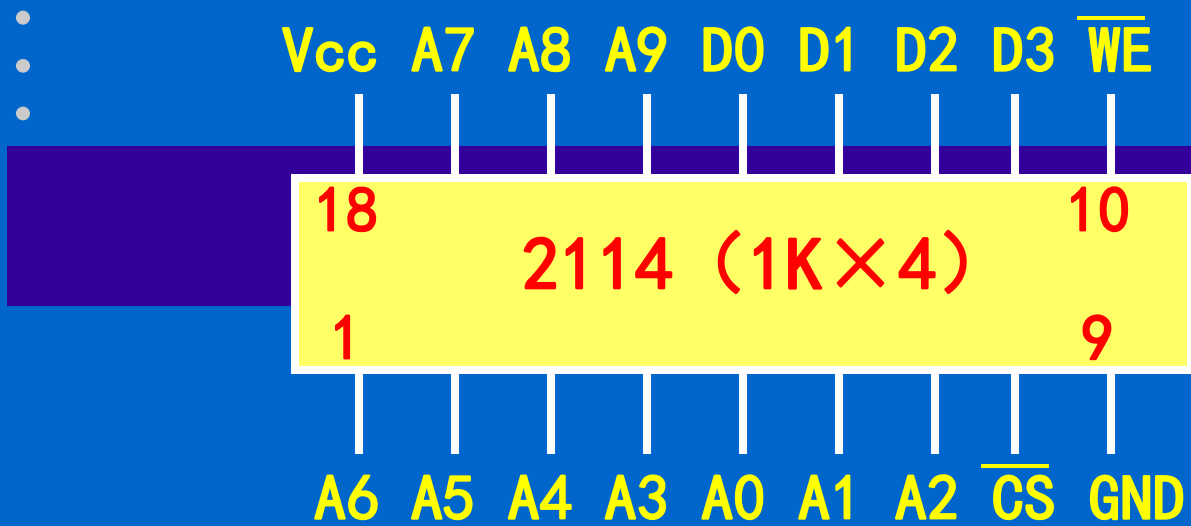
只要电源正常，保证向导通管提供电流，便能维持一管导通，另一管截止的状态不变， \therefore 称静态。

静态单元是非破坏性读出，读出后不需重写。

2. 存储芯片

例. SRAM芯片2114 (1K×4位)

外特性:



地址端：A9~A0 (入)

数据端：D3~D0 (入/出)

控制端：

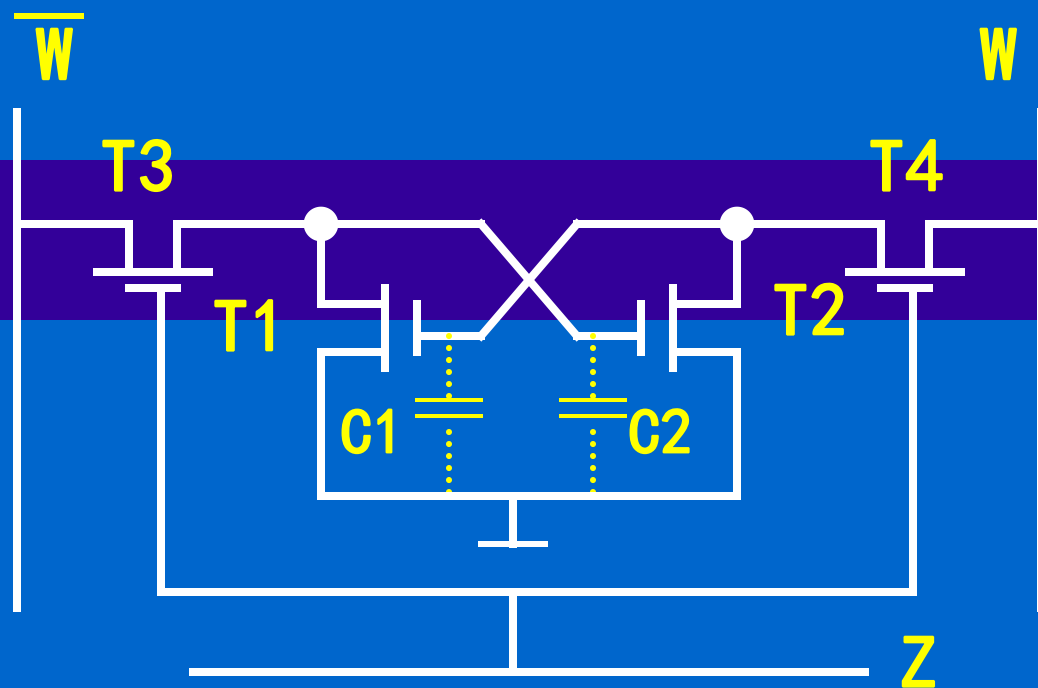
{	片选 \overline{CS}	{	= 0	选中芯片
			= 1	未选中芯片
{	写使能 \overline{WE}	{	= 0	写
			= 1	读

电源、地

The diagram shows a 2D material device with a central crossbar structure. The device is bounded by a top electrode labeled \overline{W} and a bottom electrode labeled Z . The central structure consists of a crossbar with two vertical segments, each containing a capacitor labeled $C1$ and $C2$. The crossbar is connected to two electrodes labeled $T1$ and $T2$. The top electrode is also connected to two electrodes labeled $T3$ and $T4$. The bottom electrode is connected to two electrodes labeled $T1$ and $T2$. The central crossbar structure is connected to the top and bottom electrodes via two vertical segments, each containing a capacitor labeled $C1$ and $C2$.

写入：在 \overline{W} 、 W 上分别加高、低电平，写1/0。

读出： \overline{W} 、 W 先预充电至高电平，断开充电回路，再根据 \overline{W} 、 W 上有无电流，读1/0。



(4) 保持

Z：加低电平，T3、T4截止，该单元未选中，保持原状态。

需定期向电容补充电荷（动态刷新）， \therefore 称动态。

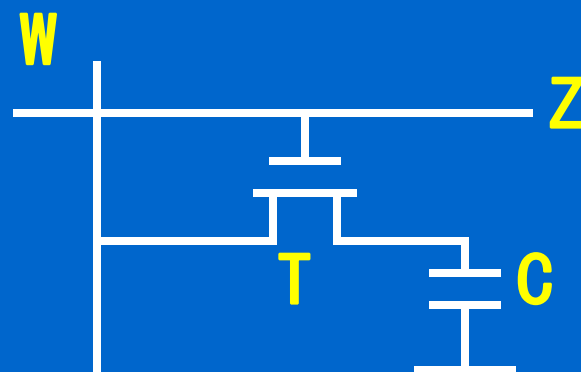
四管单元是非破坏性读出，读出过程即实现刷新。

2. 单管单元

(1) 组成

C：记忆单元 **T：**控制门管

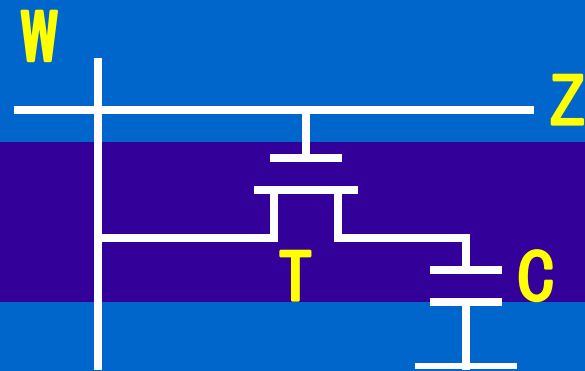
Z：字线 **W：**位线



(2) 定义

“0”：C无电荷，电平V0（低）

“1”：C有电荷，电平V1（高）



(3) 工作

写入：Z加高电平，T导通，在W上加高/低电平，写1/0。

读出：W先预充电，断开充电回路。

Z加高电平，T导通，根据W线电位的变化，读1/0。

(4) 保持

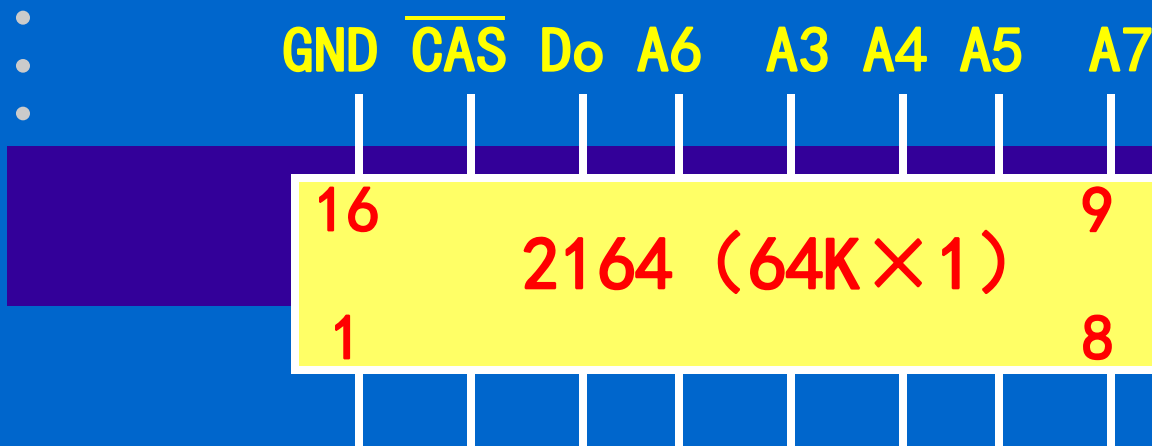
Z：加低电平，T截止，该单元未选中，保持原状态。

单管单元是破坏性读出，读出后需重写。

3. 存储芯片

例. DRAM芯片2164 (64K×1位)

外特性：



空闲/刷新 Di $\overline{\text{WE}}$ $\overline{\text{RAS}}$ A0 A2 A1 Vcc

地址端：A7~A0（入） 分时复用，提供16位地址。

数据端：

- Di （入）
- Do （出）

控制端：

- 写使能 $\overline{\text{WE}}$
 - = 0 写
 - = 1 读
- 片选
 - 行地址选通 $\overline{\text{RAS}}$ ：=0时A7~A0为行地址
 - 列地址选通 $\overline{\text{CAS}}$ ：=0时A7~A0为列地址

电源、地

1脚未用，或在新型号中用于片内自动刷新。

高8位地址

低8位地址

主存的组织涉及：M的逻辑设计、动态M的刷新、主存的校验。

4.2.3 半导体存储器逻辑设计

需解决：芯片的选用、地址分配与片选逻辑、信号线的连接。

例1. 用2114 ($1K \times 4$) SRAM芯片组成容量为 $4K \times 8$ 的存储器。地址总线A15~A0 (低)，双向数据总线D7~D0 (低)，读/写信号线R/W。

给出芯片地址分配与片选逻辑, 并画出M框图。

1. 计算芯片数

(1) 先扩展位数, 再扩展单元数。

2片 $1K \times 4 \rightarrow 1K \times 8$
4组 $1K \times 8 \rightarrow 4K \times 8$ > 8片

(2) 先扩展单元数，再扩展位数。

4片 $1K \times 4 \longrightarrow 4K \times 4$
2组 $4K \times 4 \longrightarrow 4K \times 8$ > 8 片

2. 地址分配与片选逻辑

存储器寻址逻辑 { 芯片内的寻址系统(二级译码)
 { 芯片外的地址分配与片选逻辑

为芯片分配哪几位地址，
以便寻找片内的存储单元

由哪几位地址形成芯片选择逻辑，
以便寻找芯片

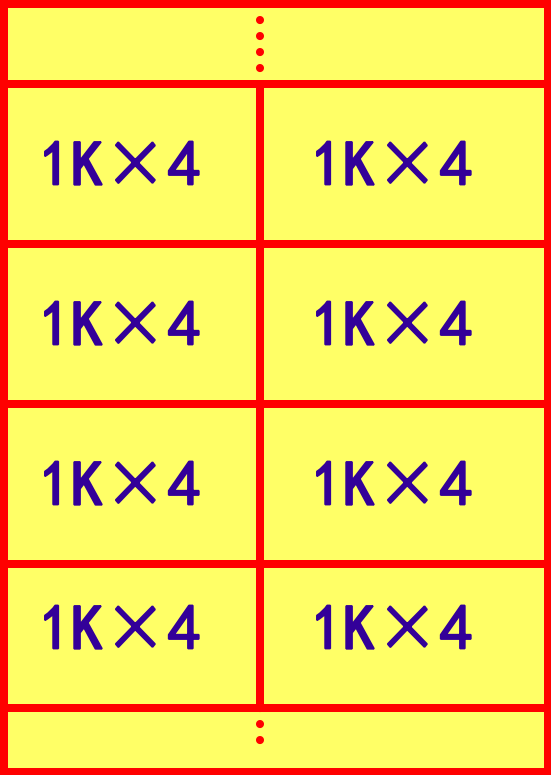
存储空间分配：

4KB存储器在16位地址空间（64KB）中占据
任意连续区间。

任意值 片选 芯片地址
A15...A12 A11 A10 A9.....A0

64KB

	0	0	0	0
<	0	0	1	1
	0	1	0	0
<	0	1	1	1
	1	0	0	0
<	1	0	1	1
	1	1	0	0
<	1	1	1	1



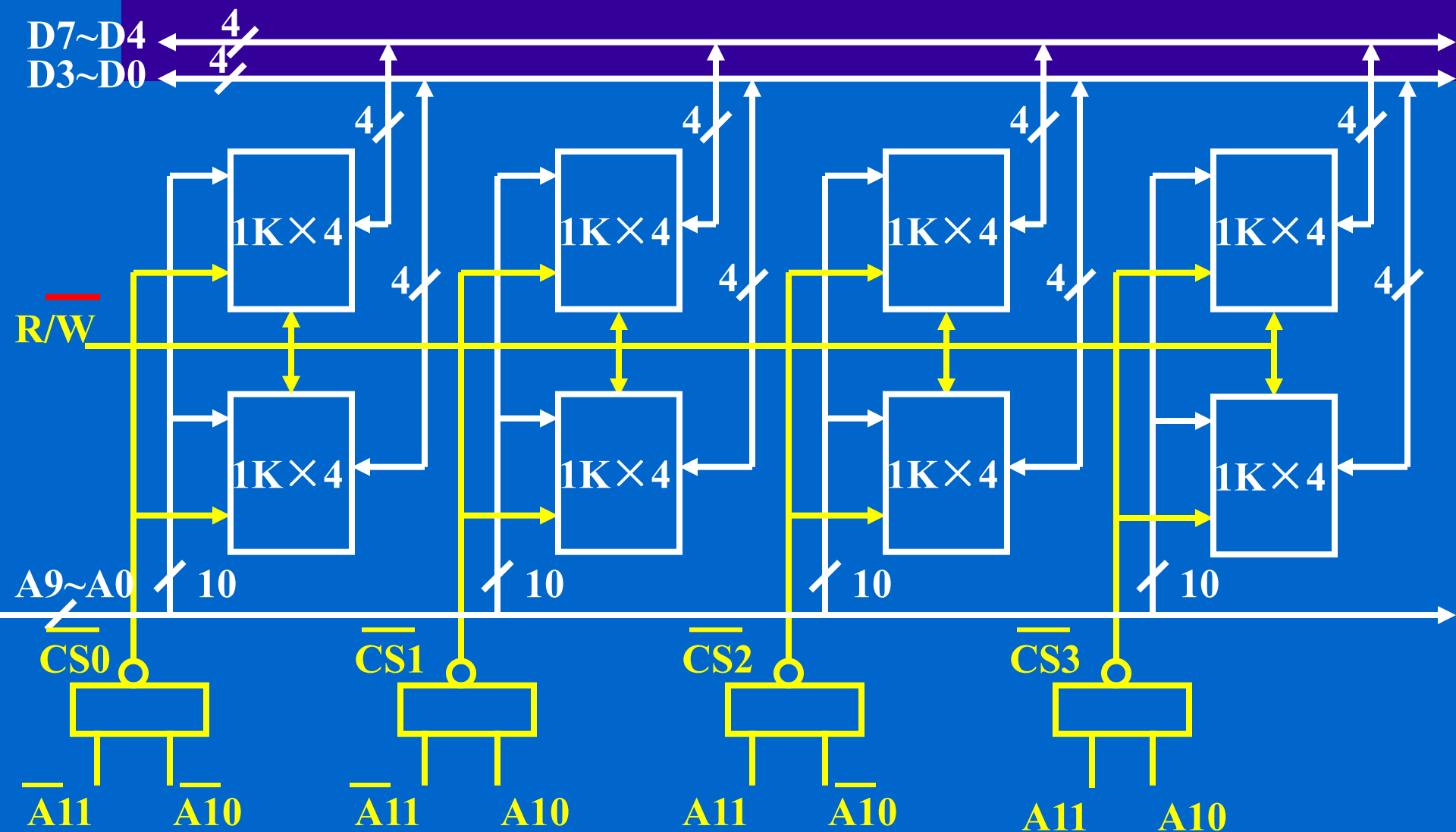
4KB
需12位地址
寻址：
A11~A0

低位地址分配给芯片，高位地址形成片选逻辑。

芯片	芯片地址	片选信号	片选逻辑
1K	A9~A0	CS0	$\overline{A11}\overline{A10}$
1K	A9~A0	CS1	$\overline{A11}A10$
1K	A9~A0	CS2	$A11\overline{A10}$
1K	A9~A0	CS3	$A11A10$

3. 连接方式

(1) 扩展位数 (2) 扩展单元数 (3) 连接控制线



(4) 形成片选逻辑电路

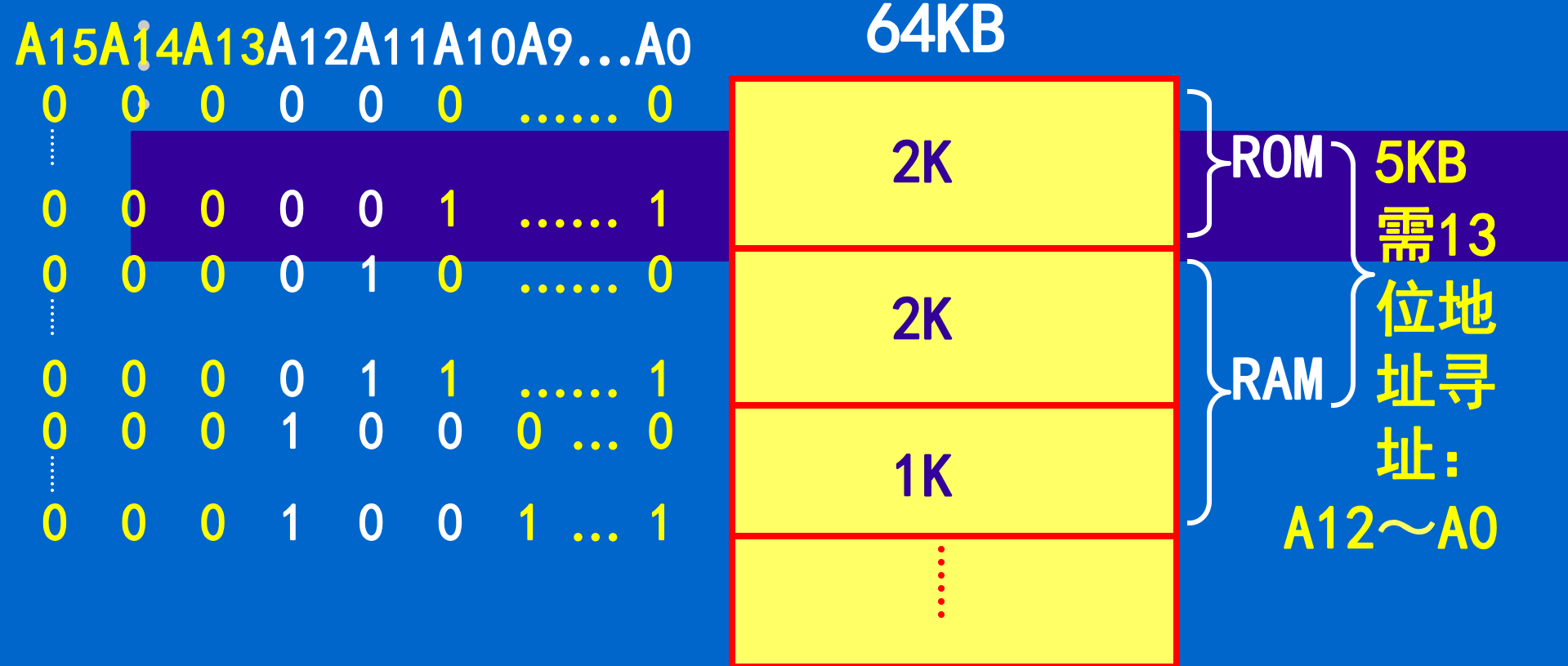
例2: 某半导体存储器，按字节编址。其中，
0000H ~ 07FFH 为ROM区，选用EPROM芯片
(2KB/片)；0800H ~ 13FFH 为RAM区，选用
RAM芯片(2KB/片和1KB/片)。地址总线
A15 ~ A0 (低)。给出地址分配和片选逻辑。

1. 计算容量和芯片数

ROM区: 2KB RAM区: 3KB 共3片

2. 地址分配与片选逻辑

存储空间分配: 先安排大容量芯片(放地址
低端)，再安排小容量芯片。
便于拟定片选逻辑。



低位地址分配给芯片，高位地址形成片选逻辑。

芯片	芯片地址	片选信号	片选逻辑
2K	A10~A0	CS0	$\overline{A_{12}}\overline{A_{11}}$
2K	A10~A0	CS1	$\overline{A_{12}}A_{11}$
1K	A9~A0	CS2	$A_{12}\overline{A_{11}}\overline{A_{10}}$

A15 A14 A13 为全0

4.2.4 动态存储器的刷新

1. 刷新定义和原因

定义：

定期向电容补充电荷 —— 刷新。

原因：

动态存储器依靠电容电荷存储信息。平时无电源供电，时间一长电容电荷会泄放，需定期向电容补充电荷，以保持信息不变。

⋮

注意刷新与重写的区别。

破坏性读出后重写，以恢复原来的信息。

非破坏性读出的动态M，需补充电荷以保持原来的信息。

2. 最大刷新间隔

2ms。在此期间，必须对所有动态单元刷新一遍。

3. 刷新方法

按行读。

刷新一行所用的时间 —— **刷新周期**（存取周期）

刷新一块芯片所需的**刷新周期数**由芯片矩阵的**行数**决定。

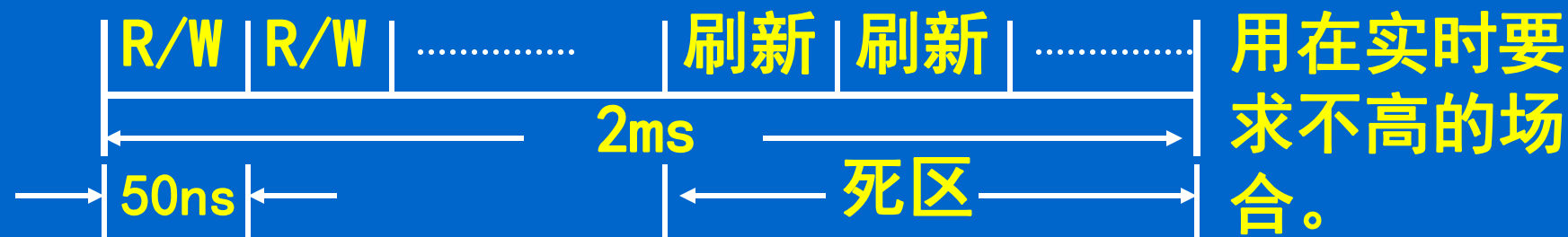
⋮

对主存的访问 { CPU访存：由CPU提供行、列地址，随机访问。
动态芯片刷新：由刷新地址计数器提供行地址，定时刷新。

4. 刷新周期的安排方式

(1) 集中刷新

2ms内集中安排所有刷新周期。



(2) 分散刷新

各刷新周期分散安排在存取周期中。



用在低速系统中。

(3) 异步刷新

各刷新周期分散安排在2ms内。

每隔一段时间刷新一行。

例. $\frac{2\text{ms}}{128\text{行}} \approx 15.6 \text{ 微秒}$ 每隔15.6微秒提一次刷新请求，刷新一行；2毫秒内刷新完所有行。



用在大多数计算机中。