



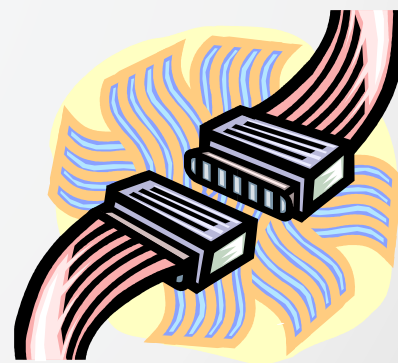
# 计算机组成原理





# 计算机组成原理

## 七、系统总线



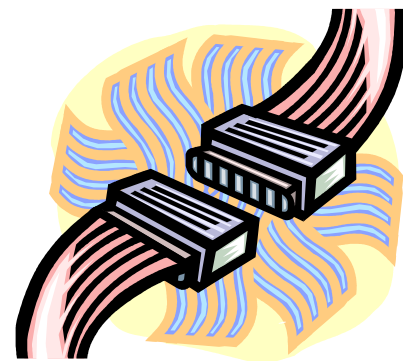
## || 本章主要内容

- 总线基本概念
- 总线接口
- 总线的仲裁与定时
- 常用总线



# 总线(BUS)基本概念

- ◆ 各功能部件间传递各类信息的**公共通路**
  - ◆ 计算机体系结构的重要组成部分
  - ◆ 可将计算机系统各功能部件连接起来构成一个完整系统
- ◆ 系统中各部件间的**物理接口**，能够减少各部件通信的复杂程度
- ◆ **提供**信息交换时所需的数据、地址、时序和控制**信息**
- ◆ **提供**一个共同遵循的**协议或标准**
- ◆ **方便**计算机系统的集成、扩展和进化
- ◆ 不应**成为**整个计算机性能的**瓶颈**



## 总线分类

- **按总线数量分** 并行传输总线、串行传输总线
- **按传输方向分** 单向传输总线、双向传输总线
- **按传输速度分** 高速总线、低速总线
- **按时序控制分** 同步总线、异步总线
- **按连接部件分**
  - ◆ 片内总线 (CPU内各功能单元间的连线) AMBA
  - ◆ 系统总线 (系统内各部件间的连线) PCI、AGP等
  - ◆ 外部总线 USB、火线 (IEEE-1394) 等
  - ◆ I/O总线 (I/O设备间的连接总线)

# 总线组成

## ■ 数据总线

- 用于传送数据信息，双向传输

## ■ 地址总线

- 专门用来传送地址，单向传输

## ■ 控制总线

- 用来传送控制信号和时序信号

## ■ 电源、地线

# 总线特性

## ■ 物理特性---总线的物理连接方式

□ 根数, 插头, 座的形状, 引线的排列方式

## ■ 电气特性---定义信号线的传递方向及有效电平

□ 单/双向, 电平高有效/低有效及范围

## ■ 时间特性---总线上各信号有效的时序关系

□ 同步、异步

□ 多路复用: 地址线和数据线能否共用一条物理线



## 三态门与总线

- 高阻态
- 三态门输出缓冲
- 基于三态门的有向总线

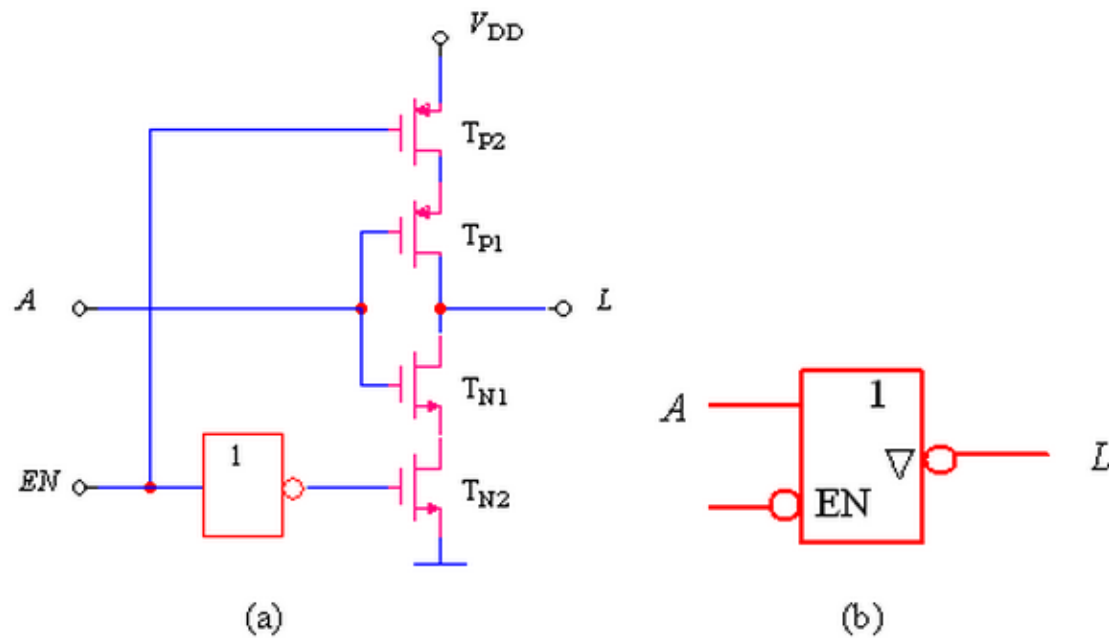


图 2.2.1 三态门电路

(a) 电路图 (b) 代表符号



# 总线性能评价

- 总线宽度、时钟频率、总线传输周期、总线传输频率
- **总线带宽**：总线本身所能达到的最高传输速率
  - 单位： Byte/s
- **同步总线带宽** = 总线宽度 × 总线时钟频率 × 单时钟传输次数
  - 总线宽度，总线传输频率
  - 信号线类型、是否允许突发模式
  - 总线连接方式、总线定时方式、并串模式
- **波特率 Baud**

## 几个例子

■ ISA	16bit 8.3MHz	$Dr=2*8=16MB/s$
■ EISA	32bit 16MHz	$Dr=4*16=64MB/s$
■ PCI	32/64bit 33MHz	$Dr=133/266MB/s$
■ AGP	64bit 66MHz	$Dr=8*66=528MB/s$
■ PCI-X	64Bit 133MHz	$Dr=8*133=1GB/s$

## || 例子

例. 某32位总线中,时钟频率为100MHZ,该总线2个时钟周期传输一个字。

(1)总线的数据传输率为多少?

(2)若总线数据线增加到64位,则总线数据传输率为多少?

解:

1) 时钟频率为100MHZ,总线传输频率 $100/2 = 50\text{MHZ}$

数据传输率 =  $4\text{B} * 50\text{MHZ} = 200\text{MB/s}$

(2)数据传输率 =  $8\text{B} * 50\text{MHZ} = 400\text{MB/s}$

## 总线标准化

- 不同厂家的相同功能部件可互换使用

ISA

EISA

VESA

AGP

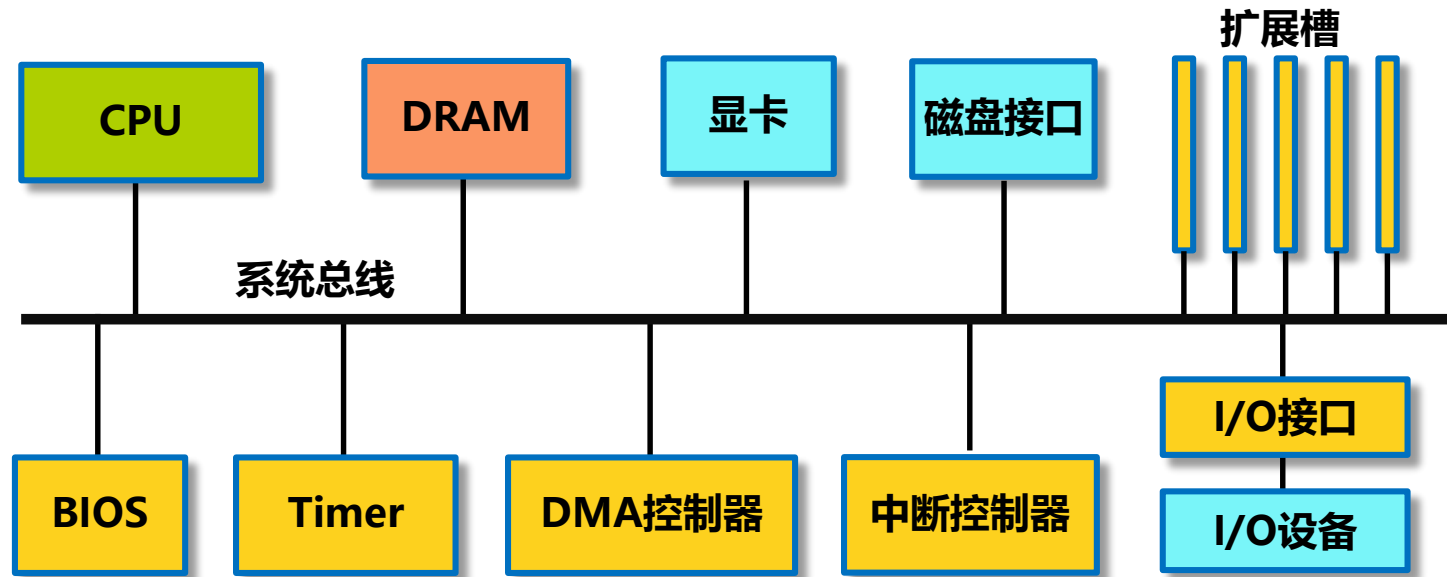
PCI

# 总线结构

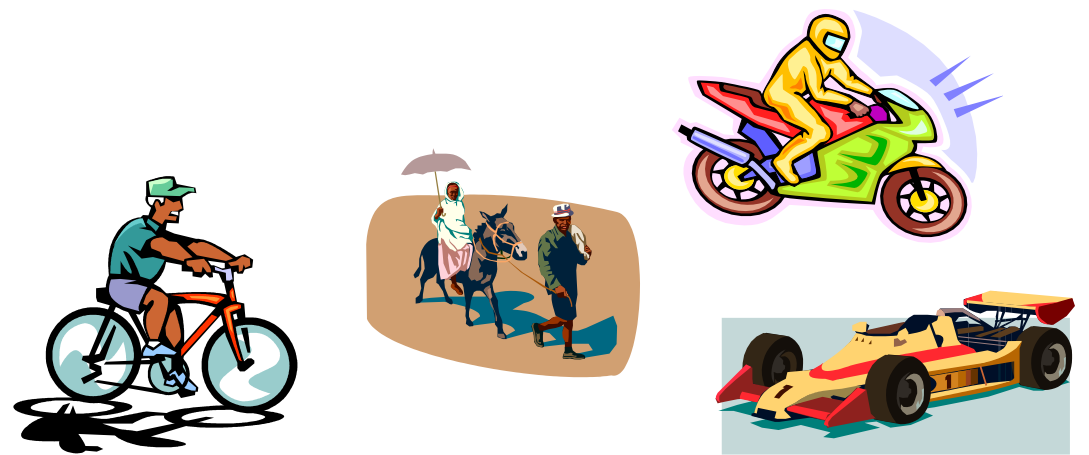
- 总线排列及与其它各部件的连接方式影响计算机系统性能
  - 单总线结构
  - 双总线结构
  - 三总线结构



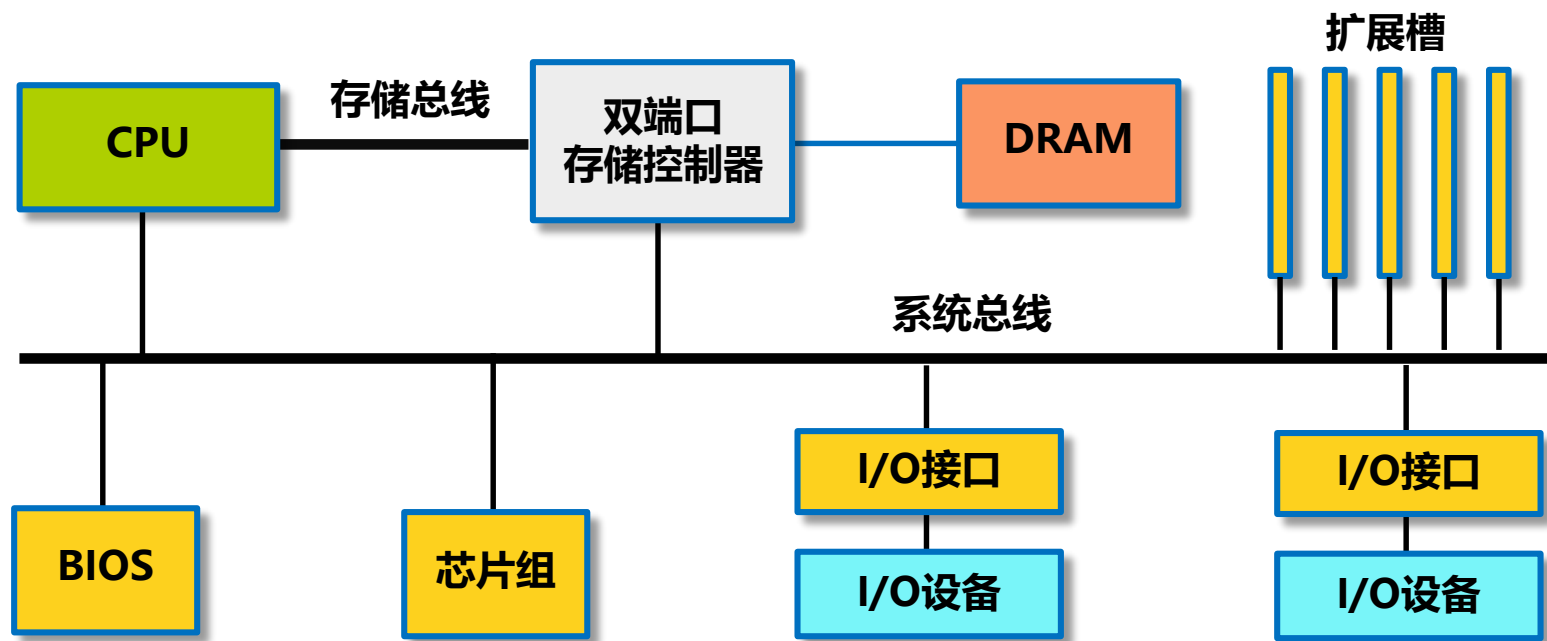
# 单总线结构



- 总线结构简单，使用灵活，扩充容易
- 统一编址，简化指令系统，存储空间减少
- 共享总线，分时使用，通信速度慢
- 高速设备的高速特性得不到发挥

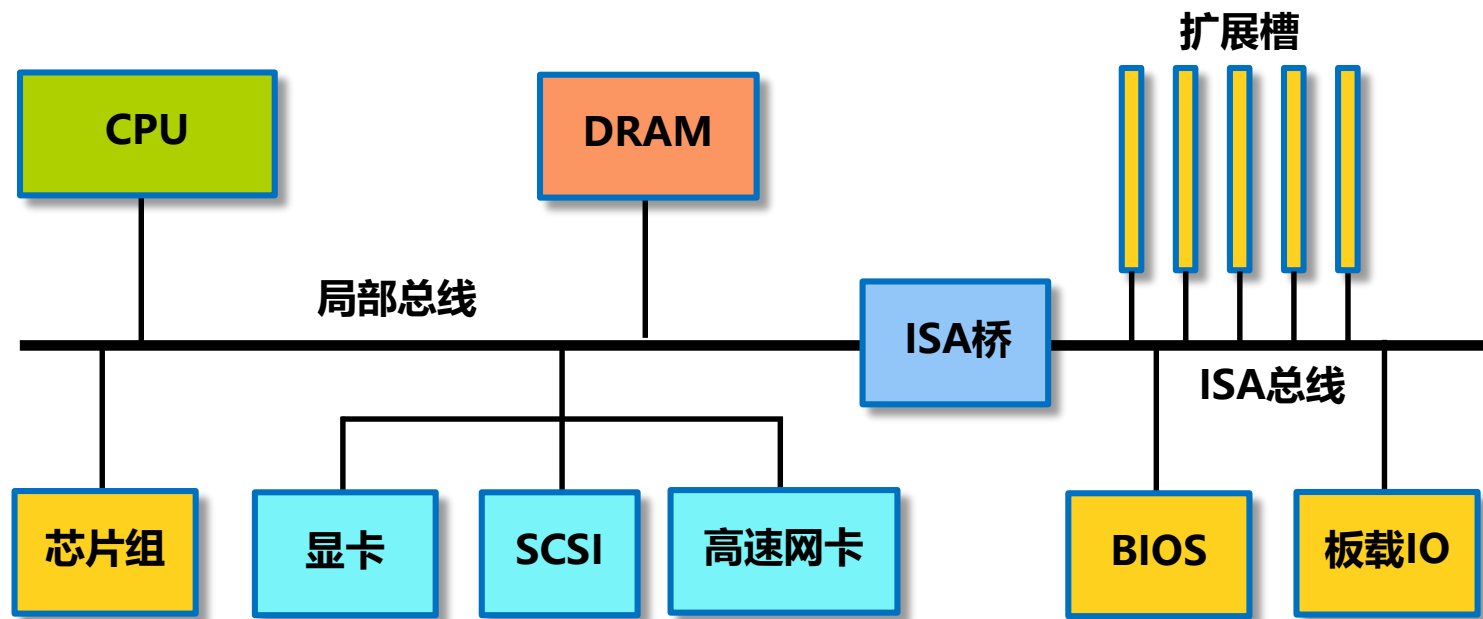


## 双总线结构1 (主存为中心)



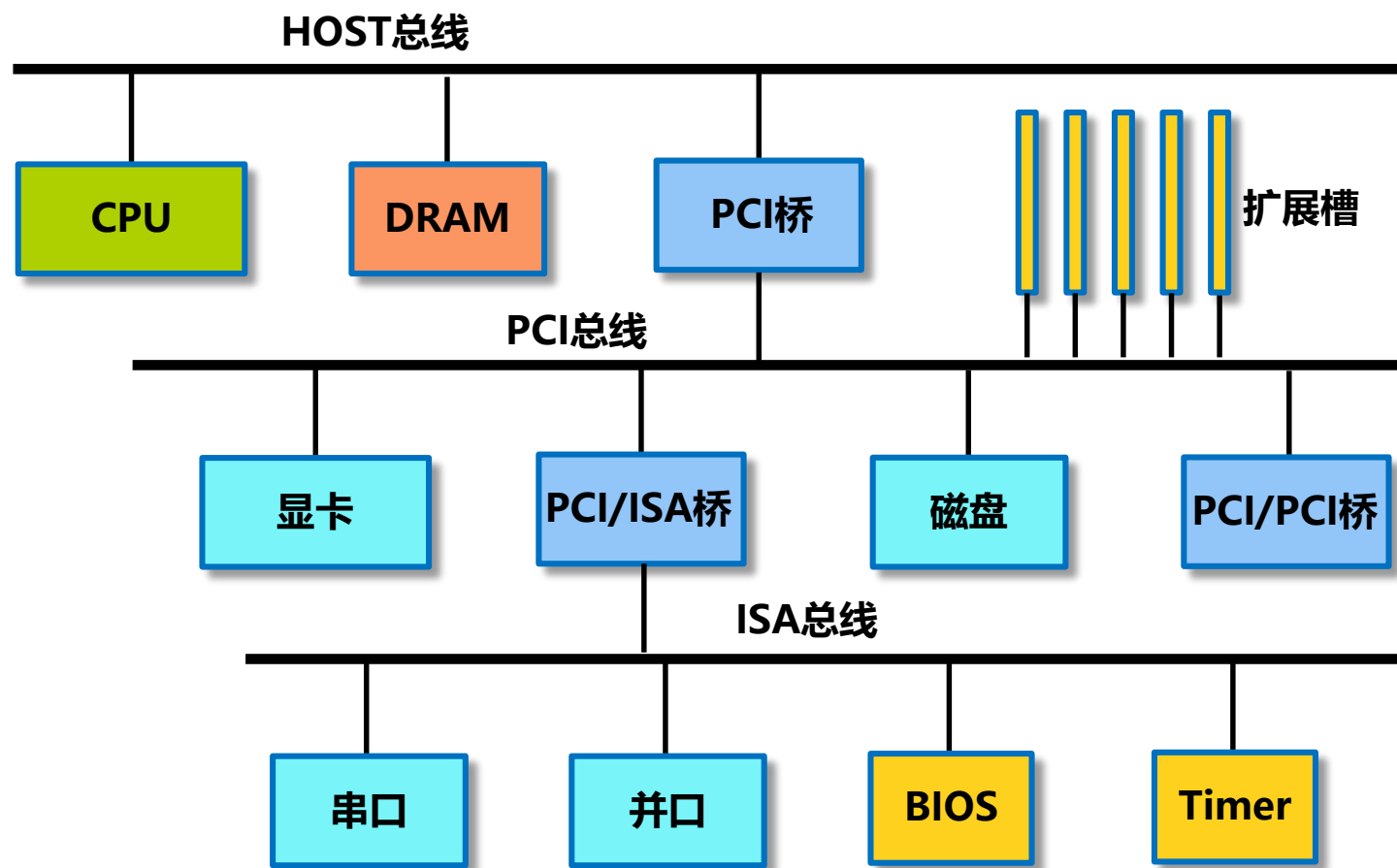
- 存储总线有效降低系统总线负载，提升了并行性
- 需增加专门的I/O指令，存储空间扩大
- 结构简单，系统扩展容易

## 双总线结构2 (桥接器架构)



- 慢速设备通过I/O总线相连
- 系统总线与I/O总线通过桥接器相连

### 3.三总线结构



- 高速与低速传输活动分离
  - 将I/O设备与主存之间的通信与处理器的活动分离
  - 高速设备靠近CPU，慢速设备远离CPU
- 不同层次总线之间采用桥接方式连接和缓冲

# 总线结构与系统性能关系

## ■ 最大存储容量

- 单总线系统中,内存要为外设保留一些地址

## ■ 指令系统

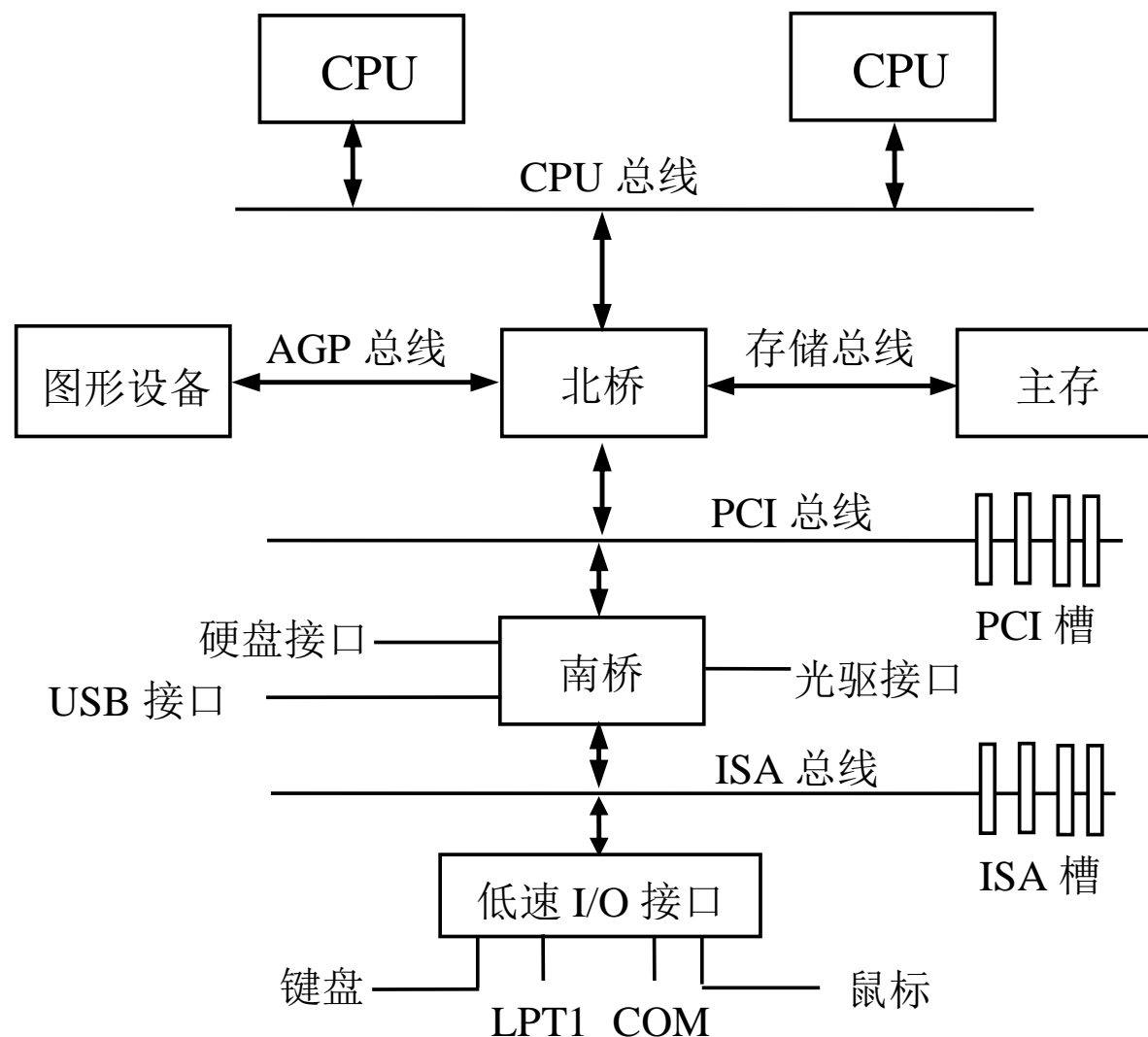
- 单总线系统中,无须专门的I/O指令
- 双总线系统中,设有专门的I/O指令

## ■ 吞吐量

- 三总线系统比单总线系统要大得多



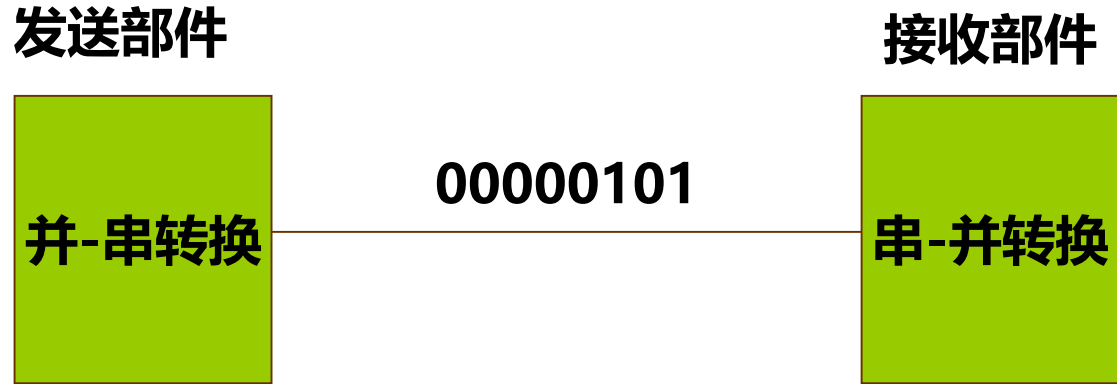
# 采用南北桥结构的奔腾机系统总线结构



# 总线接口

- 信息传送方式
  - 串行传送
  - 并行传送
  - 分时传送
- 总线接口基本概念

# 串行传送



- 位信息从低到高位在一条传输线上逐位以脉冲方式传送

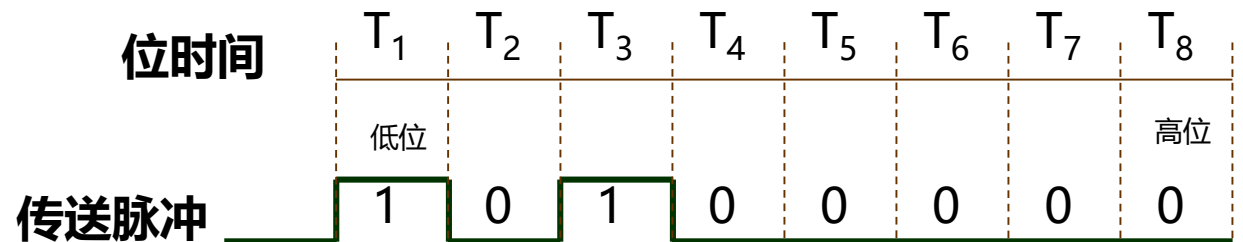
- 一条传输线，每次一位，先低位，后高位；
- 发送端往往需要进行并\_串转换，在接收端进行串\_并转换；
- 成本低，速度慢，传输距离长。

- 串行传送的数据格式编码

- 起始位+数据位+校验位+停止位

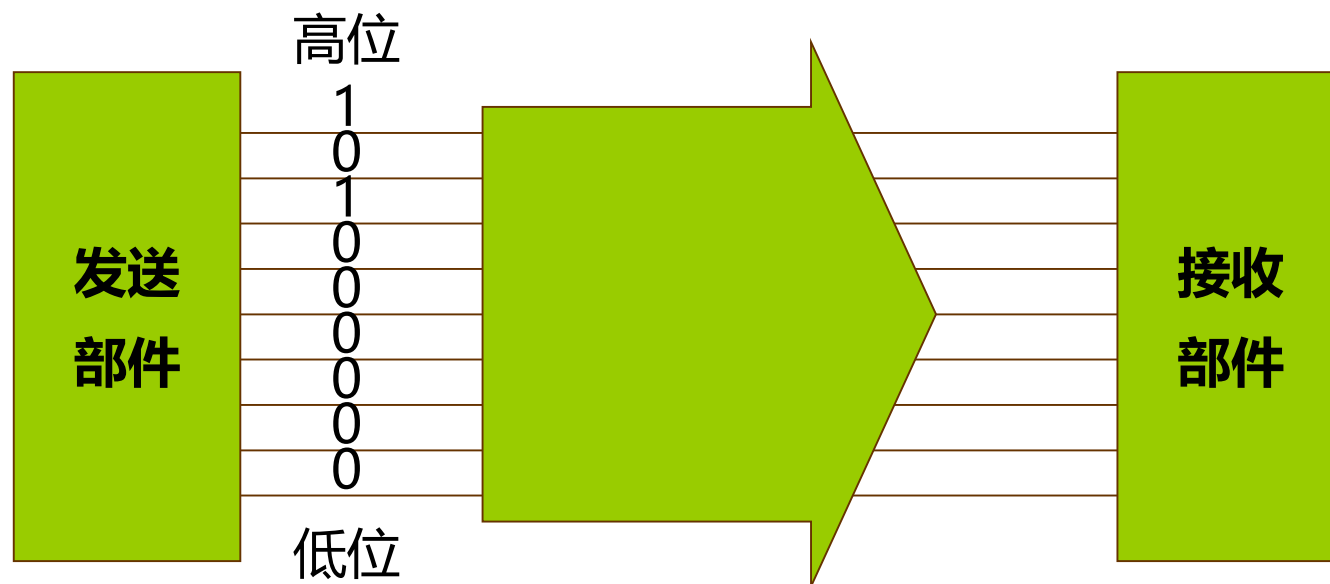
- 波特率: 每秒钟传送的码元个数

- 波特率和数据传输率直接的关系？



$$\text{串行总线带宽} = \text{总线时钟频率} \times \text{编码效率} \times \text{并发通路数}$$

## 并行传送



- 每位数据一条传输线，并行传送，采用电位传送
- 传送速度快，传输距离短

## 发展趋势

- 并行传输
  - 传输距离受限，线间串扰严重
- 串行传输
  - 传输距离长，无串扰现象
- 随着总线频率的增加，并行逐渐转向串行
  - SCSI → SAS
  - PATA → SATA
  - PCI → PCI-E



## 分时传送

- 采用总线复用方式
  - 地址总线数据总线复用
- 连在总线上的部件分时使用总线

## || 总线仲裁、定时

- 总线仲裁
- 总线定时

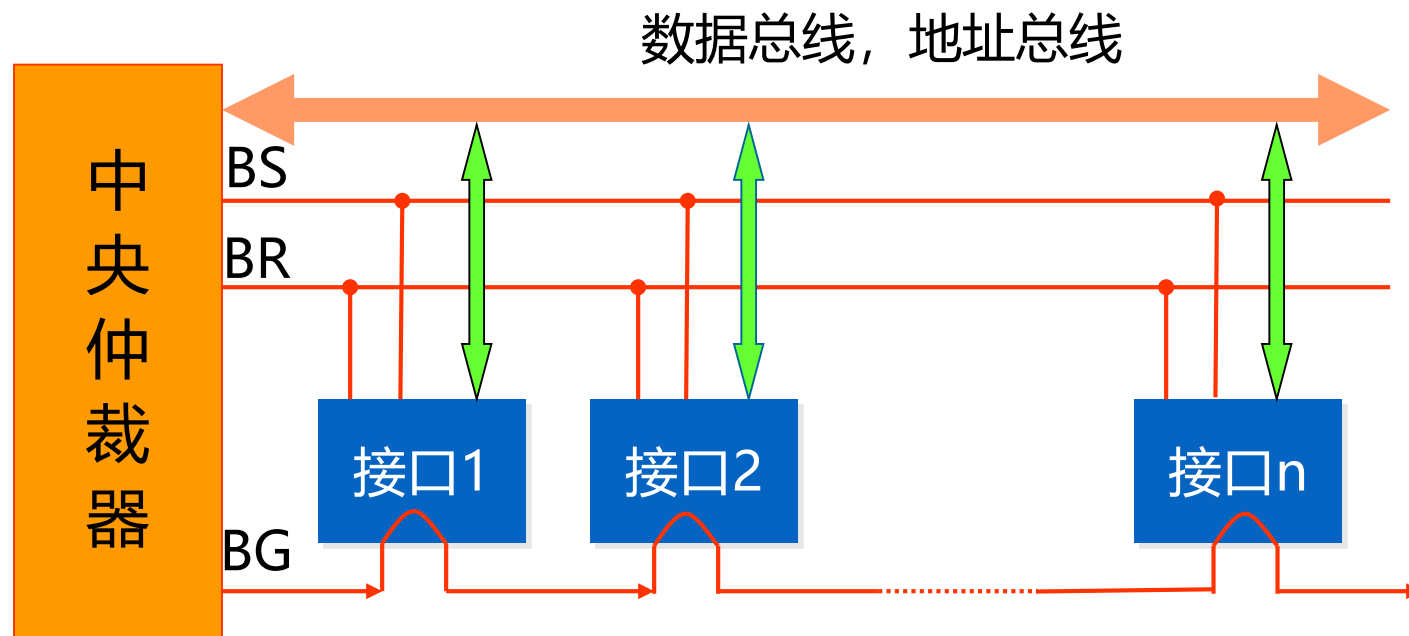
# 总线的仲裁

- **总线仲裁**：对总线的使用进行合理的分配和管理。
  - 部件要使用总线进行通信时,要向控制部件发请求信号
  - 控制部件按各部件的优先级来决定谁使用总线
- 根据总线控制部件的位置,仲裁方式分两类
  - 集中式总线仲裁
  - 分布式总线仲裁

## || 集中式仲裁

- 链式查询方式
- 计数器定时查询方式
- 独立请求方式

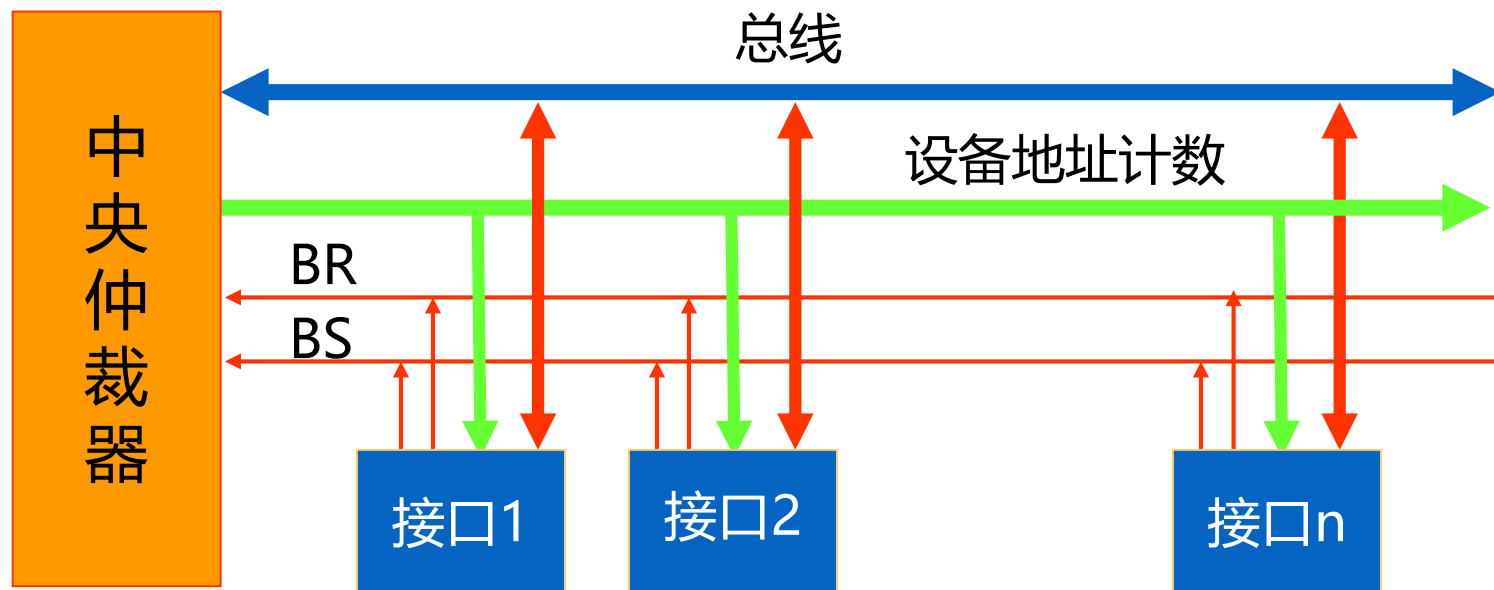
## 链式查询方式



- 控制线3根：总线状态BS，总线请求BR，总线授权BG
- 仲裁过程：监控总线状态，发总线请求，等待总线授权，置总线状态
- 响应慢，优先级固定，饥饿现象，单点故障敏感

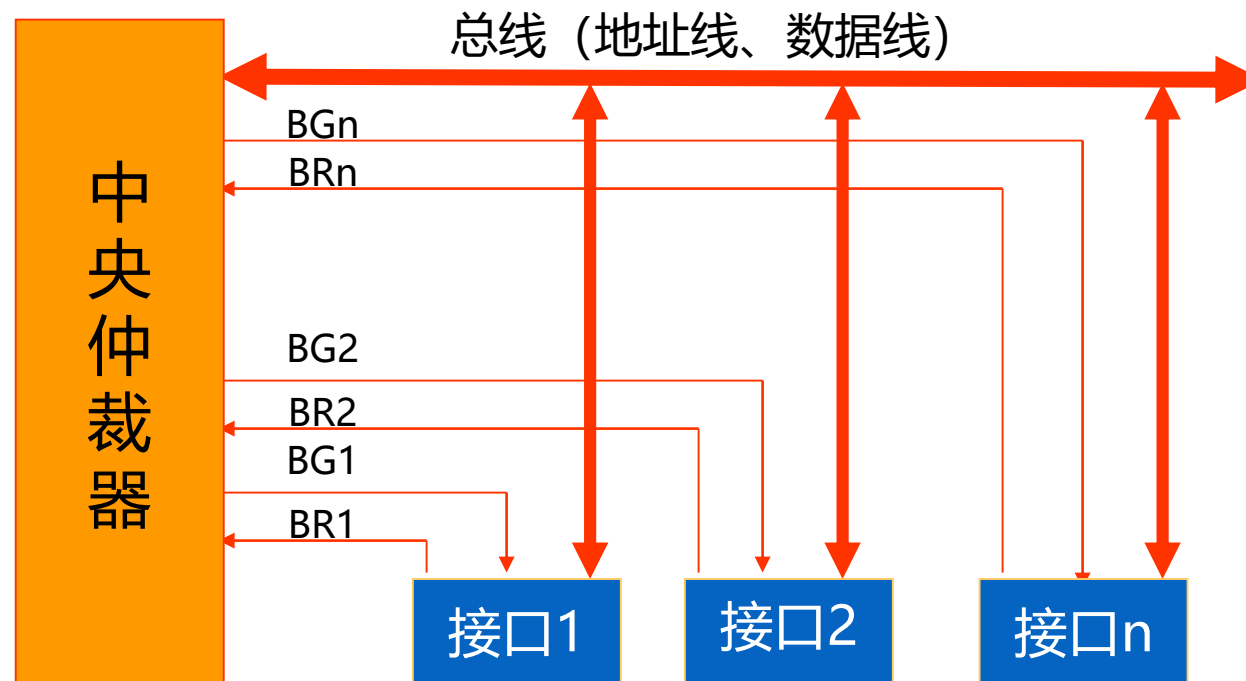


## 计数器定时查询方式



- 控制线 =  $2 + \log_2 n$  根
  - 总线状态BS、总线请求BR、地址计数线
- 仲裁过程：总线授权通过设备地址计数来判别
- 响应慢；优先级可变化；故障不敏感；扩展困难

## 独立请求方式



- 控制线 $2n$ 根：
  - 总线请求BR、总线授权BG，无总线状态信号
- 仲裁过程：总线请求，等待总线授权
- 响应快；优先级可灵活变化；故障不敏感；扩展容易

## 集中式仲裁总结

	链式查询方式	计数器定时查询	独立请求方式
控制线	BS、BR、BG 共3根	BS、BR、 $\log_2 n$ 共 $2+\log_2 n$	n组 (BR、BG) 共2n根
响应速度	慢	慢	快
优先级	优先级固定	可作适当变化	可作灵活的变化
故障敏感度	非常敏感	不敏感	不敏感
扩展方式	容易	难	容易

# 总线传输过程

## ■ 总线申请：（总线仲裁）

- 需要使用总线的主部件提出请求，总线控制器确定将下一个总线使用权分配给谁

## ■ 地址阶段：（总线寻址）

- 主设备通过总线发出从部件的存储器地址或I/O端口地址及相关命令，启动从设备

## ■ 数据阶段：（数据传输）

## ■ 结束阶段：

- 主部件撤消总线请求等有关信息，让出总线，以便总线控制器重新分配总线使用权

# 总线事务 (Bus Transaction)

## ■ 总线事务：从请求总线到完成总线使用的操作序列称为总线事务

- 它是在一个总线周期中发生的一系列活动
- 总线上一对设备(主设备，从设备)间的一次信息交换过程
- 请求操作、仲裁操作、地址传输、数据传输、总线释放
- 典型事务：存储器读，存储器写，I/O读，I/O写，中断响应，DMA响应

## ■ 总线传输周期

- 总线上完成一次总线事务的时间，包括申请、寻址、传输、结束阶段

## ■ 突发(Burst)传送事务（成组传送）

- 多个数据阶段，传输过程不释放总线

## 总线定时

- 总线部件获得使用权后就开始传送信息，总线定时主要解决通信双方如何获知传输开始和传输结束，通信双方如何配合？
- **同步方式：**用公共时钟信号对传输过程的每一步进行控制，适合快速设备。
- **异步方式：**用应答信号对传输过程进行控制。又分为非互锁、半互锁和全互锁；适合慢速设备。
- **半同步方式：**结合同步方式和异步方式的特点，在同步时钟的控制下进行采样和应答。

## 同步定时

### ■ 无应答定时

- 事件出现在总线的时刻是由总线时钟信号来确定，所有的事件都出现在时钟信号的前沿，大多数事件只占据一个时钟周期。
- 采用公共时钟，具有较高的数据传输频率。
- 仅适合于总线长度短，各功能模块存取时间相差不大的情况，必须按最慢的设备定时。



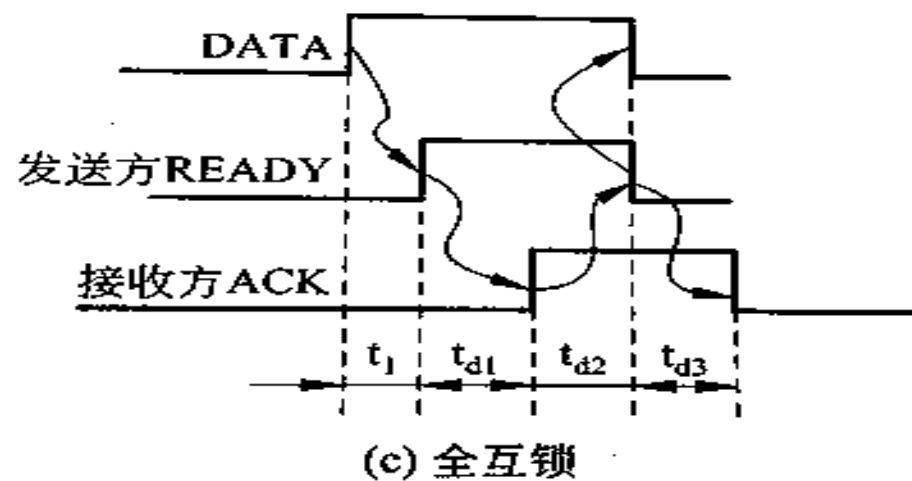
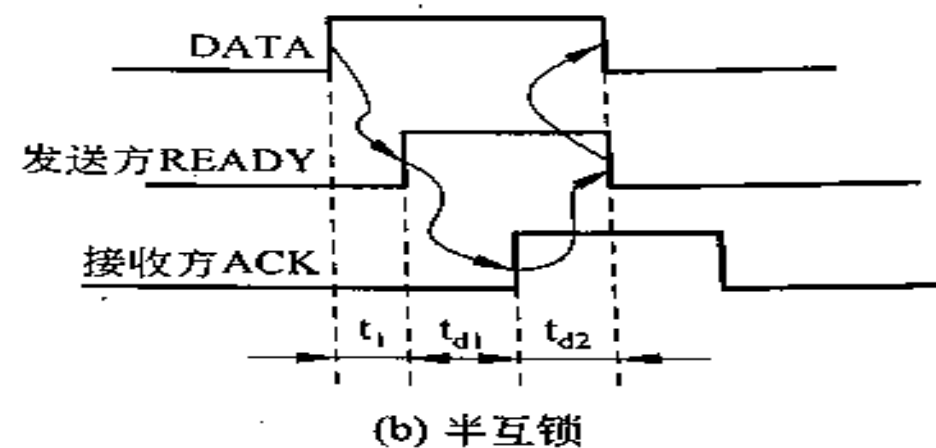
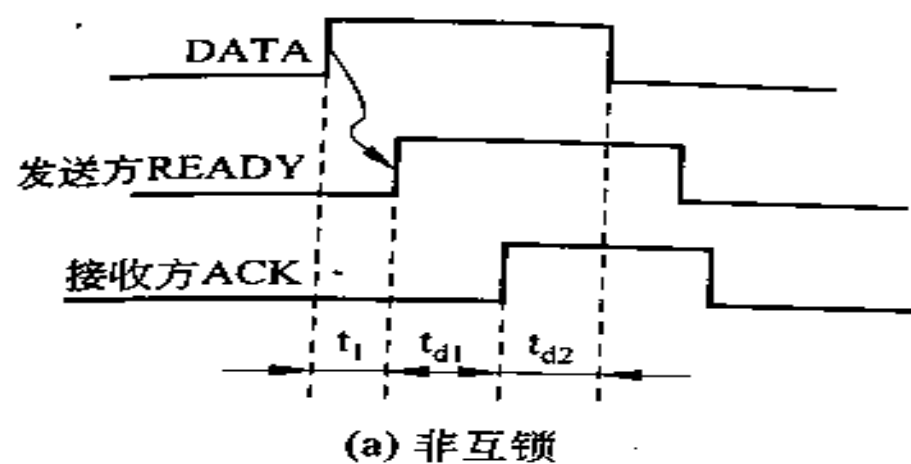


图 8.15 异步通信 3 种方式

## || 异步定时

- **应答定时**，后一事件出现在总线上的时刻取决于前一事件的出现，建立在应答和互锁机制基础上；
- 不需公共时钟信号；
- 总线周期长度可变，快、慢速设备可连到同一总线上。

## || 例子

例：假定某总线的时钟周期为50ns,每次总线传输需要1个时钟周期，总线宽度为32位,存储器的存储周期为300ns,求同步方式下从该存储器中读一个字时总线的数据传输率为多少?

解：

同步方式下存储器读操作步骤及所需的时间分别为：

送地址和读命令：一个总线周期时间，50ns；

存储器读数据：一个存储周期，300ns；

读取数据：一个总线周期，50ns.

则，同步方式下从主存读一个存储字的总时间 $T = 400\text{ns}$

数据传输率  $= 4\text{B}/400\text{ns} = 10\text{MB/s}$

## 常用总线

- ISA/EISA/VESA
- PCI/PCI-X
- AGP
- USB

# IBM PC/XT

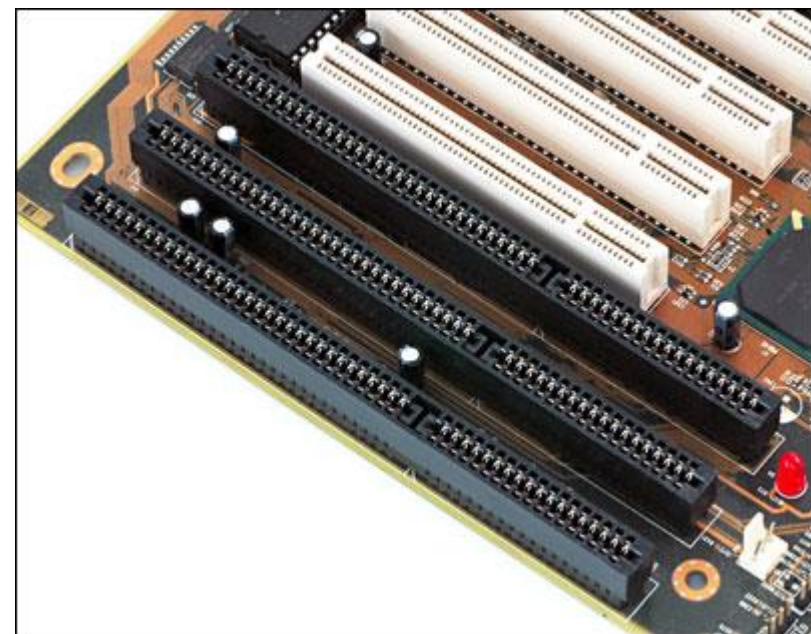
- IBM PC / XT总线是 1981年与IBM个人计算机同时推出的，是 IBM PC / XT微机所用的总线，针对 Intel 8088芯片设计。
- 开放式结构，用户可在PC / XT机底板上使用总线扩展插座，通过接口板使I/O设备与主机相连。
- PC / XT总线定义了62根信号线。
  - 数据线8根
  - 地址线20根
  - 控制线26根（含时钟信号）
  - 电源5根
  - 地线3根。

## ISA总线

- ISA (industrial standard architecture) 总线标准是IBM 公司1984年为推出PC/AT机而建立的系统总线标准，所以也叫AT总线。
- 为286计算机制定的工业标准总线。
- 总线宽度16位，总线频率8MHz。
- ISA总线有98只引脚。
- 80286至80486时代应用非常广泛，以至于奔腾机中还保留有ISA总线插槽。

# ISA/EISA

- EISA (Extended Industry Standard Architecture即扩展工业标准结构总线)
- 32位中央处理器 (386、486、586等等) 总线扩展工业标准。
- 总线宽度32位、16MHz

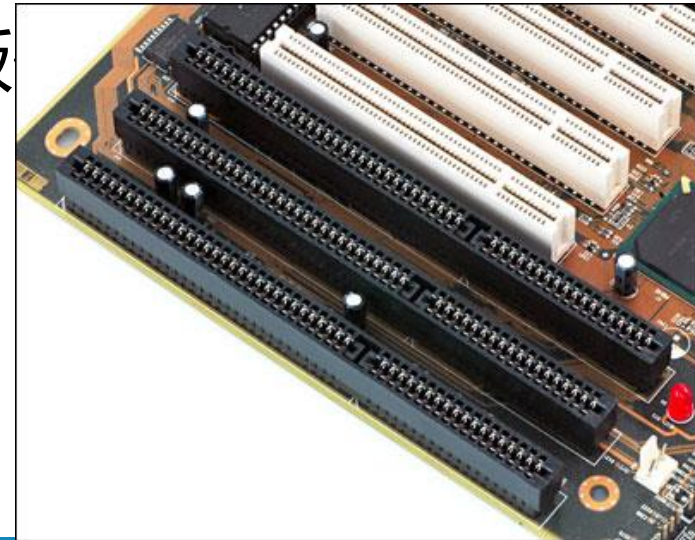


## || VESA video electronics standard association

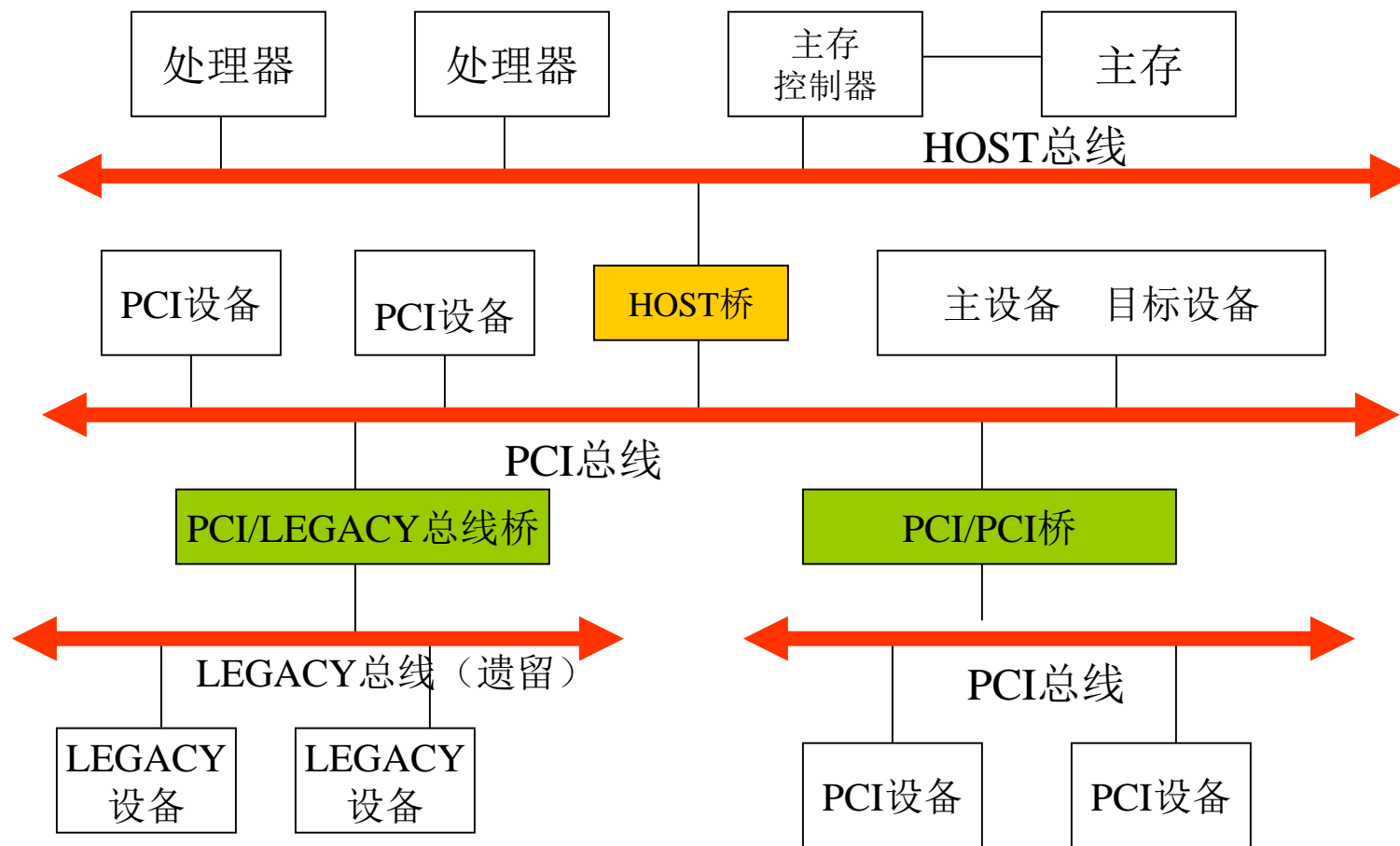
- VESA) 总线是 1992年由60家附件卡制造商联合推出的一种局部总线，简称为VL(VESA local bus)总线
- 该总线系统考虑到CPU与主存和Cache的直接相连，通常把这部分总线称为CPU总线或主总线，其他设备通过VL总线与CPU总线相连，所以VL总线被称为局部总线。
- 数据、地址总线宽度均为32位。寻址空间为4GB。总线最高传输率为133MB/S.
- 是一种高速、高效的局部总线，可支持386SX、386DX、486SX、486DX及奔腾微处理器。



- PCI (Peripheral Component Interconnect) 是美国 SIG (即美国计算机协会专业集团) 推出的新一代 64 位总线。频率为 33MHz，峰值传输率为 132Mbyte/s。
- 486 系列采用 ISA 和 EISA 总线，而奔腾或 586 系列主板采用了 PCI 总线。586 系列主板应该淘汰传统的 EISA 总线，但很多用户还在使用 ISA 总线或 EISA 总线接口卡，所以大多数 586 系列主板



# PCI总线结构



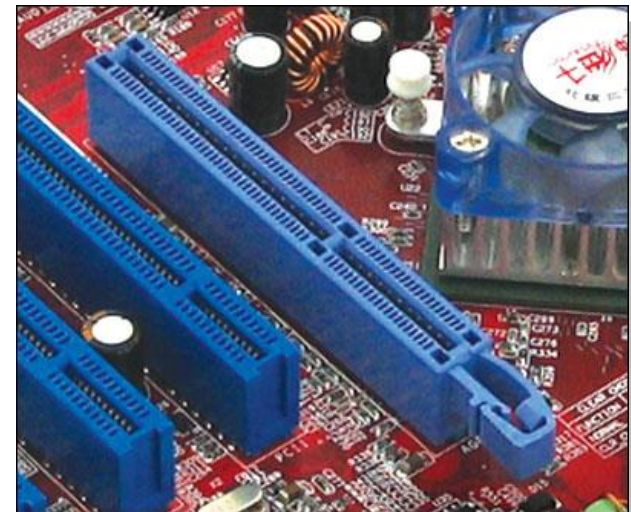
## || PCI总线特点

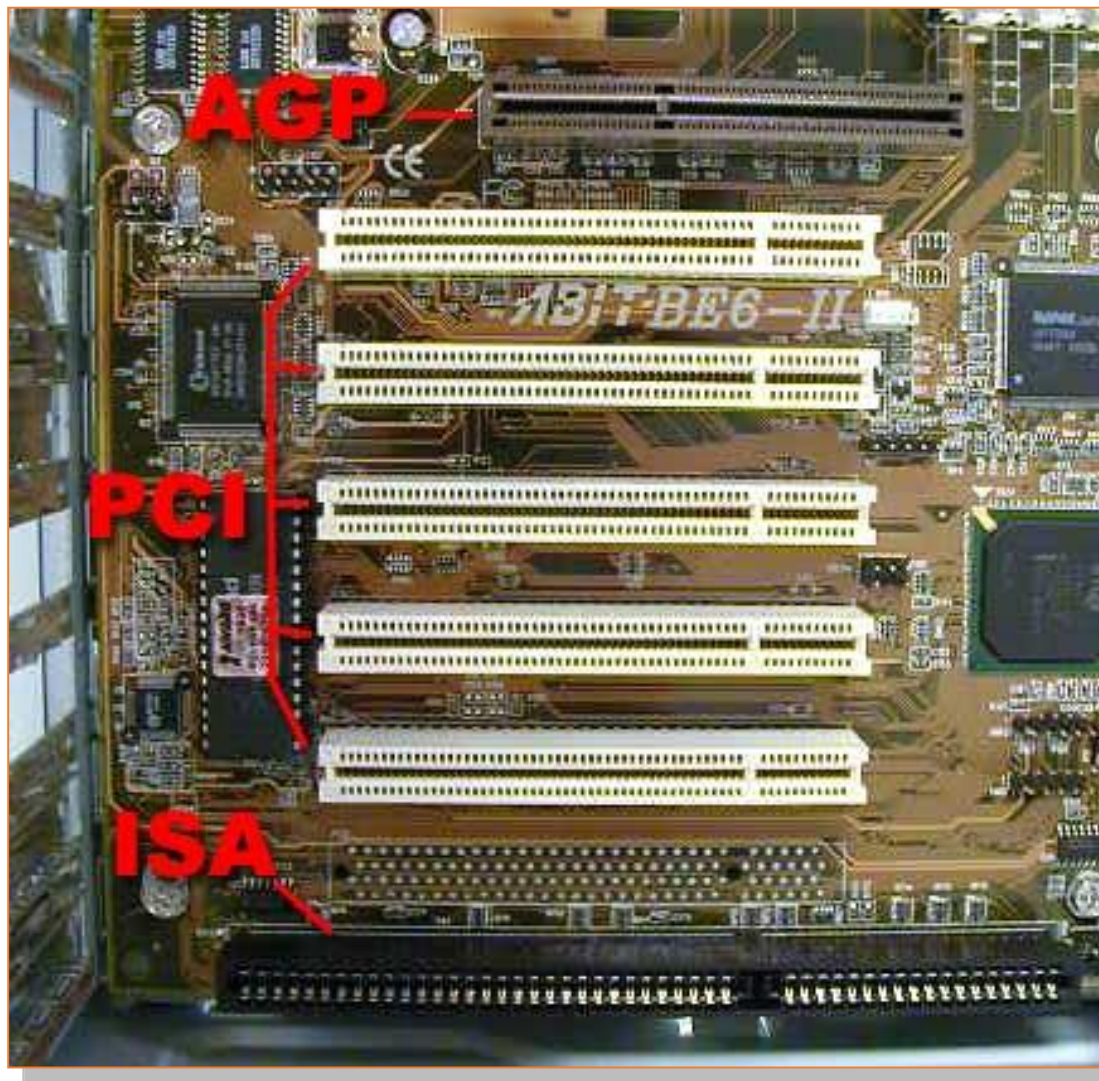
- 支持总线主控技术，允许智能设备在适当的时候取得总线控制权以加速数据传输；
- 支持猝发传输模式。
- 不受CPU速度和结构的限制；
- 与 ISA / EISA / MCA兼容；
- 预留扩展空间，支持64b数据和地址；
- 数据宽度32位，时钟频率33MHz，最大数据传输速率为133MB/s；
- 同步时序、集中式仲裁。

## || PCI总线局限性

- 多PCI设备共享总线的带宽。
- 多PCI设备共享一组信号线， 因此受插板插入位置的影响， 会产生微妙的信号畸变。
- 实际上在33MHz的PCI总线情况下， 只能用到4个插 槽；在66MHz 下， 只能用到2个插 槽。
- 在PCI 总线中是采用内存映射I/O， 这也影响了系统的整体性能。CPU读写动作频率要与PCI总线的动作频率同步， 所以就延缓了CPU指令的执行速度。

- 处理器是发展速度最快的设备，为了消除外围设备的连接瓶颈，需不停的改进总线技术，其中为了适应个别硬件设备对于传输带宽的急剧增长的需求，局部总线的改进更是频繁。
- AGP总线就是局部总线的一种。AGP（Accelerated Graphics Port）即高速图形接口。专用于连接主板上的控制芯片和AGP显示适配卡，为提高视频带宽而设计的总线规范。

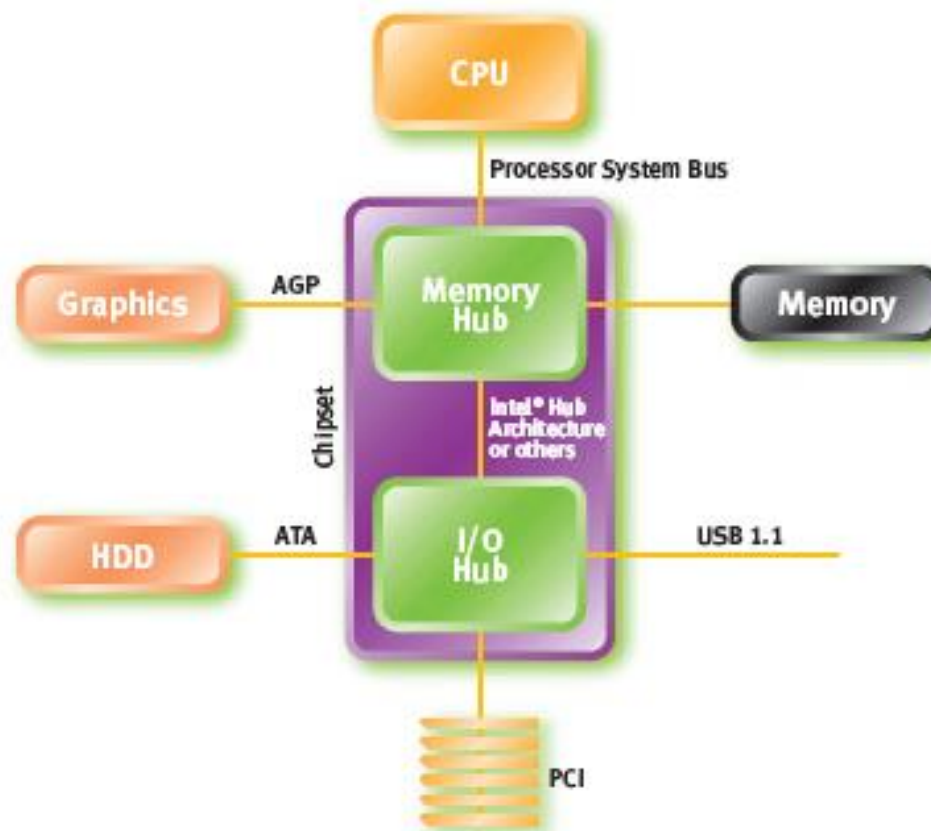






- AGP 1.0规范1.0版由Intel于1996年7月发布，工作频率为66MHz，工作电压为3.3v，分为1x和2x模式，数据传输带宽分别为266MB/s和533MB/s。
- 1998年5月份，AGP 2.0版规范发布，工作电压降低到了1.5v，并且增加了4x模式，数据传输率为1066MB/s。
- AGP总线独立于PCI总线，在具有AGP总线的系统中，PCI总线可以被用于其它的数据传输，比如IDE/ATA、USB控制器等等的数据传输。
- AGP可以带来更快的视频性能，而且还允许AGP显卡直接访问系统内存，缓解了对于显存容量的需要，有效的控制了显卡的制造成本。

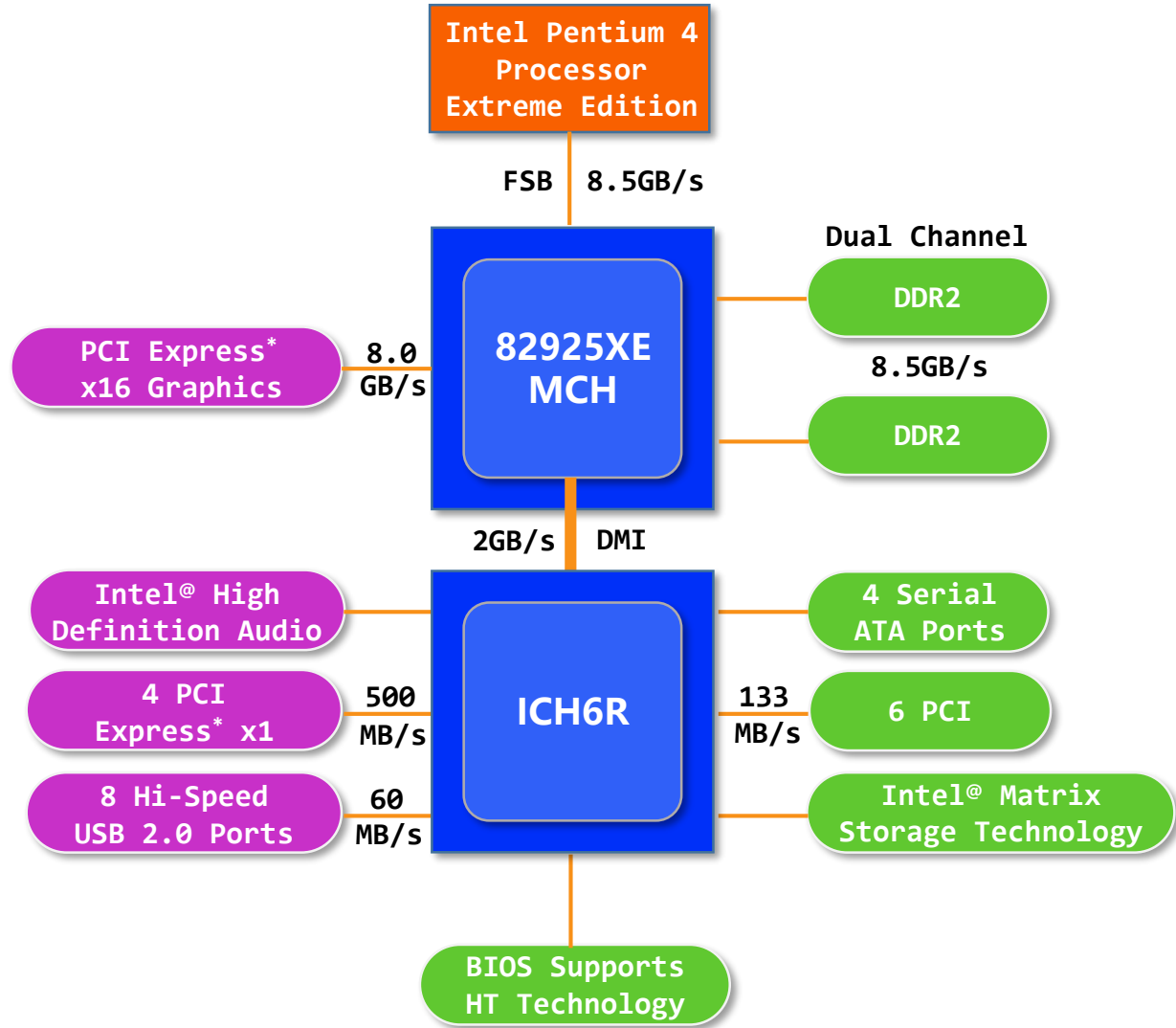
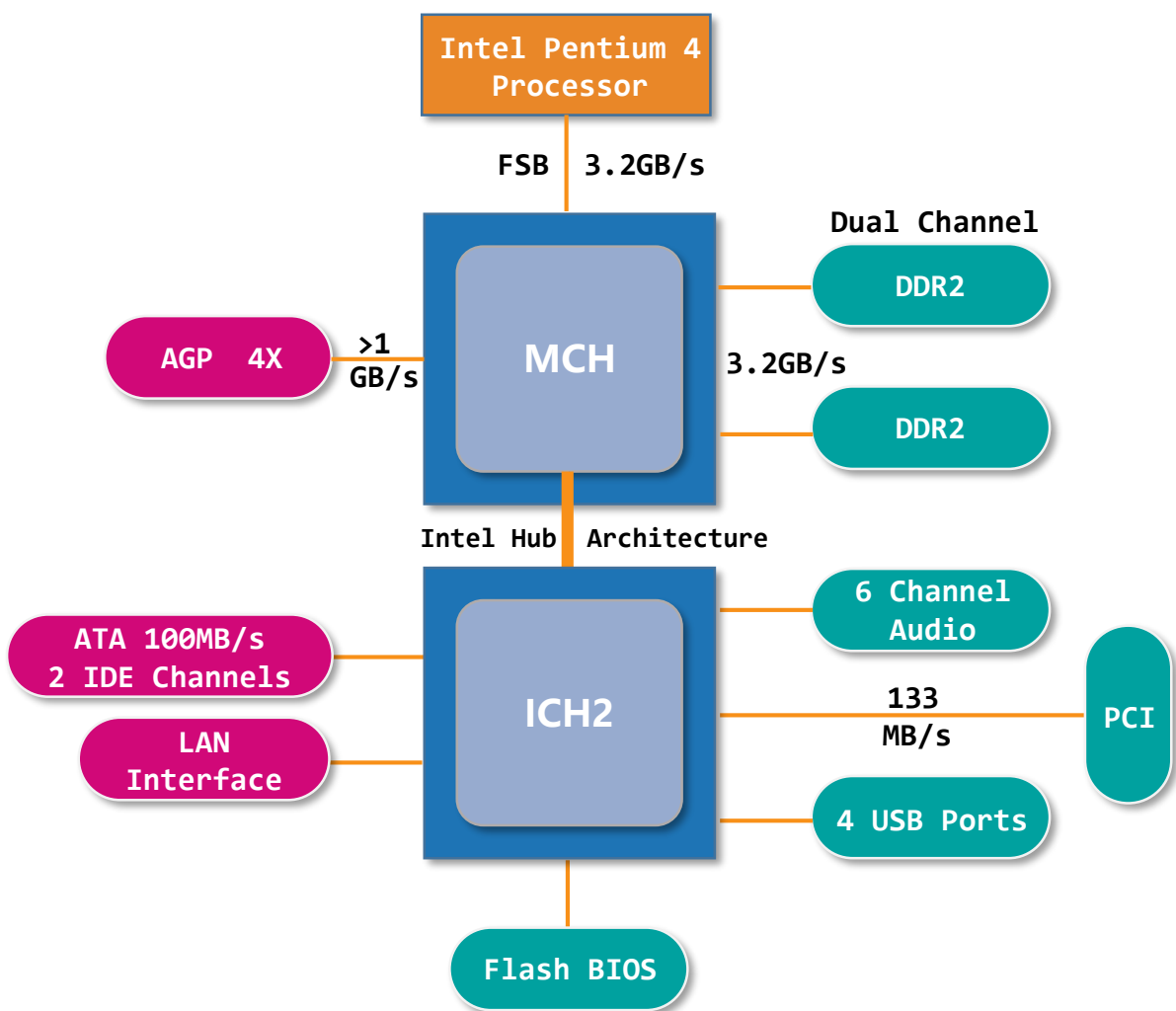
# Today's PC



*Figure 1. Today's PC has multiple local buses with different requirements*

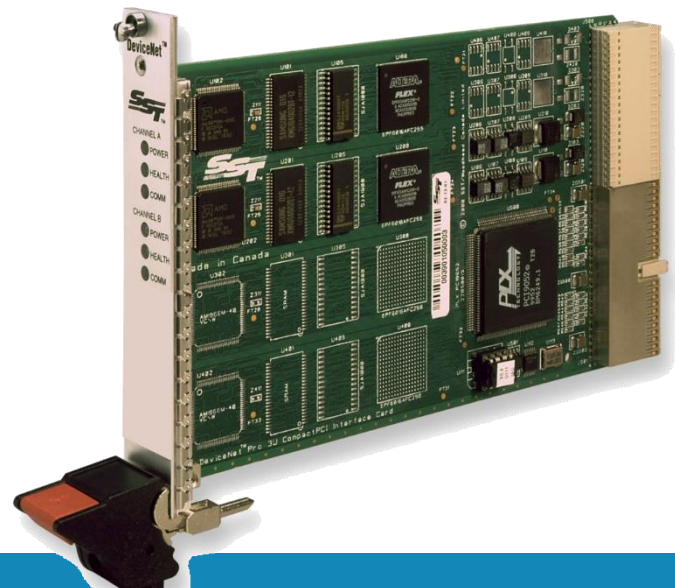


# 采用前端总线的南北桥结构 IA-64



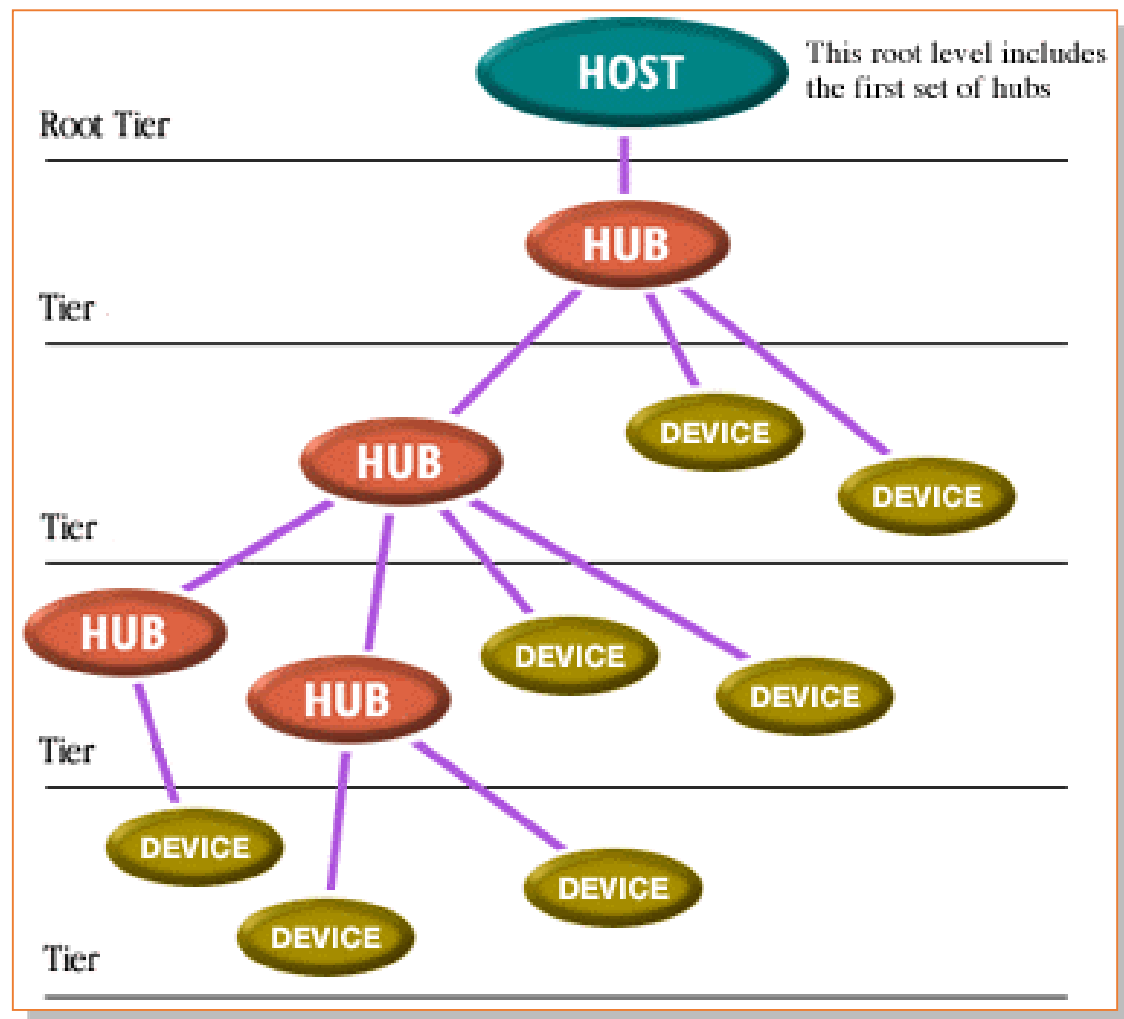
## Compact PCI

- Compact PCI的意思是“坚实的PCI”，是当今第一个采用无源总线底板结构的PCI系统，是PCI总线的电气和软件标准加欧式卡的工业组装标准，是当今最新的一种工业计算机标准。
- 在PCI总线基础上改造而来，提供满足工业环境应用要求的高性能核心系统，同时还考虑利用传统的总线产品，如ISA、STD、VME或PC/104来扩充系统的功能。



- USB (Universal Serial Bus即通用串行总线) ;
  - 由Intel公司提出, USB1.0 带宽为12Mbps;
  - 可以热插拔, 即插即用;
  - 可接入127个设备, 计算机外设越来越多, PC机内有限的插槽和接口已经不能满足要求, USB缓解了这一矛盾。
- USB采用四线电缆, 其中两根是用来传送数据的串行通道, 另两根为下游 (Downstream)设备提供电源
- USB系统采用级联星型拓扑, 该拓扑由三个基本部分组成: 主机 (Host), 集线器 (Hub)和功能设备。

# 总线结构拓补



# 数据传输方式

## ■ 控制传输类型

## ■ 等时传输类型

## ■ 中断传输类型

- 支持像游戏手柄，鼠标和键盘等输入设备，这些设备与主机间数据传输量小，无周期性，但对响应时间敏感，要求马上响应。

## ■ 数据块 (Bulk)传输类型

- 支持打印机，扫描仪，数码相机等外设，这些外设与主机间传输的数据量大，USB在满足带宽的情况下才进行该类型的数据传输

## || 本章重点内容

- 总线基本概念
- 总线的仲裁
- 影响总线性能的基本因素
  - 总线宽度，总线传输频率
  - 信号线类型
  - 是否允许突发模式
  - 总线连接方式
  - 总线仲裁方式
  - 总线定时方式
  - 并串模式



THANKS

计算机组成原理

